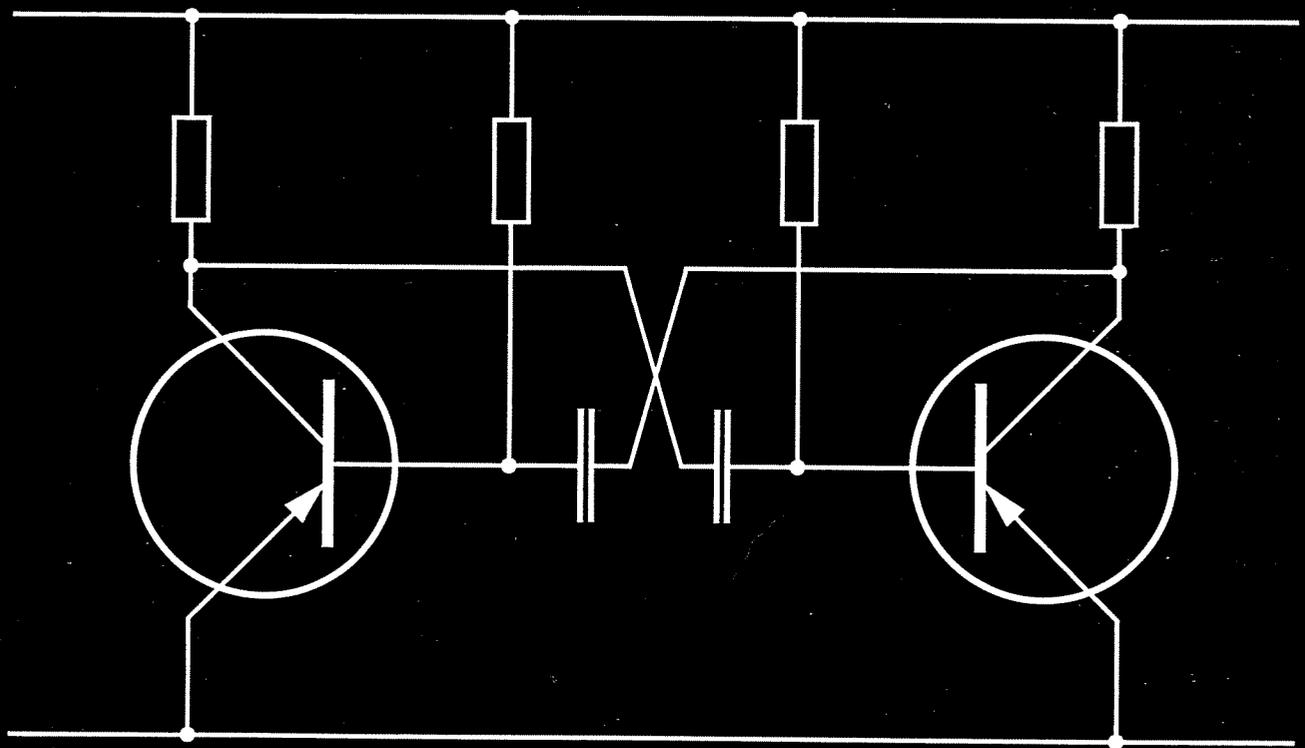


# Handbuch der Elektronik



Teil 2  
Digitaltechnik



# Handbuch der Elektronik

Herausgegeben mit Unterstützung des  
Bundesministers für das Post- und Fernmeldewesen

## Teil 2

# Digitaltechnik

2., verbesserte Auflage

---

Herausgeber: Institut zur Entwicklung moderner Unterrichtsmedien e.V.  
28 Bremen 1 - Bahnhofstraße 10

12

*[Handwritten scribbles]*

*[Vertical text on the left edge, mostly illegible]*

# Vorwort

Bei dem Lehrbuch „Handbuch der Elektronik — Digitaltechnik“ handelt es sich um den zweiten Teil des dreiteiligen Lehrwerks, das sich aus den Bänden „Analogtechnik“, „Digitaltechnik“ und „Datenverarbeitung; Technik und Betrieb“ zusammensetzt. Während sich der Teil 1 — Analogtechnik — mit den Grundlagen der Halbleitertechnik, den Dioden und Transistoren und ihrer Anwendung in linearen Schaltkreisen befaßt, wird im Teil 2 die Digitaltechnik beschrieben. In diesem Band wird in erster Linie die Anwendung der Halbleiterbauteile als elektronische Schalter in den Schaltnetzen und Kippstufen dargestellt. Diese Baugruppen werden eingehend beschrieben und anhand von Rechenbeispielen dimensioniert. Aufbauend auf dem im Band „Analogtechnik“ abgehandelten Lehrstoff vermittelt Teil 2 weiter die Kenntnisse, die zum Verständnis des Aufbaus und des Zusammenwirkens elektronischer Rechenanlagen unerläßlich sind.

Der dritte Band der Handbuchreihe geht dann ausführlich auf die Datenverarbeitung ein. Er stellt nicht nur den Aufbau und die technische Funktion und Organisation der EDV-Anlagen dar, sondern befaßt sich weiter mit dem Betrieb der Rechner, ihrer Bedienung, der Programmierung usw. Es wird also neben der Hardware auch die Software dargeboten, ohne deren Grundkenntnisse ein umfassendes Verständnis dieser Anlagen nur schwerlich gewonnen werden kann. Mit dem Teil 3 — Datenverarbeitung; Technik und Betrieb — schließt das Handbuch der Elektronik ab.

Das Handbuch ist zum Lehren und zum Lernen in gleicher Weise geeignet. Der Leser, der sich für das Selbststudium entschieden hat, wird es besonders zu schätzen wissen, daß zu jedem Band ein Repetitor erschienen ist, der den jeweiligen Lehrstoff in einem programmierten Frage- und Antwortspiel gründlich wiederholt; er hat hierdurch die Möglichkeit zu einer objektiven Selbstkontrolle. Von Interesse wird weiter auch das Nachschlagewerk „Fachwörter der Elektronik“ sein, das die wichtigsten Begriffe der Elektronik kurz erläutert.

Wir hoffen, mit unseren Lehrbüchern und Nachschlagewerken den Technikern zu helfen, die sich über alle mit dem Gebiet der Elektronik zusammenhängenden Fragen umfassend unterrichten möchten.

Die Herausgeber

Stand: Sommer 1971

Nachdruck, auch auszugsweise, nicht gestattet



## Inhaltsverzeichnis

	Seite
<b>1. Grundlagen der Digitaltechnik</b> . . . . .	10
<b>1.1. Unterschied zwischen Analog- und Digitaltechnik</b> . . . . .	10
<b>1.2. Dualzahlen</b> . . . . .	10
1.2.1. Eigenschaften . . . . .	10
1.2.2. Die Umwandlung von Dezimalzahlen in Dualzahlen und umgekehrt . . . . .	11
1.2.3. Das Rechnen mit Dualzahlen . . . . .	12
1.2.3.1. Die Addition . . . . .	12
1.2.3.2. Die Subtraktion . . . . .	13
1.2.3.3. Die Multiplikation . . . . .	13
1.2.3.4. Die Division . . . . .	13
1.2.3.5. Die Subtraktion durch Komplementbildung . . . . .	13
<b>1.3. Codierung</b> . . . . .	14
1.3.1. Grundbegriffe . . . . .	14
1.3.2. Codeeigenschaften . . . . .	15
1.3.2.1. Additive Codes . . . . .	15
1.3.2.2. Minimalcodes und optimale Codes . . . . .	16
1.3.2.3. Fehlererkennungs_codes . . . . .	16
1.3.2.4. Fehlerkorrekturcodes . . . . .	17
1.3.3. Die wichtigsten Codes . . . . .	18
1.3.3.1. BCD-Codes . . . . .	18
1.3.3.2. Alphanumerische Codes . . . . .	19
<b>1.4. Allgemeine Begriffsbestimmungen</b> . . . . .	20
<b>1.5. Einführung in die Schaltalgebra</b> . . . . .	21
1.5.1. Grundverknüpfungen . . . . .	21
1.5.2. Gesetze der Schaltalgebra . . . . .	23
1.5.2.1. Die kommutativen Gesetze . . . . .	24
1.5.2.2. Die assoziativen Gesetze . . . . .	24
1.5.2.3. Die distributiven Gesetze . . . . .	25
1.5.2.4. Die Kombinationen aus einer Schaltvariablen, ihrer Negation und Konstanten . . . . .	26
1.5.2.5. Die doppelte NICHT-Funktion . . . . .	27
1.5.2.6. De Morgansche Gesetze . . . . .	27
1.5.3. Disjunktive und konjunktive Normalform . . . . .	28
1.5.4. Vereinfachung der Schaltfunktionen . . . . .	30
1.5.5. Verknüpfungen von zwei Schaltvariablen . . . . .	31
<b>1.6. Analyse und Synthese von Schaltnetzen</b> . . . . .	35
1.6.1. Analyse von Schaltnetzen . . . . .	35
1.6.2. Synthese von Schaltnetzen . . . . .	37
<b>1.7. Lesen einfacher Schaltnetzpläne</b> . . . . .	41
<b>2. Verknüpfungsglieder</b> . . . . .	42
<b>2.1. Dioden und Transistoren als Schalter</b> . . . . .	42
2.1.1. Eigenschaften eines Schalters . . . . .	42
2.1.2. Dioden als Schalter . . . . .	44
2.1.3. Transistoren als Schalter . . . . .	45
<b>2.2. Schaltung und Eigenschaften der Verknüpfungsglieder</b> . . . . .	50
2.2.1. Vorbemerkungen . . . . .	50
2.2.2. Dioden-Glieder . . . . .	50

2.2.3. Dioden-Transistor-Glieder . . . . .	55
2.2.4. Widerstands-Transistor-Glieder . . . . .	58
2.2.5. Direkt gekoppelte Transistor-Glieder . . . . .	59
<b>2.3. Anwendungsbeispiele . . . . .</b>	<b>61</b>
<b>3. Impulsformer . . . . .</b>	<b>70</b>
<b>3.1. Schaltungen mit RC-Gliedern . . . . .</b>	<b>71</b>
3.1.1. Vorgänge am RC-Glied . . . . .	71
3.1.1.1. Ladevorgang . . . . .	71
3.1.1.2. Entladungsvorgang . . . . .	73
3.1.1.3. Spannungsverteilung . . . . .	74
3.1.1.4. Ansteuerung durch Rechteckspannung . . . . .	75
3.1.2. Differenzierglied (Hochpaß) . . . . .	78
3.1.3. Integrierglied (Tiefpaß) . . . . .	79
3.1.4. Anwendungsbeispiele . . . . .	80
3.1.4.1. Dynamischer Eingang bei Verknüpfungsgliedern . . . . .	80
3.1.4.2. Frequenzmessung mit Zeigerinstrument . . . . .	81
<b>3.2. Schmitt-Trigger . . . . .</b>	<b>84</b>
3.2.1. Aufgaben des Schmitt-Triggers . . . . .	84
3.2.1.1. Schwellwertschalter . . . . .	84
3.2.1.2. Rechteckformer . . . . .	85
3.2.2. Schaltung und Wirkungsweise . . . . .	85
3.2.3. Verschiedene Ausführungsformen . . . . .	86
3.2.4. Anwendungsbeispiele . . . . .	87
3.2.4.1. Temperaturwächter . . . . .	87
3.2.4.2. Dämmerungsschalter . . . . .	88
3.2.4.3. Rechteckformer . . . . .	90
<b>4. Kippschaltungen . . . . .</b>	<b>90</b>
<b>4.1. Schaltstufen der Kippschaltungen . . . . .</b>	<b>91</b>
4.1.1. Schaltstufe mit statischer Ansteuerung . . . . .	91
4.1.2. Schaltstufe mit dynamischer Ansteuerung . . . . .	91
<b>4.2. Bistabile Kippstufe (Flipflop) . . . . .</b>	<b>93</b>
4.2.1. Grundsaltung . . . . .	93
4.2.2. Eingangsschaltungen . . . . .	94
4.2.2.1. Statische Eingänge . . . . .	94
4.2.2.2. Dynamische Eingänge . . . . .	95
4.2.3. Flipflop mit statischen und dynamischen Eingängen . . . . .	96
4.2.4. Symbol des Flipflops (DIN 40700 Bl. 14) . . . . .	97
4.2.5. Anwendungsmöglichkeiten des Flipflops . . . . .	100
4.2.5.1. Frequenzteilung . . . . .	100
4.2.5.2. Impulspeicherung . . . . .	101
<b>4.3. Astabile Kippstufe . . . . .</b>	<b>101</b>
4.3.1. Schaltung und Wirkungsweise . . . . .	101
4.3.2. Ausgangsspannungen . . . . .	101
4.3.3. Sperreingang . . . . .	103
4.3.4. Symbol der astabilen Kippstufe . . . . .	103
4.3.5. Anwendungsmöglichkeiten . . . . .	104
4.3.5.1. Rechteckgenerator . . . . .	104
4.3.5.2. Blinkgeber . . . . .	105
4.3.6. Dimensionierungsbeispiel . . . . .	105

	Seite
<b>4.4. Monostabile Kippstufe</b>	107
4.4.1. Schaltung und Wirkungsweise	107
4.4.2. Eingangsschaltungen	108
4.4.3. Symbol der monostabilen Kippstufe (DIN 40700)	109
4.4.4. Anwendungsmöglichkeiten	109
<b>5. Schaltwerke</b>	110
<b>5.1. Zähler</b>	110
5.1.1. Asynchronzähler	110
5.1.1.1. Wirkungsweise	110
5.1.1.2. Dualzähler vorwärtszählend	113
5.1.1.3. Dualzähler rückwärtszählend	113
5.1.1.4. BCD-Zähler (asynchron, vorwärtszählend)	115
5.1.2. Synchronzähler	117
5.1.2.1. Wirkungsweise	117
5.1.2.2. Dualzähler (vorwärts und rückwärts)	118
5.1.2.3. Synchrone BCD-Zähler	118
5.1.3. Anwendungsbeispiele	118
5.1.3.1. Digitale Frequenzmessung	118
5.1.3.2. Digitale Zeitmessung	121
<b>5.2. Schieberegister</b>	122
5.2.1. Arbeitsprinzip und Schaltung	122
5.2.2. Wirkungsweise	123
5.2.2.1. Schiebevorgang	123
5.2.2.2. Setzen und Rücksetzen	124
5.2.2.3. Serielle Signaleingabe	126
5.2.2.4. Signalausgabe	127
5.2.3. Anwendungsbeispiele	128
5.2.3.1. Parallele Eingabe und Ausgabe der Daten	128
5.2.3.2. Serielle Eingabe und Ausgabe der Daten	128
5.2.3.3. Serien-/Parallelcodeumsetzer	130
5.2.3.4. Parallel-/Seriencodeumwandlung	131
5.2.3.5. Ringzähler	131
<b>6. Codewandler</b>	131
<b>6.1. Decodierer mit Ziffernanzeige</b>	131
6.1.1. Decodiermatrix für 1-aus-10-Code	133
6.1.2. Decodierung zur Siebensegmentsteuerung	133
<b>6.2. Digital-Analog-Wandler</b>	135
<b>6.3. Analog-Digital-Wandler</b>	137
6.3.1. A/D-Wandler nach dem Zählprinzip	137
6.3.2. A/D-Wandler nach dem Vergleichsprinzip	138
<b>7. Datenübertragungstechnik</b>	139
<b>7.1. Allgemeines</b>	139
<b>7.2. Übertragungsverfahren</b>	139
<b>7.3. Tast- und Modulationsverfahren</b>	140
<b>7.4. Aufbau eines Datenübertragungssystems</b>	141
<b>7.5. Aufbau von Datenübertragungseinrichtungen (Modem)</b>	141
7.5.1. Modem für Serienübertragung	141
7.5.2. Modem für parallele Datenübertragung	142
<b>7.6. Datensicherung</b>	142

<b>8. Magnetkerntechnik</b>	142
<b>8.1. Physikalische Grundlagen</b>	142
8.1.1. Allgemeine Eigenschaften	142
8.1.2. Physikalische Vorgänge beim Magnetisieren	144
8.1.3. Hystereseschleife eines Rechteckferriten	145
8.1.4. Anforderungen an einen Rechteckferriten	145
<b>8.2. Ringkerne als Speicherelemente</b>	146
8.2.1. Prinzip der Informationsspeicherung in Ringkernen	146
8.2.2. Koinzidenzprinzip	147
8.2.3. Schreib- und Lesesignale	148
<b>8.3. Speichermatrizen und Speicherblöcke</b>	148
8.3.1. Koinzidenzspeicher mit vier Drähten je Kern	148
8.3.1.1. Aufbau und grundsätzliche Wirkungsweise	148
8.3.1.2. Signale beim Auslesen der Information	150
8.3.1.3. Mechanischer Aufbau der Matrizen und Blöcke	151
8.3.2. Koinzidenzspeicher mit weniger als vier Drähten	151
8.3.3. Linearspeicher (Wortadressenspeicher)	152
8.3.3.1. Aufbau des Linearspeichers	152
8.3.3.2. Einschreiben und Auslesen der Information	152
8.3.3.3. Wortadressenspeicher mit zwei Kernen je Bit	153
8.3.4. Vor- und Nachteile der einzelnen Kernspeichersysteme	154
8.3.4.1. Koinzidenzsystem mit vier Drähten je Kern	154
8.3.4.2. Koinzidenzsystem mit weniger als vier Drähten je Kern	154
8.3.4.3. Linearspeicher	154
<b>8.4. Auswahlaltungen zur Adressenansteuerung</b>	154
8.4.1. Auswahlaltungen mit Schaltern und Dioden	154
8.4.2. Auswahlaltungen mit Schaltkernen	157
8.4.3. Stromtreiber	159
8.4.4. Leseverstärker	159
<b>8.5. Speicherzyklus</b>	160
<b>8.6. Gesamtaufbau eines Kernspeichers</b>	160
<b>8.7. Ferritkern als Schaltelement</b>	162
8.7.1. Anforderungen an Schaltkerne	162
8.7.2. Schaltzeichen	162
8.7.3. Schaltungen mit Schaltkernen	163
<b>8.8. Transfluxoren</b>	164
8.8.1. Aufbau und Wirkungsweise	164
8.8.2. Schaltbeispiel mit einem Transfluxor	165
<b>9. Grundsätzliches über EDV-Anlagen</b>	165
<b>9.1. Merkmale einer EDV-Anlage</b>	165
<b>9.2. Analogrechner und Digitalrechner</b>	166
<b>9.3. Darstellung von Informationen in EDV-Anlagen</b>	166
<b>9.4. Serien- und Parallelbetrieb</b>	168

	Seite
<b>9.5. Prinzipielle Wirkungsweise einer EDV-Anlage</b>	168
9.5.1. Bestandteile einer EDV-Anlage	168
9.5.2. Aufbau eines Programms	169
9.5.2.1. Aufbau und Arten der Befehle	169
9.5.2.2. Programmstrukturen	170
9.5.3. Grundsätzliche Aufgaben und Aufbau des Leitwerks	171
9.5.4. Grundsätzlicher Aufbau eines Rechenwerks	172
9.5.4.1. Allgemeine Einteilung	172
9.5.4.2. Aufbau eines Serienaddierers für Dualzahlen	173
9.5.4.3. Aufbau eines Paralleladdierers für Dualzahlen	173
<b>10. Aufbau elektronischer Schaltkreise</b>	174
<b>10.1. Allgemeines</b>	174
<b>10.2. Gedruckte Schaltungen</b>	174
10.2.1. <u>Prinzipielles Herstellungsverfahren</u>	174
10.2.2. Gedruckte Bauelemente	175
10.2.3. Konstruktion	175
10.2.4. Druckverfahren	176
10.2.5. Herstellen der Leiterbahnen	176
10.2.6. Bestücken und Einlöten der Bauelemente	176
<b>10.3. Miniaturelektronik</b>	177
<b>10.4. Integrierte Filmschaltungen</b>	177
10.4.1. Grundlagen der Filmschaltungen	177
10.4.2. Dickfilmtechnik	178
10.4.3. Dünnschichttechnik	178
<b>10.5. Integrierte Halbleiterschaltungen</b>	179
10.5.1. Überblick	179
10.5.2. Planar- und Epitaxial-Technologie	179
10.5.3. Bipolare IC	180
10.5.3.1. Widerstände	180
10.5.3.2. Kapazitäten	181
10.5.3.3. Aktive Elemente	181
10.5.3.4. Isolation	183
10.5.3.5. Herstellungsprozeß von bipolaren IC	183
10.5.4. Unipolare IC	184
10.5.5. Prüfen, Kontaktieren und Verkapseln	185
10.5.6. Großschaltkreisintegration	186
10.5.7. Hybride Schaltungen	187
<b>10.6. Digitale Anwendungen der Mikroelektronik</b>	187
10.6.1. Bipolare statische Schaltungen	187
10.6.1.1. DCTL-, RTL- und RCTL-Familien	189
10.6.1.2. DTL-Familie	190
10.6.1.3. TTL-Familie	192
10.6.1.4. Ungesättigte Schaltungen	194
10.6.1.5. Zusammenfassende Übersicht	195
10.6.2. Bipolare sequentielle Schaltungen	196
10.6.3. Unipolare Digitalschaltungen	198

# 1. Grundlagen der Digitaltechnik

## 1.1. Unterschied zwischen Analog- und Digitaltechnik

Zur **Analogtechnik** gehört z.B. das Fernsprechen; auf dem Übertragungsweg liegt die Sprache in Form von Sprechwechselspannungen vor. Die Amplitude der Wechselspannung kennzeichnet die Lautstärke, die Frequenz der Wechselspannung die Tonhöhe. Bei der Sprechwechselspannung sind also Amplitude und Frequenz mit Information behaftet. Amplitude und Frequenz können sich kontinuierlich ändern; jeder Wert kennzeichnet eine andere Information (Lautstärke, Tonhöhe). **Analoge Signale sind also dadurch gekennzeichnet, daß die informationsbehaftete Kenngröße des Signals innerhalb eines bestimmten Bereichs jeden Wert annehmen kann und jeder dieser Werte eine andere Information kennzeichnet.**

Analoge Größen eignen sich nicht nur zur Übertragung von Information, sondern auch zur Informationsverarbeitung, also z.B. zum Rechnen. Ein Rechenschieber ist ein einfacher Analogrechner. Die Zahlen werden hier in analoge Strecken umgewandelt und aneinandergesetzt. In einem Wattmeter werden Strom und Spannung miteinander multipliziert, und das Ergebnis wird in Form eines analogen Zeigerausfalls angezeigt. Die Beispiele zeigen, daß die Verarbeitung analoger Größen nach physikalischen Gesetzmäßigkeiten erfolgt.

Das Fernschreiben gehört zur **Digitaltechnik**; auf der Anschlußleitung liegt die zu übertragende Information als Folge von Strom- und Kein-Strom-Schritten vor. Jeder Schritt kennzeichnet eine von zwei möglichen Informationen. Der Strom kann theoretisch auch hier jeden Zwischenwert annehmen. Solange er kleiner ist als der Ansprechstrom des Empfangsmagneten des Fernschreibers, erfolgt die Auswertung „kein Strom“, ist er größer als der Ansprechstrom, erfolgt die Auswertung „Strom“. **Ein digitales Signal ist also dadurch gekennzeichnet, daß die informationsbehaftete Größe in Wertebereiche eingeteilt ist (meist zwei) und nur jeder Wertebereich eine Information kennzeichnet.**

Digitale Größen eignen sich besonders gut zur Verarbeitung; zu ihnen gehören auch die Zahlen. Bei der digitalen Datenverarbeitung wird also ziffernhaltig gerechnet. Die Verarbeitung erfolgt nach mathematischen Gesetzmäßigkeiten.

## 1.2. Dualzahlen

### 1.2.1. Eigenschaften

Die Zahl 583 steht abkürzend für  $5 \cdot 10^2 + 8 \cdot 10^1 + 3 \cdot 10^0$ . Man erhält also den Zahlenwert, wenn man jede Ziffer mit ihrem Stellenwert multipliziert und die so erhaltenen Zahlen addiert. Die Stellenwerte bilden hier die Potenzen der Zahl 10; das System wird daher Dezimalsystem genannt. Man erhält ein beliebiges anderes Zahlensystem, wenn für die Stellenwerte anstelle der Potenzen zur Basis 10 Potenzen zu einer anderen ganzzahligen Basis B verwendet werden. Auch bei diesen Zahlensystemen, die als polyadisch oder B-adisch bezeichnet werden, ergibt sich der Zahlenwert jeweils als Summe der Produkte aus Ziffer und Stellenwert.

Diese Zahlensysteme haben außerdem die Eigenschaft, daß die Anzahl der erforderlichen verschiedenen Ziffern einschließlich der Null gleich der Basis ist; z.B. verwendet das Dezimalsystem die zehn Ziffern von 0 bis 9. Das Dualsystem, bei dem die Stellenwerte von Zweierpotenzen gebildet werden, benötigt demnach nur zwei Ziffern, die mit 0 und 1 oder 0 und L bezeichnet werden. Die folgende Tabelle enthält die ersten zwanzig Zahlen im Dezimal- und Dualsystem.

Dezimal- und Dualzahlen von 0 bis 20

Dezimal		Dual				
$10^1$	$10^0$	$2^4$	$2^3$	$2^2$	$2^1$	$2^0$
10	1	16	8	4	2	1
	0					0
	1					1
	2				1	0
	3				1	1
	4			1	0	0
	5			1	0	1
	6			1	1	0
	7			1	1	1
	8		1	0	0	0
	9		1	0	0	1
1	0		1	0	1	0
1	1		1	0	1	1
1	2		1	1	0	0
1	3		1	1	0	1
1	4		1	1	1	0
1	5		1	1	1	1
1	6	1	0	0	0	0
1	7	1	0	0	0	1
1	8	1	0	0	1	0
1	9	1	0	0	1	1
2	0	1	0	1	0	0

Tabelle 1

Mit Hilfe der Tabelle ist leicht nachzuprüfen, daß sich der Zahlenwert als Summe der Produkte aus Ziffer und Stellenzahl ergibt:

$$110 \triangleq 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 \\ = 1 \cdot 4 + 1 \cdot 2 + 0 \cdot 1 = 6$$

Wie im Dezimalsystem werden auch im Dualsystem die Wertigkeiten der Stellen hinter dem Komma aus den Potenzen mit negativem Exponenten gebildet.

$$2^{-1}, 2^{-2}, 2^{-3}, \dots$$

Die 0,1 aus dem Dualsystem entspricht demnach der 0,5 im Dezimalsystem.

Die Bedeutung des Dualsystems liegt vor allem darin, daß es mit zwei Ziffern auskommt. In der elektronischen Datenverarbeitung müssen die Zahlen durch physikalische Größen dargestellt werden. Es ist technisch viel einfacher und damit auch betriebssicherer, in jeder Stelle nur zwei Ziffern, also zwei Zustände, zu unterscheiden. Zum anderen ist die Zahl der Rechenregeln, die eine Datenverarbeitungsanlage kennen muß, sehr viel kleiner als im Dezimalsystem. Man vergleiche nur das kleine Einmaleins des Dezimalsystems, das der Anlage bei Verwendung von Dezimalzahlen bekannt sein müßte, mit dem kleinen Einmaleins des Dualsystems, das praktisch nur aus  $1 \cdot 1 = 1$  besteht. Der Vorteil der geringen Anzahl verschiedener Ziffern muß allerdings durch eine größere Stellenzahl erkauft werden. Sie ist im Dualsystem im Mittel um den Faktor 3,3 größer als im Dezimalsystem.

### 1.2.2. Die Umwandlung von Dezimalzahlen in Dualzahlen und umgekehrt (Konvertierung)

Es gibt mehrere Konvertierungsverfahren, von denen hier zwei beschrieben werden sollen.

#### 1. Verfahren

Dieses Verfahren ergibt sich direkt aus dem Aufbau des Dualsystems.

**Dual → Dezimal:** Jede Ziffer der Dualzahl wird mit ihrem Stellenwert multipliziert. Die so erhaltenen Zahlen ergeben addiert den Zahlenwert.

#### Ganze Zahlen:

$$101001 \triangleq 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0$$

$$= 1 \cdot 32 + 0 \cdot 16 + 1 \cdot 8 + 0 \cdot 4 + 0 \cdot 2 + 1 \cdot 1 \\ = 41$$

#### Gebrochene Zahlen:

$$0,101 \triangleq 1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} \\ = 1 \cdot \frac{1}{2} + 0 \cdot \frac{1}{4} + 1 \cdot \frac{1}{8} \\ = 0,625$$

**Dezimal → Dual:** Die Dezimalzahl wird in eine Summe aus Zweierpotenzen zerlegt. Dabei beginnt man bei der größtmöglichen Zweierpotenz.

#### Ganze Zahlen:

$$90 = 1 \cdot 64 + 0 \cdot 32 + 1 \cdot 16 + 1 \cdot 8 + 0 \cdot 4 + 1 \cdot 2 + 0 \cdot 1 \\ = 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 \\ \triangleq 1011010$$

#### Gebrochene Zahlen:

$$0,8125 = 1 \cdot 0,5 + 1 \cdot 0,25 + 0 \cdot 0,125 + 1 \cdot 0,0625 \\ = 1 \cdot 2^{-1} + 1 \cdot 2^{-2} + 0 \cdot 2^{-3} + 1 \cdot 2^{-4} \\ \triangleq 0,1101$$

## 2. Verfahren

Dieses Verfahren beruht auf der Hornerischen Zerlegung der Dualzahlen, die in einer fortwährenden Multiplikation mit 2 für die Stellen vor dem Komma und in einer wiederholten Division durch 2 für die Stellen hinter dem Komma besteht.

#### Ganze Zahlen:

$$101011 \triangleq 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 \\ = [1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0] \cdot 2 + 1 \\ = \{ [1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0] \cdot 2 + 1 \} \cdot 2 + 1 \\ = \{ [ [1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0] \cdot 2 + 0 \} \cdot 2 + 1 \} \cdot 2 + 1 \\ = \{ [ [ [1 \cdot 2^1 + 0 \cdot 2^0] \cdot 2 + 1 ] \cdot 2 + 0 \} \cdot 2 + 1 \} \cdot 2 + 1 \\ 101011 \triangleq \{ [ [ [ [ [1 \cdot 2 + 0] \cdot 2 + 1 ] \cdot 2 + 0 \} \cdot 2 + 1 \} \cdot 2 + 1 \} \cdot 2 + 1 = 43$$

In diesem Beispiel erfolgt anstelle der sofortigen Multiplikation der ersten 1 mit  $2^5$  nur eine Multiplikation mit 2, die sich nach der Addition der jeweils folgenden Ziffer immer wiederholt. Man kann leicht nachprüfen, daß hierbei jede Ziffer so oft mit 2 multipliziert wird, wie es ihrem Stellenwert entspricht.



Beispiel:

$$\begin{array}{r}
 1\ 1\ 0\ 1\ 1\ 1\ 1\ 0\ 0 \\
 + \quad 1\ 0\ 0\ 1\ 1\ 0\ 1\ 0 \\
 \hline
 1\ 1\ \quad 1\ 1\ 1 \\
 \hline
 1\ 0\ 0\ 1\ 0\ 1\ 0\ 1\ 1\ 0
 \end{array}
 \begin{array}{r}
 444 \\
 + 154 \\
 \hline
 598
 \end{array}$$

### 1.2.3.2. Die Subtraktion

Rechenregeln:

$0 - 0 = 0$
$0 - 1 = 1 + 1$ Entlehnung
$1 - 0 = 1$
$1 - 1 = 0$
$0 - 1 - 1 = 0 + 1$ Entlehnung
$1 - 1 - 1 = 1 + 1$ Entlehnung

Tabelle 3

Beispiel:

$$\begin{array}{r}
 1\ 1\ 1\ 1\ 0\ 0\ 0 \\
 - 1\ 0\ 0\ 1\ 1\ 1\ 0 \\
 \hline
 \quad 1\ 1\ 1 \\
 \hline
 1\ 0\ 1\ 0\ 1\ 0
 \end{array}
 \begin{array}{r}
 120 \\
 - 78 \\
 \hline
 42
 \end{array}$$

### 1.2.3.3. Die Multiplikation

Rechenregeln:

$0 \cdot 0 = 0$
$0 \cdot 1 = 0$
$1 \cdot 0 = 0$
$1 \cdot 1 = 1$

Tabelle 4

Beispiel:

$$\begin{array}{r}
 1\ 0\ 1\ 1\ 0\ 1 \cdot 1\ 0\ 1 \\
 \hline
 \quad 1\ 0\ 1\ 1\ 0\ 1 \\
 \quad 0\ 0\ 0\ 0\ 0\ 0 \\
 \quad 1\ 0\ 1\ 1\ 0\ 1 \\
 \quad \quad 1\ 1\ 1\ 1 \\
 \hline
 1\ 1\ 1\ 0\ 0\ 0\ 0\ 1
 \end{array}
 \begin{array}{r}
 45 \cdot 5 \\
 \hline
 225
 \end{array}$$

Bei der Multiplikation mit 0 braucht die Zeile nicht hingeschrieben zu werden; es genügt, die folgende Zeile entsprechend weiter einzurücken.

Beispiel:

$$\begin{array}{r}
 1\ 0\ 1\ 1\ 1\ 0\ 1 \cdot 1\ 0\ 0\ 1\ 0\ 1 \\
 \hline
 \quad 1\ 0\ 1\ 1\ 1\ 0\ 1 \\
 \quad 1\ 0\ 1\ 1\ 1\ 0\ 1 \\
 \quad 1\ 0\ 1\ 1\ 1\ 0\ 1 \\
 \quad \quad 1\ 1\ 1\ 1\ 1\ 1\ 1\ 1 \\
 \hline
 1\ 1\ 0\ 1\ 0\ 1\ 1\ 1\ 0\ 0\ 0\ 1
 \end{array}
 \begin{array}{r}
 93 \cdot 37 \\
 \hline
 3441
 \end{array}$$

### 1.2.3.4. Die Division

Rechenregeln:

Es gelten die Rechenregeln der Subtraktion und der Multiplikation. Der Rechenprozeß hat die gleiche Form wie beim Rechnen mit Dezimalzahlen.

Beispiele:

$$\begin{array}{r}
 1\ 0\ 1\ 0\ 1\ 0\ 0\ 0\ 0 : 1\ 1\ 0\ 0\ 0 = 1\ 1\ 1\ 0 \\
 \underline{1\ 1\ 0\ 0\ 0} \\
 1\ 0\ 0\ 1\ 0\ 0 \\
 \underline{1\ 1\ 0\ 0\ 0} \\
 1\ 1\ 0\ 0\ 0 \\
 \underline{1\ 1\ 0\ 0\ 0} \\
 0\ 0
 \end{array}
 \quad 336 : 24 = 14$$
  

$$\begin{array}{r}
 1\ 0\ 1\ 0\ 1 : 1\ 0\ 0 = 1\ 0\ 1,0\ 1 \\
 \underline{1\ 0\ 0} \\
 1\ 0\ 1 \\
 \underline{1\ 0\ 0} \\
 1\ 0\ 0 \\
 \underline{1\ 0\ 0} \\
 0
 \end{array}
 \quad 21 : 4 = 5,25$$

### 1.2.3.5. Die Subtraktion durch Komplementbildung

Mit Hilfe der Komplementbildung läßt sich die Subtraktion auf eine Addition zurückführen. Eine Datenverarbeitungsanlage benötigt daher nur ein Addierwerk. Das Komplement einer Zahl ist die Ergänzung dieser Zahl zu einer beliebigen anderen Zahl. So ist z.B. 483 das Komplement von 517 zu 1000. Eine Subtraktion nimmt mit dem Komplement folgende Form an:

$$864 - 517 = 864 + (1000 - 517) - 1000 = 864 + 483 - 1000$$

$$\begin{array}{r}
 864 \\
 + 483 \\
 \hline
 (1)347
 \end{array}
 \quad \text{Durch Addition des Komplements erhält man also die um die Hilfszahl 1000 zu große Differenz. Die Subtraktion der Hilfszahl erfolgt automatisch, wenn sie so gewählt ist, daß sie nicht mehr angezeigt wird. Wenn für das angeführte Beispiel nur eine dreistellige Anzeige erfolgt, so fällt der Endübertrag 1 weg; es wird nur die gewünschte Differenz angezeigt. Die Subtraktion ist also auf eine Addition zurückgeführt worden.}$$

Die Komplementbildung wird einfacher, wenn als Hilfszahl nicht 1000 sondern 999 gewählt und dann 1 dazugaddiert wird. Dann ist in jeder Stelle nur die Ergänzung zu 9 zu bilden. Das obige Beispiel nimmt dann folgende Form an:

$$864 - 517 = 864 + (999 - 517) + 1 - 1000$$

$$= 864 + 482 + 1 - 1000$$

$$\begin{array}{r} 864 \\ 482 \\ + \quad 1 \\ \hline (1)347 \end{array}$$

Im Dualsystem sieht die Subtraktion durch Komplementbildung folgendermaßen aus; als Hilfszahl wird bei vierstelligen Dualzahlen 10000 gewählt.

$$\begin{array}{r} 1011 - 0101 \\ = 1011 + (10000 - 0101) - 10000 \\ = 1011 + 1011 - 10000 \\ \quad 1011 \\ + \quad 1011 \quad 11 - 5 = 6 \\ \quad \underline{1 \quad 1} \\ (1)0110 \end{array}$$

Im Dualsystem wird die Komplementbildung besonders einfach, wenn man als Hilfszahl nicht 10000, sondern 1111 verwendet und dann 1 dazugaddiert. Dann ist in jeder Stelle nur die Ergänzung zu 1 zu bilden. Sie ist 0, wenn an der Stelle eine 1 steht, sie ist 1 bei einer 0. **Man erhält das Komplement zu 1111, indem man alle Stellen umkehrt.**

$$\begin{array}{r} 1011 - 0101 \\ = 1011 + (1111 - 0101) + 1 - 10000 \\ = 1011 + \quad 1010 + 1 - 10000 \\ \quad 1011 \\ \quad 1010 \\ + \quad \quad 1 \\ \quad \quad \underline{1 \quad 1} \\ (1)0110 \end{array}$$

Weitere Beispiele:

$\begin{array}{r} 101100 \\ - 010110 \\ \hline 101100 \end{array}$	$\cong$	$\begin{array}{r} 101100 \\ + \quad 101001 \\ \hline (1)010110 \end{array}$	$\cong$	$\begin{array}{r} 44 \\ - 22 \\ \hline 22 \end{array}$
$\begin{array}{r} 11011 \\ - 10110 \\ \hline 00101 \end{array}$	$\cong$	$\begin{array}{r} 11011 \\ + \quad 01001 \\ \hline (1)00101 \end{array}$	$\cong$	$\begin{array}{r} 27 \\ - 22 \\ \hline 5 \end{array}$

Ist die abzuziehende Zahl (der Subtrahend) größer als die Zahl, von der sie abzuziehen ist (der Minuend), so entsteht bei dem Verfahren mit Komplementbildung kein Endübertrag.

### 1.3. Codierung

#### 1.3.1. Grundbegriffe

Unter Codierung ist die Umwandlung einer Nachricht von einer Form in eine andere zu verstehen. Die Vorschrift, nach der einem Zeichen des einen Zeichenvorrats (z.B. der 5 aus dem Zeichenvorrat 0...9) ein Zeichen eines anderen Zeichenvorrats (z.B. 0101 aus dem Zeichenvorrat 0000...1001) zugeordnet wird, bezeichnet man als den **Code** (Schlüssel).

Die Codierung ist für die moderne Technik von großer Bedeutung. Mit ihrer Hilfe kann jede Nachricht immer in die Form gebracht werden, in der sie am günstigsten zu verarbeiten ist. Für die Übertragung werden Nachrichten so codiert, daß sie über den gegebenen Übertragungskanal möglichst schnell und sicher transportiert werden können. Digitalrechner wandeln (codieren) die gegebenen Dezimalzahlen in Dualzahlen um, weil die Verarbeitung von Dualzahlen einfacher, sicherer und damit wirtschaftlicher ist. Sollen Nachrichten gespeichert werden, so ist ein Code zu wählen, durch den der Aufwand für die Speicherzellen klein gehalten wird.

Sind z.B. die Zahlen von 0 bis 15 zu speichern, so könnte man dafür 16 Relais mit den Wertigkeiten 0, 1, 2, ..., 15 verwenden. Eine eingespeicherte 5 ist dann durch die Arbeitslage des Relais 5 gekennzeichnet. Die 16 Zahlen können aber bei Verwendung der Dualzahlen auch mit 4 Relais gespeichert werden, die dann die Wertigkeiten 1, 2, 4 und 8 haben müßten. Eine eingespeicherte 5 ist dann durch die Arbeitslage der Relais 1 und 4 gekennzeichnet. In diesem Beispiel werden durch die Verwendung einer anderen Darstellung für die zu speichernden Zahlen 12 Relais eingespart.

Die in der Digitaltechnik verwendeten Codes ordnen den einzelnen Nachrichten Codezeichen (Codewörter) zu, die aus mehreren Elementen bestehen. Bei den Dualzahlen sind die Elemente die einzelnen Stellen der Dualzahl. Die einzelnen Elemente können verschiedene Zustände annehmen, z.B. 0 und 1 bei einer Dualzahl. In der Technik werden überwiegend Elemente verwendet, die wie die Stellen einer Dualzahl nur zwei Zustände annehmen können. Derartige zweiwertige Elemente heißen Bits (**binary digits**, zweiwertige Schritte). Die technische Bedeutung der Bits liegt in ihrer einfachen technischen Darstellung. Die beiden Zustände 0 und 1 können gekennzeichnet werden durch: Relais abgefallen oder angezogen, Transistor gesperrt oder leitend, Schalter offen oder geschlossen, positive Spannung oder negative Spannung, hoch- oder niederohmige Erde, Frequenz  $f_1$  oder  $f_2$  usw. Codes mit zweiwertigen Codeelementen werden als Binärcodes bezeichnet.

Die einzelnen Codezeichen können unterschiedlich viele Elemente enthalten, also unterschiedlich lang sein. Ein Beispiel hierfür ist das Morse-Alphabet. Bei Verwendung von Codezeichen mit unterschiedlicher Stellenzahl wird bei der Übertragung Aufwand (Zeit) gespart, wenn man den häufig auftretenden Nachrichten kurze, den selten auftretenden lange Zeichen zuordnet. Der dadurch gewonnene Vorteil wird aber bei den meisten Codes (so auch beim Morsecode) dadurch aufgehoben, daß zwischen den einzelnen Codezeichen Pausen eingefügt werden müssen. Beim Morsen bedeuten ein Punkt und ein Strich ohne Pause „a“, mit Pause dazwischen „et“. Gibt man jedem Codezeichen gleichviel Elemente, so kann die Pause entfallen, weil der Empfänger dann weiß, daß z.B. nach jedem vierten Element ein neues Zeichen beginnt. In der Datenverarbeitung werden fast ausschließlich Codes mit gleichlangen Codezeichen verwendet. Mit einem  $n$ -stelligen Binärcode lassen sich  $2^n$  verschiedene Informationen darstellen.

Wenn für eine bestimmte Aufgabe ein Code gesucht wird, so geht man am besten folgendermaßen vor: Zuerst ist aus der Anzahl der zu codierenden Informationen festzustellen, wieviel Elemente jedes Zeichen mindestens enthalten muß, damit alle Informationen dargestellt werden können. Für 8 verschiedene Informationen genügen 3 Elemente je Zeichen ( $2^3 = 8$ ), für 10 verschiedene Informationen sind schon mindestens vierstellige Codezeichen erforderlich.

Als nächstes muß überlegt werden, ob eine Sicherung des Codes erforderlich ist, ob also Fehlererkennungs- oder Fehlerkorrekturcodes eingesetzt werden sollen. Das richtet sich vor allem nach dem Übertragungskanal oder dem Speichermedium. Werden die Nachrichten über Funk übertragen, so ist wegen der häufigen atmosphärischen Störungen eine Codesicherung angebracht. Bei Briefverteilanlagen z.B. werden die Postleitzahlen für die Weichensteuerung in einem Code auf die Briefumschläge gedruckt. Durch Verunreinigungen der Briefumschläge oder der optischen Abtasteinrichtung können leicht Fehler entstehen. Deshalb wird auch hier ein Fehlererkennungscode verwendet. Für die Entscheidung der Frage, ob eine Codesicherung eingesetzt werden soll oder nicht, sind nicht nur die Fehlerwahrscheinlichkeiten, sondern auch die Folgen der Fehler maßgebend. Hat ein Fehler große Auswirkungen, so wird man trotz geringer Fehlerwahrscheinlichkeit eine Codesicherung verwenden.

Ein weiterer Punkt, der bei der Auswahl eines Codes zu beachten ist, ist der erforderliche Aufwand für die Codierung, Verarbeitung und Decodierung. Hier muß ein Kompromiß geschlossen werden, wenn der für die Verarbeitung günstigste Code höheren Aufwand bei der Codierung und Decodierung erfordert, während umgekehrt ein Code mit geringem Aufwand für Codierung und Decodierung für die Verarbeitung nicht der günstigste ist. In Digitalrechnern ist für die eigentlichen Rechenvorgänge der Dualcode am günstigsten, er erfordert aber hohen Aufwand bei der Codierung und Decodierung; deshalb verwenden viele Hersteller andere Codes.

Für die Wartung von Anlagen kann die Lesbarkeit eines Codes von Bedeutung sein. Im allgemeinen erleichtert ein leicht lesbarer Code die Unterhaltungsarbeiten. Leicht lesbar ist z.B. der Dualcode, während das Fernschreibalphabet nur sehr schwer lesbar ist.

Ein Beispiel soll die genannten Punkte noch einmal erläutern: Für die Steuerung des Verbindungsaufbaus wird beim Fernsprechen der Zählcode verwendet (1 = 1 Impuls, 2 = 2 Impulse usw.). Dieser Code ist sehr günstig für die Verarbeitung, wenn für den Verbindungsaufbau Wähler verwendet werden. Jeder Impuls steuert den Wähler eine Dekade oder einen Schritt weiter. Der hohe Aufwand an Bits (bis zu 10) stört hier nicht, weil der Wähler bei Wahl einer höheren Ziffer auch mehr Einstellzeit benötigt. Der Aufwand für die Codierung ist durch die Verwendung des Nummernschalters gering. Der Zählcode ist leicht lesbar. Eine Codesicherung ist für die gestellte Aufgabe nicht erforderlich. Die neu entwickelten Wählsysteme enthalten anstelle der Wähler Koppelglieder. Hier entfallen die Vorteile des Zählcodes bei der Verarbeitung. Die Durchschaltzeit ist unabhängig von der Höhe der gewählten Ziffer. Die unterschiedliche Länge der Codezeichen für die verschiedenen Ziffern ist nachteilig und führt zu unnötig langen Zeiten für den Verbindungsaufbau. Deswegen wurde für die neuen Wählsysteme die Tastwahl entwickelt, die mit für alle Ziffern gleichlangen Tonfrequenz-Codezeichen arbeitet.

## 1.3.2. Codeeigenschaften

### 1.3.2.1. Additive Codes

Additive Codes haben einen festen Stellenwert. Die verschlüsselte Dezimalziffer ergibt sich als Summe der Wertigkeiten der Stellen, deren Elemente den Zustand 1 haben. Wegen dieser Eigenschaft sind additive Codes leicht lesbar. Zu den additiven Codes gehören die Dualzahlen, der 1-aus-10-Code, der 2-aus-5-Code, der Aikencode und der Zählcode.

Die 7 im Aikencode setzt sich zusammen aus  $1 \cdot 2 + 1 \cdot 4 + 0 \cdot 2 + 1 \cdot 1 = 7$ .

**Aikencode**

	2	4	2	1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	0	1
8	1	1	1	0
9	1	1	1	1

Tabelle 5

**1.3.2.2. Minimalcodes und optimale Codes**

Minimalcodes sind Codes mit gleichlangen Codezeichen, die nur soviel Elemente je Zeichen haben, wie zur Darstellung aller Nachrichten mindestens erforderlich sind. Für die Kennzeichnung der zehn Dezimalziffern durch einen Binärcode sind vier Elemente je Zeichen erforderlich. Daher sind Dualcode, Aikencode, Drei-Exzeßcode und Graycode Minimalcodes.

**Minimale und redundante Codes**

	Dualcode	2-aus-5-Code	1-aus-10-Code
	8 4 2 1	7 4 2 1 0	9 8 7 6 5 4 3 2 1 0
0	0 0 0 0	1 1 0 0 0	0 0 0 0 0 0 0 0 0 1
1	0 0 0 1	0 0 0 1 1	0 0 0 0 0 0 0 0 0 1 0
2	0 0 1 0	0 0 1 0 1	0 0 0 0 0 0 0 0 1 0 0
3	0 0 1 1	0 0 1 1 0	0 0 0 0 0 0 0 1 0 0 0
4	0 1 0 0	0 1 0 0 1	0 0 0 0 0 0 1 0 0 0 0
5	0 1 0 1	0 1 0 1 0	0 0 0 0 0 1 0 0 0 0 0
6	0 1 1 0	0 1 1 0 0	0 0 0 1 0 0 0 0 0 0 0
7	0 1 1 1	1 0 0 0 1	0 0 1 0 0 0 0 0 0 0 0
8	1 0 0 0	1 0 0 1 0	0 1 0 0 0 0 0 0 0 0 0
9	1 0 0 1	1 0 1 0 0	1 0 0 0 0 0 0 0 0 0 0

Tabelle 6

Die Gegenüberstellung von Dualcode, 2-aus-5-Code und 1-aus-10-Code zeigt deutlich, daß der 2-aus-5-Code und der 1-aus-10-Code weitschweifig sind, daß sie also mehr Elemente je Zeichen verwenden, als unbedingt erforderlich sind. Man nennt derartige Codes **redundant**. Unter **Redundanz R** (Weitschweifigkeit) versteht man die Zahl der Elemente, die ein Codezeichen eines redundanten Codes mehr enthält als ein Codezeichen des Minimalcodes.

Exakt betrachtet ist auch die Darstellung der zehn Dezimalziffern durch einen vierstelligen Binärcode redundant, weil von den 16 möglichen Kombinationen nur 10 ausgenutzt werden. Die sechs nicht verwendeten Zeichen heißen **Pseudotetraden**. Für 10 Nachrichten sind im Mittel nur 3,3 Bits erforderlich.

Die Redundanz wird meist als relative Redundanz  $r$  angegeben.

$$r = \frac{H_0 - H}{H_0}$$

$H_0$  = Zahl der verwendeten Elemente je Zeichen,  
 $H$  = Zahl der im Mittel mindestens erforderlichen Elemente je Zeichen.

Der 2-aus-5-Code hat demnach eine relative Redundanz von

$$r = \frac{5 - 3,3}{5} = \frac{1,7}{5} = 0,34 = 34 \%$$

Die relative Redundanz des 1-aus-10-Codes beträgt

$$r = \frac{10 - 3,3}{10} = \frac{6,7}{10} = 0,67 = 67 \%$$

Sind alle möglichen Kombinationen eines Codes mit Nachrichten belegt, wird die Redundanz 0. 100%ige Redundanz liegt vor, wenn nur ein Zeichen ausgenutzt ist.

Wenn die einzelnen Nachrichten ungleich häufig auftreten, also unterschiedliche Wahrscheinlichkeiten haben, ergibt sich der **optimale Code**, wenn man ungleich lange Codezeichen verwendet. Dabei sind den häufig auftretenden Nachrichten kurze Zeichen, den selten auftretenden lange Zeichen zuzuordnen. Dadurch wird beim Übertragen und Speichern Aufwand gespart.

Ein Beispiel soll dies erläutern: Es sind vier verschiedene Nachrichten 1, 2, 3 und 4 zu übertragen. Dazu könnte ein Binärcode mit zwei Elementen je Zeichen verwendet werden (00, 01, 10, 11). Wenn die Nachricht 1 eine Wahrscheinlichkeit von  $\frac{1}{2}$  hat (jede zweite übertragene Nachricht ist die Nachricht 1), die Nachricht 2 eine Wahrscheinlichkeit von  $\frac{1}{4}$  hat und die Nachrichten 3 und 4 eine Wahrscheinlichkeit von jeweils  $\frac{1}{8}$  haben, so werden von insgesamt acht übertragenen Zeichen vier die Nachricht 1 kennzeichnen, zwei die Nachricht 2 und je eine die Nachrichten 3 und 4. Mit dem oben angeführten Code wären zur Übertragung aller acht Nachrichten  $8 \cdot 2 = 16$  Bits erforderlich. Ein optimaler Code für diese Nachrichten ist in Tabelle 7 dargestellt.

**Optimaler Code**

Nachricht	Zeichen
1	0
2	10
3	110
4	111

Tabelle 7

Für die Übertragung der acht Nachrichten sind dann nur noch  $4 \cdot 1$  Bit (Nachricht 1) +  $2 \cdot 2$  Bits (Nachricht 2) +  $1 \cdot 3$  Bits +  $1 \cdot 3$  Bits (Nachrichten 3 und 4) = 14 Bits erforderlich; 2 Bits werden also eingespart. Da die Wahrscheinlichkeiten nicht immer bekannt sind und von Fall zu Fall schwanken können und außerdem der technische Aufwand im Empfänger steigt, wenn die ungleich langen Zeichen ohne Pause übertragen werden sollen, bleibt man in der Praxis meist bei Codes mit gleichlangen Codezeichen.

**1.3.2.3. Fehlererkennungs-codes**

Fehler treten bei Codezeichen auf, wenn sich der Zustand eines Elementes ändert, wenn also durch Störungen auf dem Übertragungskanal oder

durch fehlerhafte Speicherzellen aus einer 0 eine 1 wird oder umgekehrt. Solche Fehler können nur erkannt werden, wenn das durch den Fehler neu entstandene Zeichen nicht informationsbehaftet, also nicht ausgenutzt ist. Beim 2-aus-5-Code enthält jedes Zeichen zwei Bit im Zustand 1. Wird der Zustand eines Elementes geändert, so enthält das Zeichen ein oder drei Elemente im Zustand 1. Daran kann der Empfänger einen Fehler erkennen und eine Wiederholung des Zeichens veranlassen. Werden zwei Elemente verändert, so entsteht wieder ein ausgenutztes Zeichen, wenn beide Fehler gegensinnig sind, also einmal eine 0 in eine 1 geändert wird und an anderer Stelle eine 1 in eine 0. Die Zahl der Elemente, deren Zustand geändert werden muß, damit ein neues ausgenutztes Zeichen entsteht, bezeichnet man als **Hamming-Distanz**. Damit ein Code fehlererkennend ist, muß die Hamming-Distanz mindestens zwei betragen. Da dadurch nur höchstens die Hälfte aller möglichen Zeichen ausgenutzt wird, haben Fehlererkennungs-codes immer eine große Redundanz. Die Zeichen enthalten mindestens ein Bit mehr als ein entsprechender Minimalcode.

Ein Minimalcode kann durch ein sogenanntes Prüf- oder Paritätsbit zu einem Fehlererkennungscode erweitert werden. In Tabelle 8 ist

Dualcode mit Prüfbit	dargestellt, wie aus einem Dualcode durch Hinzufügen eines Paritätsbits ein Fehlererkennungscode wird. Das Prüfbit ist so gewählt, daß jedes Zeichen eine ungeradzahlige Anzahl von Elementen im Zustand 1 enthält, jedes Zeichen also auf diese Eigenschaft hin prüfbar wird. Vertauscht man bei jedem Prüfbit den Zustand, so hat jedes Zeichen eine geradzahlige Anzahl von Elementen im Zustand 1.
0	0 0 0 0   1
1	0 0 0 1   0
2	0 0 1 0   0
3	0 0 1 1   1
4	0 1 0 0   0
5	0 1 0 1   1
6	0 1 1 0   1
7	0 1 1 1   0
8	1 0 0 0   0
9	1 0 0 1   1

Tabelle 8

Eine Fehlererkennung kann auch durch Prüfzeichen erreicht werden. Nach einer bestimmten Anzahl von Zeichen wird ein Prüfzeichen gesendet, das so gebildet wird, daß die Zahl der Bits im Zustand 1 in jeder Spalte geradzahlig oder ungeradzahlig wird. In Tabelle 9 folgt auf einen Zeichenblock aus sieben Zeichen ein Prüfzeichen, durch das die Zahl der Bits im Zustand 1 je Spalte geradzahlig wird. Die Redundanz ist bei Verwendung von Prüfzeichen immer dann geringer als bei der Erweiterung jedes Zeichens durch ein Prüfbit, wenn die Anzahl der Zeichen pro Zeichenblock größer ist als die Anzahl der Bits je Zeichen.

### Fehlererkennung durch Prüfzeichen

0 1 1 0	Das wird jedoch wieder
0 1 0 1	ausgeglichen durch den
1 0 1 0	Nachteil, daß bei einem
1 1 0 0	Fehler der gesamte Zei-
1 0 0 1	chenblock wiederholt wer-
0 1 1 0	den muß.
<u>1 1 1 1</u>	
0 1 0 1	Prüfzeichen
4 6 4 4	Zahl der „1“ je Spalte

Tabelle 9

### 1.3.2.4. Fehlerkorrekturcodes

Um einen Fehler am Empfänger selbsttätig zu korrigieren, muß der Fehler nicht nur erkannt, sondern auch festgestellt werden, welches Bit verfälscht wurde. Eine Möglichkeit dazu bietet die gleichzeitige Verwendung von Paritätsbits und Prüfzeichen. Bei einem auftretenden Fehler wird durch das Paritätsbit die Zeile, durch das Prüfzeichen die Spalte gekennzeichnet, in der der Fehler liegt. Tabelle 10 zeigt ein Beispiel:

### Fehlerkorrektur durch Prüfbit und -zeile

0 1 1 0   0	In der dritten Zeile und in
0 1 0 1   0	der dritten Spalte ist die An-
<u>1 0 0 0   0</u>	zahl der Bits im Zustand 1
0 1 0 0   1	ungeradzahlig; im Schnittpunkt
1 0 0 1   0	der dritten Zeile mit
0 1 1 0   0	der dritten Spalte liegt also
0 1 1 1   1	das verfälschte Element. Bei
0 1 0 1   0	zwei Fehlern können vier
	Schnittpunkte entstehen; eine
	eindeutige Lokalisierung des
	Fehlers ist dann nicht mehr
	möglich. Eine weitere Grenze dieses
	Verfahrens liegt darin, daß auch die
	Paritätsbits und die Prüfzeile
	verfälscht werden können.

Ein anderes Verfahren der Fehlerkorrektur besteht darin, einen Code mit einer Hamming-Distanz von drei oder größer zu wählen. Tabelle 11 zeigt einen derartigen Fehlerkorrekturcode mit drei Elementen je Zeichen. Von den acht möglichen Kombinationen werden nur zwei ausgenutzt, d.h. nur zwei Zeichen mit Nachrichten belegt, die sich im Zustand aller drei Elemente unterscheiden. Wenn von einem Zeichen ein Bit verändert wird, dann hat es vom gesendeten Zeichen nur einen Abstand von einem Bit, vom anderen ausgenutzten Zeichen aber einen Abstand von zwei Bits. Der Empfänger schließt automatisch auf das näherliegende Zeichen.

### Fehlerkorrekturcode

0 0 0
0 0 1
<u>0 1 0</u>
0 1 1
1 0 0
1 0 1
<u>1 1 0</u>
1 1 1

Tabelle 11

Fehlerkorrekturcodes erfordern eine sehr hohe Redundanz. Außerdem ist auch bei noch so hohem Aufwand eine vollständige Fehlerkorrektur oder Fehlererkennung nicht möglich. In der Praxis wird daher bei Nachrichtenübertragung mit hoher Fehlerwahrscheinlichkeit meist ein Verfahren angewandt, das als „decision feedback“ bezeichnet wird: Der eingesetzte Code ist fehlererkennend; er enthält also eine vom Empfänger überprüfbare Gesetzmäßigkeit. Der Code wird so gewählt, daß die auf dem Übertragungskanal wahrscheinlichsten Fehler erkannt werden. Erkennt der Empfänger einen Fehler, so fordert er beim Sender eine Wiederholung des Zeichens an.

### 1.3.3. Die wichtigsten Codes

#### 1.3.3.1. BCD-Codes

Zu den BCD-Codes (binary coded decimal) zählen alle Codes für die zehn Ziffern des Dezimalsystems. Wegen des geringen Aufwandes für die Codierung und Decodierung erhalten BCD-Codes in Datenverarbeitungsanlagen meist den Vorzug vor dem reinen Dualcode. Meistens wird also das Dezimalsystem verwendet, die einzelnen Ziffern werden aber binär dargestellt.

Der **Dualcode** ist die Darstellung der jeweiligen Zahl im Dualsystem. Als BCD-Code werden nur die ersten zehn Kombinationen verwendet. Die Zahl 237 sieht im Dualsystem folgendermaßen aus: 11101101, im dualen BCD-Code: 0010/0011/0111.

Der duale BCD-Code wird meist bei Zählern verwendet; er ist ein additiver und damit leicht lesbarer Minimalcode. In Digitalrechnern wird er nur selten benutzt: Bei der Addition zweier Ziffern ergibt sich bei 10 kein Übertrag, sondern erst bei 16. Ist ein Ergebnis gleich oder größer als 10, so ist eine Korrektur erforderlich. Da mit dem Übertrag der Wert 16 statt 10 in die nächste Stelle übernommen wird, muß eine 6 zum Ergebnis addiert werden.

**Beispiel:**

6	0 1 1 0
+ 7	+ 0 1 1 1
13	1 1 0 1
Korrektur: + 0 1 1 0	1 / 0 0 1 1
	1 / 3

Ein weiterer Nachteil des dualen BCD-Codes ist die aufwendige Bildung des Komplements zur Zahl 9, die für die Rückführung der Subtraktion auf eine Addition erforderlich ist.

Dafür ist ein besonderes Schaltnetz erforderlich.

Während wegen der genannten Nachteile der duale BCD-Code in Digitalrechnern nicht eingesetzt wird, arbeiten einige Hersteller im Rechenwerk mit dem reinen Dualsystem (z.B. Telefunken). Der hohe Aufwand für Codierung und Decodierung wird teilweise durch das einfache Rechenwerk ausgeglichen.

Die Nachteile des dualen BCD-Codes für Digitalrechner vermeiden der **Aiken-(2421-)code** und der **Drei-Exzeß-(Stübitz-)code** (Tabelle 12).

Aiken- und Drei-Exzeßcode

	Aiken				Drei-Exzeß			
	2	4	2	1				
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	1	0	1	1	1	0	0	0
6	1	1	0	0	1	0	0	1
7	1	1	0	1	1	0	1	0
8	1	1	1	0	1	0	1	1
9	1	1	1	1	1	1	0	0

Tabelle 12

Während beim dualen BCD-Code die letzten sechs Zeichen nicht ausgenutzt werden, liegen beim Aikencode die sechs Pseudotetraden in der Mitte (die Dualzahlen 5—10), beim Drei-Exzeßcode am Anfang und Ende (die Dualzahlen 0 bis 2 und 13 bis 15). Dadurch kann bei beiden Codes die Ergänzung zu 9 einfach gebildet werden: dazu sind nur die Zustände aller vier Elemente zu ändern. Sobald bei der Addition die Dezimalzahl 10 erreicht wird, bringen beide Codes einen Übertrag.

Allerdings ist auch hier eine Korrektur erforderlich. Beim Drei-Exzeßcode muß die Dualzahl 0011(3) subtrahiert werden, wenn kein Übertrag entsteht, und addiert, wenn ein Übertrag entsteht. Beim Aikencode ist eine Korrektur nur erforderlich, wenn eine Pseudotetrade entsteht. Ergibt sich eine Pseudotetrade ohne Übertrag, so muß die Dualzahl 0110(6) addiert, bei einer Pseudotetrade mit Übertrag subtrahiert werden.

**Beispiele:**

	Aikencode		Drei-Exzeßcode
3	0 0 1 1		0 1 1 0
+ 4	+ 0 1 0 0		+ 0 1 1 1
7	0 1 1 1	Pseudotetrade ohne Übertrag	1 1 0 1
	+ 0 1 1 0	Korrektur	— 0 0 1 1
	1 1 0 1		1 0 1 0
6	1 1 0 0		1 0 0 1
+ 7	+ 1 1 0 1		+ 1 0 1 0
13	1 / 1 0 0 1	Pseudotetrade mit Übertrag	1 / 0 0 1 1
	— 0 1 1 0	Korrektur	+ 0 0 1 1
	1 / 0 0 1 1		1 / 0 1 1 0

Der Aikencode hat gegenüber dem Drei-Exzeßcode den Vorteil, daß er additiv ist. Der Drei-Exzeßcode vermeidet die beiden Kombinationen 0000 und 1111, die durch Störungen sehr leicht vorgetäuscht werden können. Außerdem ist bei ihm die Korrekturvorschrift einfacher, weil sie nur vom Übertrag und nicht auch von einer Pseudotetradenerkennung abhängig ist. In den Digitalrechnern der Firma Siemens wird z.B. der Drei-Exzeßcode verwendet.

Graycode	
0	0 0 0 0
1	0 0 0 1
2	0 0 1 1
3	0 0 1 0
4	0 1 1 0
5	0 1 1 1
6	0 1 0 1
7	0 1 0 0
8	1 1 0 0
9	1 1 0 1

Tabelle 13

schen Winkelabtastrung z.B. wird häufig der Graycode verwendet.

Der 2-aus-5-Code bietet bei nur einem Bit je Zeichen Mehraufwand eine einfache Fehlererkennung. Sie ist bei einem und mehreren gleichsinnigen Fehlern wirksam.

2-aus-5-Code	
	7 4 2 1 0
0	1 1 0 0 0
1	0 0 0 1 1
2	0 0 1 0 1
3	0 0 1 1 0
4	0 1 0 0 1
5	0 1 0 1 0
6	0 1 1 0 0
7	1 0 0 0 1
8	1 0 0 1 0
9	1 0 1 0 0

Tabelle 14

Bei den automatischen Briefverteilanlagen werden die Postleitzahlen im 2-aus-5-Code auf die Briefumschläge gedruckt.

Biquinärcode	
	5 0 4 3 2 1 0
0	0 1 0 0 0 0 1
1	0 1 0 0 0 1 0
2	0 1 0 0 1 0 0
3	0 1 0 1 0 0 0
4	0 1 1 0 0 0 0
5	1 0 0 0 0 0 1
6	1 0 0 0 0 1 0
7	1 0 0 0 1 0 0
8	1 0 0 1 0 0 0
9	1 0 1 0 0 0 0

Tabelle 15

Biquinärcodes liegt in dem hohen Aufwand von sieben Bits je Zeichen. Er wird z.B. bei der Zonenaussage des Umwärters im Selbstwählerdienst verwendet.

Der in Tabelle 16 dargestellte 1-aus-10-Code ist bei sehr hohem Aufwand an Bits je Zeichen additiv, sehr leicht lesbar und außerdem fehlererkennend für einen Fehler

Der Graycode ist wie die bisher beschriebenen Codes ein BCD-Code mit vier Elementen je Zeichen, also ein Minimalcode. Er ist weder additiv, noch eignet er sich gut zum Rechnen. Dafür handelt es sich beim Graycode um einen einschränkenden Code, d.h., beim Übergang von einer Dezimalziffer zur nächsten ändert sich immer nur ein Bit (Ausnahme beim Übergang von 9 nach 0). Das bietet Vorteile bei der Umwandlung analoger Signale in digitale (A/D-Wandler, vgl. Abschn. 6.). Bei der fotoelektrischen Winkelabtastrung z.B. wird häufig der Graycode verwendet.

Mit Ausnahme der Null ist der 2-aus-5-Code additiv und damit leicht lesbar. Die Firma Zuse hatte ihn wegen dieser Vorteile in ihrem Digitalabrechner Z31 verwendet. Wegen der hohen Zuverlässigkeit der modernen Bauelemente sind in Rechnern Fehlererkennungs-codes nicht mehr erforderlich; sie erfordern nur unnötig hohe Speicherkapazitäten. Für die Bildung des Neunerkomplementes ist beim 2-aus-5-Code ein besonderes Schaltnetz erforderlich.

Der Biquinärcode (Tabelle 15) enthält wie der 2-aus-5-Code in jedem Codezeichen zwei Bits im Zustand 1. Die Fehlererkennung ist beim Biquinärcode besser, weil eine 1 immer im binären Teil (Wertigkeiten 0 und 5) und die andere im quinären Teil (Wertigkeiten 0 bis 4) sein muß. Er ist additiv und damit leicht lesbar; das Neunerkomplement entsteht, wenn der binäre Teil und der quinäre Teil in umgekehrter Richtung aufgeschrieben werden (01 0100 → 10 0010; 3 + 6 = 9). Der Nachteil des

1-aus-10-Code	
	9 8 7 6 5 4 3 2 1 0
0	0 0 0 0 0 0 0 0 0 1
1	0 0 0 0 0 0 0 0 1 0
2	0 0 0 0 0 0 0 1 0 0
3	0 0 0 0 0 0 1 0 0 0
4	0 0 0 0 0 1 0 0 0 0
5	0 0 0 0 1 0 0 0 0 0
6	0 0 0 1 0 0 0 0 0 0
7	0 0 1 0 0 0 0 0 0 0
8	0 1 0 0 0 0 0 0 0 0
9	1 0 0 0 0 0 0 0 0 0

Tabelle 16

und mehrere gleichsinnige. Ein weiterer Vorteil ist der sehr kleine Aufwand für Codierung und Decodierung. In den Registern des Selbstwählerdienstes werden die vom Teilnehmer gewählten Ziffern im 1-aus-10-Code gespeichert, und zwar die Kennziffern durch die Arbeitslage eines von 10 Relais, die Ziffern der Teilnehmerrufnummer durch einen von zehn möglichen Remanenzzuständen eines Magnetkerns.

Zählcode	
	1 1 1 1 1 1 1 1 1 1
1	1 0 0 0 0 0 0 0 0 0
2	1 1 0 0 0 0 0 0 0 0
3	1 1 1 0 0 0 0 0 0 0
4	1 1 1 1 0 0 0 0 0 0
5	1 1 1 1 1 0 0 0 0 0
6	1 1 1 1 1 1 0 0 0 0
7	1 1 1 1 1 1 1 0 0 0
8	1 1 1 1 1 1 1 1 0 0
9	1 1 1 1 1 1 1 1 1 0
0	1 1 1 1 1 1 1 1 1 1

Tabelle 17

Der Zählcode (Tabelle 17) wird von den Nummernschaltern der Fernsprechapparate erzeugt. Man verzichtet dabei auf die Aussendung der auf die Einsen folgenden Nullen. Der Zählcode ist leicht lesbar; der Aufwand für die Codierung und Decodierung ist gering. Bei der Decodierung wird der Zählcode meist mit Hilfe von Wählern oder Zählketten in einen 1-aus-10-Code umgewandelt.

### 1.3.3.2. Alphanumerische Codes

Codes, deren Zeichenvorrat mindestens die Dezimalziffern und die Buchstaben des Alphabets umfaßt, nennt man alphanumerische Codes. Dazu gehören u.a. der Morsecode, die internationalen Fernschreibalphabete Nr. 2 und Nr. 3, die auf Lochkarten verwendeten Codes und die vielen Spezialcodes der verschiedenen Firmen. Diese Codes haben meist fünf bis acht (auf Lochkarten bis zu 10) Bits je Zeichen.

In der Tabelle 18 sind die internationalen Fernschreibalphabete Nr. 2 und Nr. 3 dargestellt. Sie sind Beispiele dafür, daß die Zuordnung zwischen Information und Codezeichen nicht eindeutig umkehrbar sein muß. So wird ein E immer durch das Zeichen 10000 (CCITT Nr. 2) repräsentiert. Das Codezeichen 10000 kann aber sowohl E als auch 2 bedeuten, je nachdem, ob vorher die Buchstabentaste oder die Ziffertaste gedrückt wurde.

Beim CCITT Nr. 2 werden von den  $2^5 = 32$  möglichen Kombinationen 31 ausgenutzt. Nur die Kombination 32 (00000) wird aus Sicherheitsgründen nicht mit einer Information belegt. Durch die Umschaltmöglichkeit von Buchstaben auf Ziffern wird die Zahl der darstellbaren Informationen annähernd verdoppelt. Die Kombination 11111 für Bu wird zum Löschen (Überlochen) von Fehllochungen auf Lochstreifen verwendet.

Das CCITT-Alphabet Nr. 3 hat sieben Bits je Zeichen. Von den  $2^7 = 128$  möglichen Kombinationen werden nur die 35 mit Nachrichten belegt, die genau drei Bits im Zustand 1 enthalten. Dadurch wird eine einfache Fehlererkennung

CCITT Alphabete Nr. 2 und Nr. 3

Nr. 2	Bu	Zi	Nr. 3
1 1 0 0 0	A	—	0 0 1 1 0 1 0
1 0 0 1 1	B	?	0 0 1 1 0 0 1
0 1 1 1 0	C	:	1 0 0 1 1 0 0
1 0 0 1 0	D	✱	0 0 1 1 1 0 0
1 0 0 0 0	E	3	0 1 1 1 0 0 0
1 0 1 1 0	F		0 0 1 0 0 1 1
0 1 0 1 1	G		1 1 0 0 0 0 1
0 0 1 0 1	H		1 0 1 0 0 1 0
0 1 1 0 0	I	8	1 1 1 0 0 0 0
1 1 0 1 0	J	∫	0 1 0 0 0 1 1
1 1 1 1 0	K	(	0 0 0 1 0 1 1
0 1 0 0 1	L	)	1 1 0 0 0 1 0
0 0 1 1 1	M	.	1 0 1 0 0 0 1
0 0 1 1 0	N	,	1 0 1 0 1 0 0
0 0 0 1 1	O	9	1 0 0 0 1 1 0
0 1 1 0 1	P	0	1 0 0 1 0 1 0
1 1 1 0 1	Q	1	0 0 0 1 1 0 1
0 1 0 1 0	R	4	1 1 0 0 1 0 0
1 0 1 0 0	S	.	0 1 0 1 0 1 0
0 0 0 0 1	T	5	1 0 0 0 1 0 1
1 1 1 0 0	U	7	0 1 1 0 0 1 0
0 1 1 1 1	V	=	1 0 0 1 0 0 1
1 1 0 0 1	W	2	0 1 0 0 1 0 1
1 0 1 1 1	X	/	0 0 1 0 1 1 0
1 0 1 0 1	Y	6	0 0 1 0 1 0 1
1 0 0 0 1	Z	+	0 1 1 0 0 0 1
0 0 0 1 0	<	(WR)	1 0 0 0 0 1 1
0 1 0 0 0	≡	(ZL)	1 0 1 1 0 0 0
1 1 1 1 1	A...	(Bu)	0 0 0 1 1 1 0
1 1 0 1 1	1...	(Zi)	0 1 0 0 1 1 0
0 0 1 0 0	#	(Zwr)	1 1 0 1 0 0 0
0 0 0 0 0			0 0 0 0 1 1 1
		$\alpha$	0 1 0 1 0 0 1
		$\beta$	0 1 0 1 1 0 0
		RQ	0 1 1 0 1 0 0

Tabelle 18

möglich. Das CCITT-Alphabet Nr. 3 wird daher auf Übertragungskanälen mit großer Fehlerwahrscheinlichkeit eingesetzt (z.B. auf Funkstrecken). Die drei zusätzlichen Kombinationen werden für die Kennzeichnung des Betriebszustandes ausgenutzt:  $\alpha$  = Kanal frei;  $\beta$  = Kanal belegt (aber Schreibpause); mit RQ (request) fordert der Empfänger bei erkanntem Fehler die Wiederholung des Zeichens vom Sender an.

### 1.4. Allgemeine Begriffsbestimmungen

Unter einer **Schaltvariablen** versteht man eine digitale Veränderliche, also eine Größe, die nur eine bestimmte Anzahl verschiedener Werte annehmen kann. In der Praxis werden meist **binäre Schaltvariable** verwendet, die nur die Werte 0 und 1 annehmen können. Binäre Schaltvariable sind z.B. die einzelnen Elemente der Binärcodes, die auch nur die Werte 0 und 1 annehmen können. Auch Kontakte innerhalb eines Stromkreises sind binäre Schaltvariable, sie können offen (0) oder geschlossen (1) sein.

Eine **Funktion** ist eine Abhängigkeit; der Kollektorstrom eines Transistors ist abhängig von der Basis-Emitter-Spannung, also eine Funktion von ihr. Eine **Schaltfunktion** ist eine Abhängigkeit von Schaltvariablen. Eine Schaltfunktion kann wie die Schaltvariablen auch nur eine bestimmte Anzahl von Werten annehmen. Der Zustand eines Relais ist abhängig von den Zuständen der Kontakte im Stromkreis, also eine Schaltfunktion von ihnen. Die Schaltfunktion von Schaltvariablen wird häufig als **Verknüpfung** der Schaltvariablen bezeichnet.

Bei einem Wähler hängt die Stellung der Schaltarme nicht nur von der Zahl der Eingangsimpulse, sondern auch von der Stellung ab, die sie vorher hatten. Solche Einrichtungen zur Verarbeitung von Schaltvariablen, bei denen der Ausgangszustand (Schaltarmstellung) nicht nur vom Eingangszustand (Zahl der Impulse) abhängt, sondern auch vom vorhergehenden inneren Zustand (Anfangsstellung der Schaltarme), werden als **Schaltwerke** bezeichnet. Zu den Schaltwerken gehören auch die im Abschn. 5 beschriebenen Zähler und Schieberegister.

Ein Schaltwerk besteht meist aus **Schaltgliedern**; z.B. sind Relais und elektronische Schaltungen Bestandteile einer Aufzugsteuerung oder Relais und Wähler Schaltglieder einer Wahlstufe. Bei den Schaltgliedern unterscheidet man **Verknüpfungsglieder** und **Speicherglieder**. Während ein Speicherglied den Zustand einer Schaltvariablen übernimmt, speichert und



zum gewünschten Zeitpunkt wieder abgibt, verknüpft ein Verknüpfungsglied Schaltvariable. Ein Relaisstromkreis ist ein Verknüpfungsglied; der Zustand des Relais ist die Verknüpfung der Kontaktzustände. Ein Relais mit Haltestromkreis ist ein Speicherglied; es speichert den Zustand „Relais angezogen“ so lange, bis der Haltekreis unterbrochen wird.

Schaltet man Verknüpfungsglieder zusammen, so entsteht ein **Schaltnetz**. Da ein Schaltnetz keine Speicher enthält, ist der Zustand am Ausgang nur abhängig vom Eingangszustand. Ein bestimmter Eingangszustand bewirkt zu jedem Zeitpunkt den gleichen Zustand am Ausgang.

### 1.5. Einführung in die Schaltalgebra

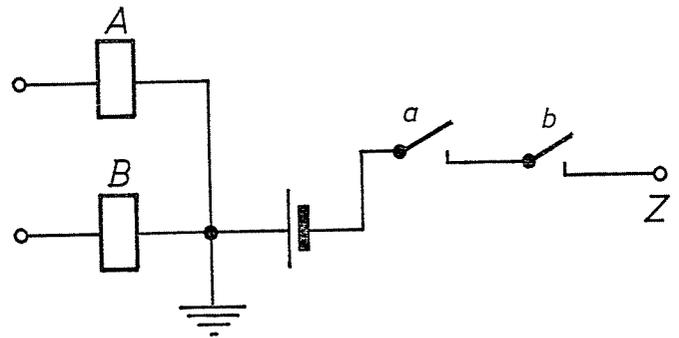
Die Schaltalgebra ist ein Hilfsmittel zur Berechnung binärer Schaltnetze und Schaltwerke. Mit ihrer Hilfe können binäre Schaltungen aufgrund der Aufgabenstellung ausgerechnet, die Schaltungen soweit wie möglich vereinfacht und gegebene Schaltungen analysiert werden. Die Schaltalgebra wurde aus der theoretischen Logik entwickelt. Der Mathematiker George Boole entwickelte ein System zur formalen Behandlung zweiwertiger Aussagen. Den beiden möglichen Aussagen „wahr“ und „unwahr“ der zweiwertigen Logik entsprechen die beiden möglichen Zustände 0 und 1 einer Schaltvariablen.

#### 1.5.1. Grundverknüpfungen

Jedes Schaltnetz läßt sich aus einer Kombination von Arbeits- und Ruhekontakten (Schließen und Öffnern) aufbauen. Die in der Praxis häufig vorkommenden Umschaltekontakte lassen sich durch einen Arbeits- und einen Ruhekontakt ersetzen. Die Kontakte sind die Schaltvariablen; der gesamte Stromkreis bzw. der Zustand des gesteuerten Relais ist die Schaltfunktion. Dabei wird einem geschlossenen Kontakt, einem geschlossenen Stromkreis und einem stromdurchflossenen Relais der Zustand 1 zugeordnet und umgekehrt einem offenen Kontakt, einem nicht geschlossenen Stromkreis und einer stromlosen Relaispule der Zustand 0.

Alle Kontaktkombinationen lassen sich auf Reihen- und Parallelschaltungen zurückführen. Abb. 1 zeigt zwei Relais mit der Reihenschaltung ihrer Arbeitskontakte; in Tabelle 19 ist die zugehörige Funktionstabelle dargestellt. Aus ihr ist die bekannte Tatsache ersichtlich, daß der Stromkreis bei einer Reihenschaltung aus Arbeitskontakten nur geschlossen ist, wenn

Reihenschaltung der Kontakte



(Abb. 1)

Funktionstabelle

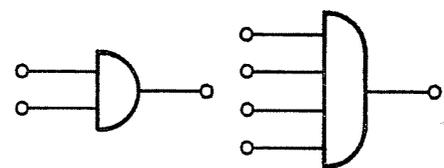
A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

Tabelle 19

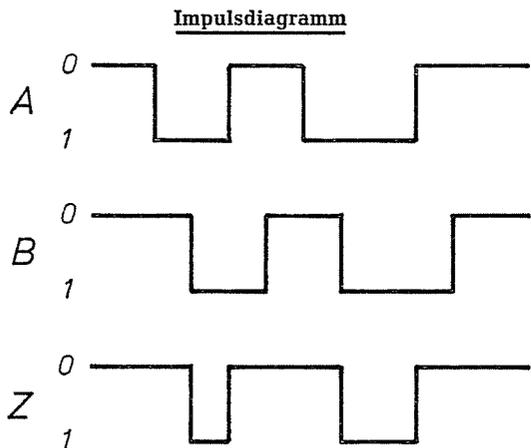
beide Relais unter Strom sind. Z hat nur den Zustand 1, wenn A **und** B den Zustand 1 haben. Daher wird diese Schaltfunktion als UND-Funktion, UND-Verknüpfung oder Konjunktion bezeichnet. Die Zustände 0 und 1 müssen nicht auf den Zustand der Relais und ihrer Kontakte bezogen werden, es können damit auch die Potentiale an den Eingängen und am Ausgang dieser Schaltung gekennzeichnet werden: Am Ausgang der Schaltung (Abb. 1) liegt nur negative Spannung (Zustand 1), wenn am Eingang A **und** am Eingang B negative Spannungen (Zustand 1) anliegen. **Eine UND-Funktion liegt also immer vor, wenn der Ausgang den Zustand 1 nur bei gleichzeitigem Anliegen von 1 an allen Eingängen annimmt.**

Eine UND-Funktion kann nicht nur durch die Reihenschaltung von Arbeitskontakten, sondern auch durch andere Schaltungen mit anderen Bauelementen verwirklicht werden. Man hat daher für die UND-Verknüpfung ein Symbol eingeführt, das unabhängig von der praktischen Ausführung gilt. Das rechte Symbol in Abb. 2 zeigt, daß die UND-Funktion nicht auf zwei Eingänge beschränkt ist (es können ja auch mehr als zwei Arbeitskontakte in Reihe geschaltet werden).

Symbole für UND-Glieder



(Abb. 2)



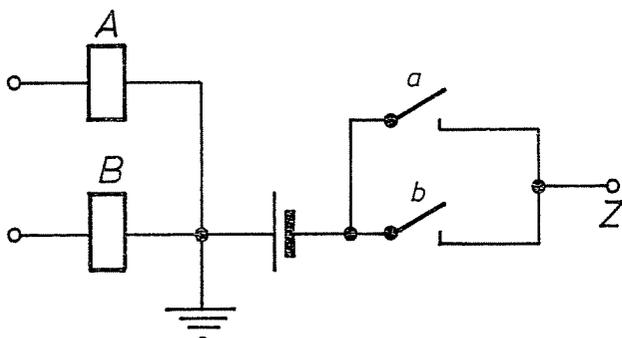
(Abb. 3)

In Abb. 3 ist ein Impulsdiagramm für eine UND-Funktion dargestellt. Z hat nur dann den Zustand 1, wenn A und B gleichzeitig im Zustand 1 sind.

In der Schaltalgebra wird die UND-Verknüpfung in folgender Form geschrieben:  $Z = A \wedge B$  oder  $Z = A \cdot B = AB$  (lies: Z gleich A und B). Im folgenden wird die letzte Schreibweise verwendet, einmal, weil sie übersichtlicher ist, zum anderen, weil die Funktionstabelle einer UND-Verknüpfung den Rechenregeln für die Multiplikation entspricht (vgl. Tabelle 19 mit Tabelle 4).

Die zweite Grundverknüpfung kann durch die Parallelschaltung von Arbeitskontakten dargestellt werden. Abb. 4 zeigt die Schaltung, Tabelle 20 die zugehörige Funktionstabelle.

Parallelschaltung der Kontakte



(Abb. 4)

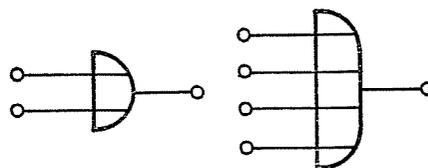
**Funktionstabelle**

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	1

Tabelle 20

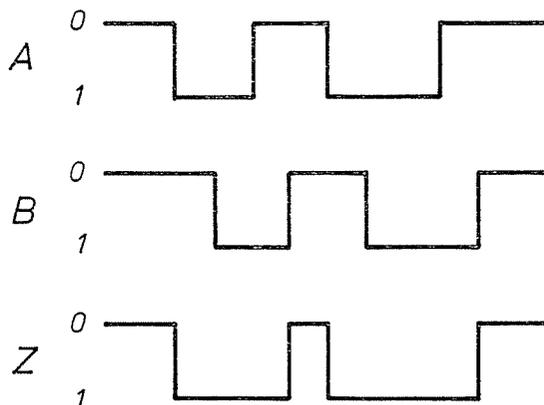
Bei der Parallelschaltung besteht am Ausgang Z der Zustand 1, wenn am Eingang A **oder** am Eingang B der Zustand 1 anliegt. Der Stromkreis ist geschlossen, wenn Relais A **oder** B stromdurchflossen ist; am Ausgang liegt Spannung, wenn am Eingang A **oder** am Eingang B Spannung anliegt. Z hat den Zustand 1, wenn A **o d e r** B den Zustand 1 haben. Diese Schaltfunktion nennt man daher **ODER-Funktion, ODER-Verknüpfung oder Disjunktion**. Abb. 5 und 6 zeigen Symbole und Impulsdiagramm von ODER-Gliedern.

Symbole für ODER-Glieder



(Abb. 5)

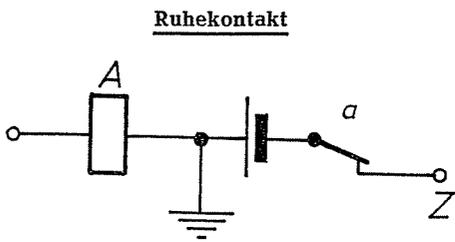
Impulsdiagramm



(Abb. 6)

In der Symbolik der Schaltalgebra schreibt man die ODER-Funktionen folgendermaßen:  $Z = A \vee B$  oder  $Z = A + B$  (lies: Z gleich A oder B). Im folgenden wird die erste Schreibweise verwendet, einmal aus Gründen der Übersichtlichkeit, zum anderen wegen der nicht vollständigen Übereinstimmung der Funktionstabelle für die ODER-Funktion mit den Rechenregeln für die Addition (vgl. Tabelle 20 mit Tabelle 2).

Zur Darstellung jedes möglichen Schaltnetzes genügen UND- und ODER-Funktionen nicht; man kommt auch in Relaischaltungen nicht nur mit der Reihen- und Parallelschaltung von Arbeitskontakten aus; es sind außerdem Ruhekontakte erforderlich. Abb. 7 und Tabelle 21 zeigen die Schaltung und die Funktionstabelle eines Ruhekontaktes.



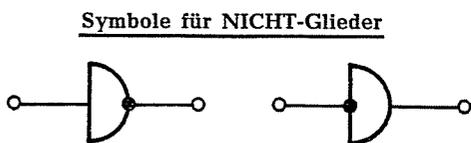
(Abb. 7)

**Funktionstabelle**

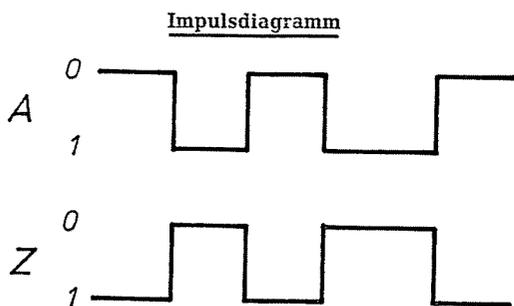
A	Z
0	1
1	0

Tabelle 21

Der Ausgang Z hat den Zustand 1, wenn am Eingang A nicht der Zustand 1 besteht. Der Stromkreis ist geschlossen, wenn die Relais-spule **nicht** stromdurchflossen ist; am Ausgang liegt Spannung, wenn am Eingang **nicht** Spannung anliegt. Man nennt diese Schaltfunktion NICHT-Funktion, NICHT-Verknüpfung oder Negation. In Abb. 8 und 9 sind die Symbole und das Impulsdiagramm eines NICHT-Gliedes dargestellt.



(Abb. 8)



(Abb. 9)

Bei einer Zusammenschaltung von NICHT-Gliedern mit UND- oder ODER-Gliedern wird die NICHT-Verknüpfung nicht gesondert dargestellt, sondern durch einen Punkt am jeweiligen Eingang oder Ausgang gekennzeichnet. Der Zusammenhang zwischen dem Eingang A und dem Ausgang Z einer NICHT-Funktion wird in der Schaltalgebra wie folgt geschrieben:  $Z = \bar{A}$  (lies: Z gleich nicht A).

Die drei Grundverknüpfungen, UND-, ODER- und NICHT-Funktion, werden über Kontaktschaltungen eingeführt, weil dieses Verfahren für einen Elektriker am anschaulichsten ist. Es ist aber sehr empfehlenswert, sich von der Kontaktvorstellung zu lösen und in den Funktionen zu denken. So sollte man ein Symbol für eine UND-Schaltung gedanklich nicht jedesmal mit der Reihenschaltung von Kontakten verbinden, sondern mit der zugehörigen Funktionstabelle, also daran denken, daß am Ausgang nur der Zustand 1 besteht, wenn an allen Eingängen gleichzeitig die 1 anliegt. Das erleichtert das Lesen von umfangreichen Schaltnetzplänen wesentlich.

Die folgenden Aussagen sollen zeigen, daß die drei Grundverknüpfungen auch unabhängig von elektrischen Stromkreisen bestehen. Man kann nur mit einem Auto fahren, wenn Kraftstoff vorhanden **und** der Zündstromkreis geschlossen ist. Zum Kaufen ist erforderlich, daß man Geld hat **und** daß die Geschäfte offen sind. Informationen erhält man aus Zeitungen **oder** durch den Rundfunk. Ein Raum läßt sich nur betreten, wenn die Tür **nicht** abgeschlossen ist.

**1.5.2. Gesetze der Schaltalgebra**

In den Tabellen 22 bis 24 sind noch einmal die drei Grundfunktionen dargestellt. 0 und 1 können nicht nur Zustände einer Schaltvariablen sein, sie können auch als Konstanten auftreten, also als Größen, die ihren Zustand immer beibehalten. Eine 1 kann z.B. eine fest anliegende Masse sein, eine 0 eine fest anliegende Spannung.

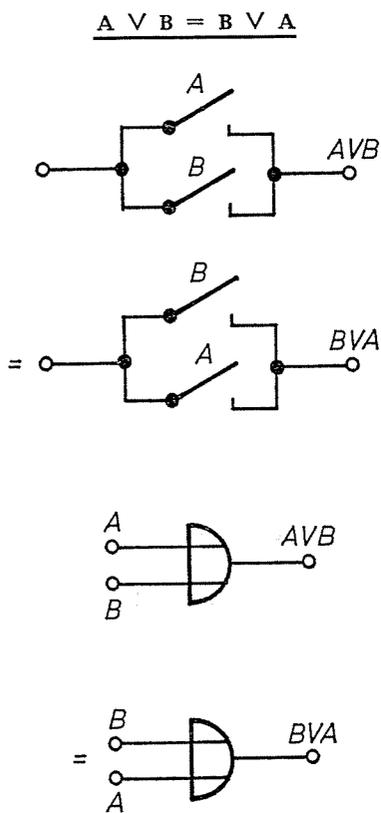
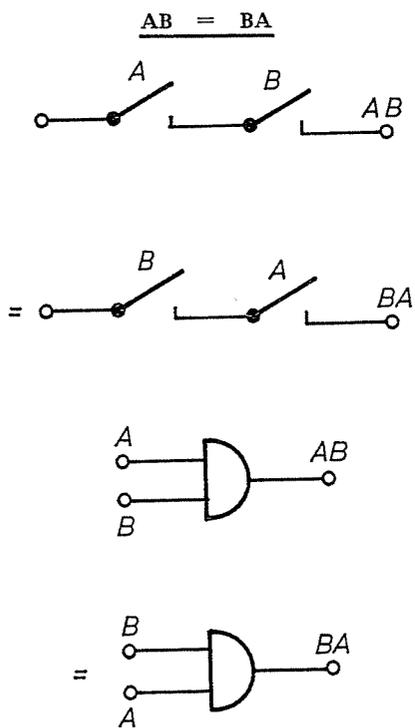
UND- Verknüpfung	ODER- Verknüpfung	NICHT- Verknüpfung
$0 \cdot 0 = 0$	$0 \vee 0 = 0$	$\bar{0} = 1$
$0 \cdot 1 = 0$	$0 \vee 1 = 1$	$\bar{1} = 0$
$1 \cdot 0 = 0$	$1 \vee 0 = 1$	
$1 \cdot 1 = 1$	$1 \vee 1 = 1$	

Tabelle 22

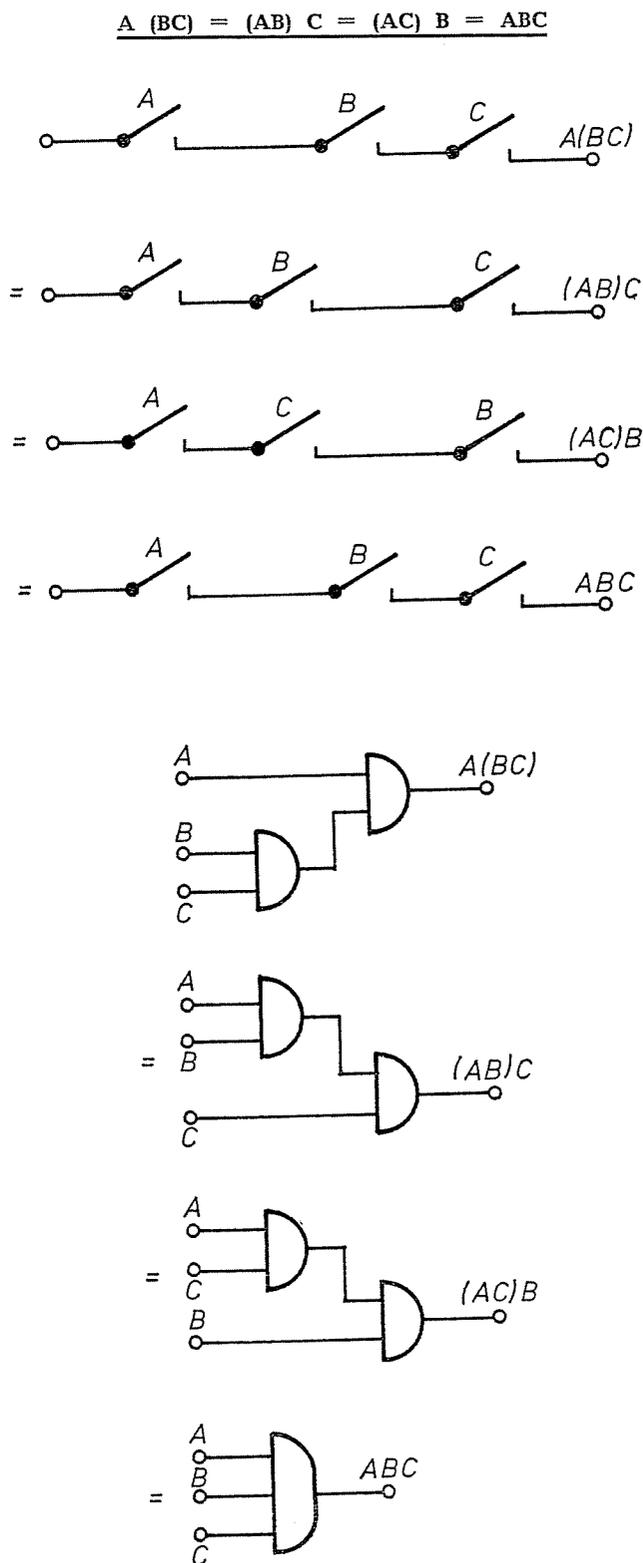
Tabelle 23

Tabelle 24

### 1.5.2.1. Die kommutativen Gesetze

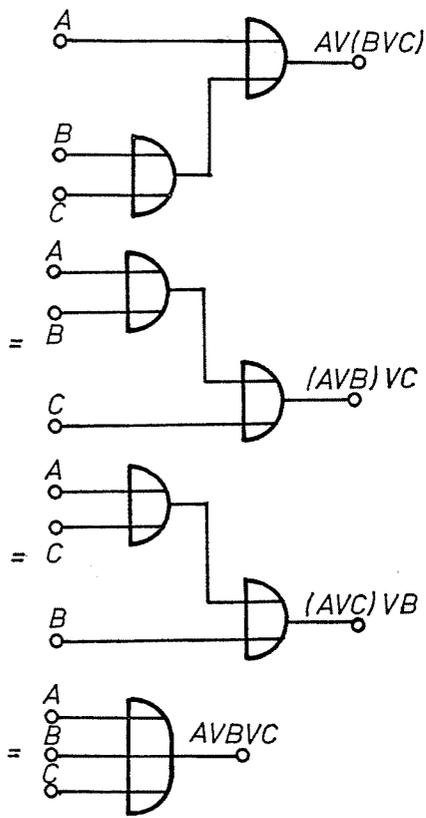
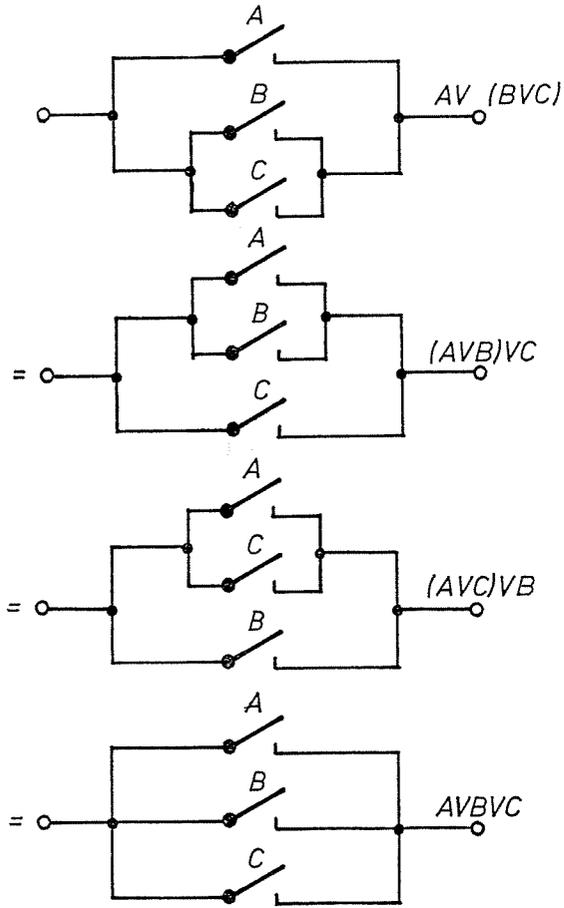


### 1.5.2.2. Die assoziativen Gesetze



Die Schaltvariablen sind bei UND- und ODER-Verknüpfungen vertauschbar.

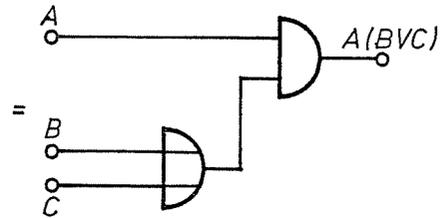
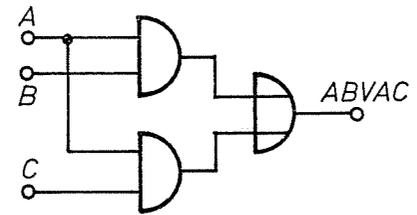
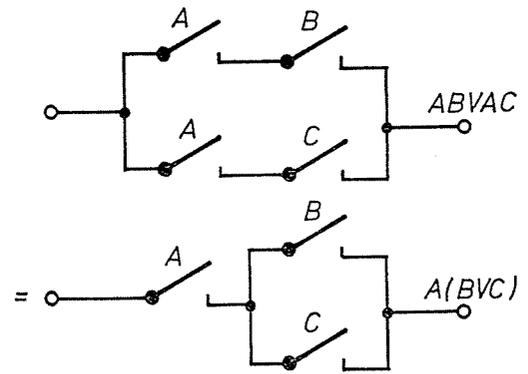
$A \vee (B \vee C) = (A \vee B) \vee C = (A \vee C) \vee B = A \vee B \vee C$



(Abb. 13)

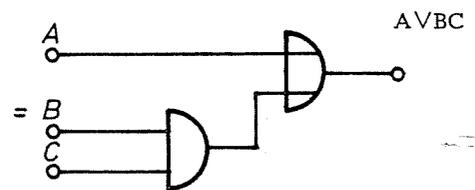
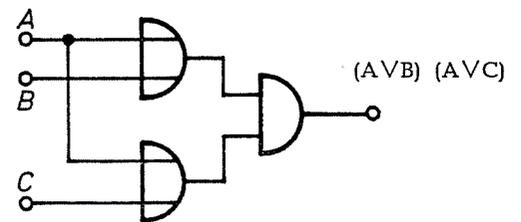
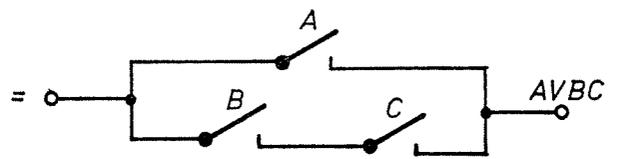
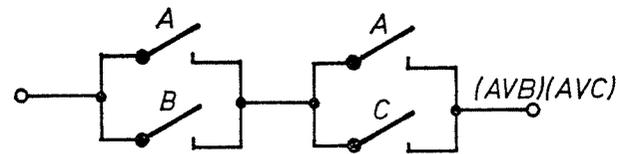
1.5.2.3. Die distributiven Gesetze

$AB \vee AC = A(B \vee C)$



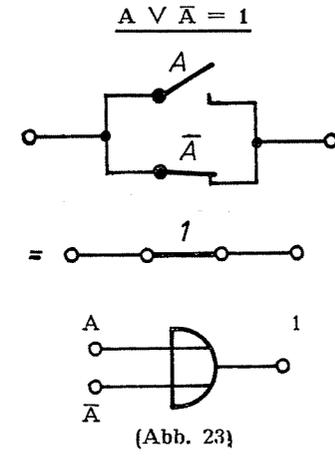
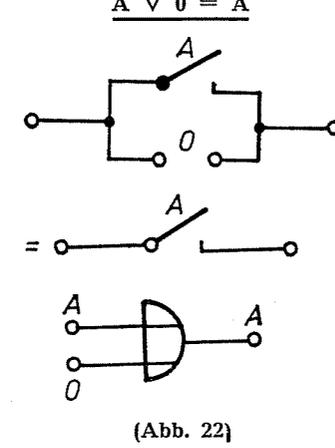
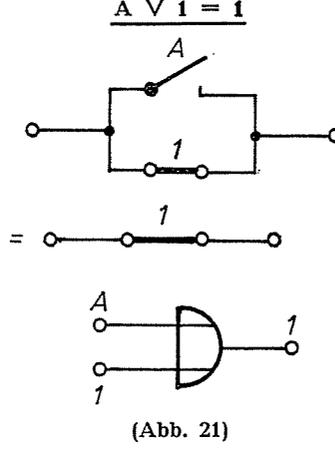
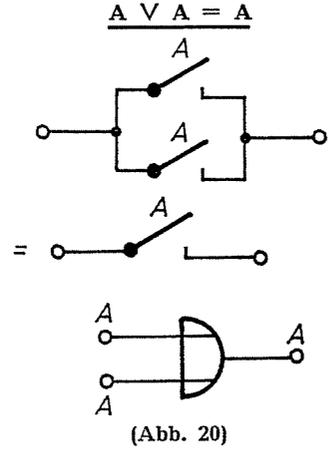
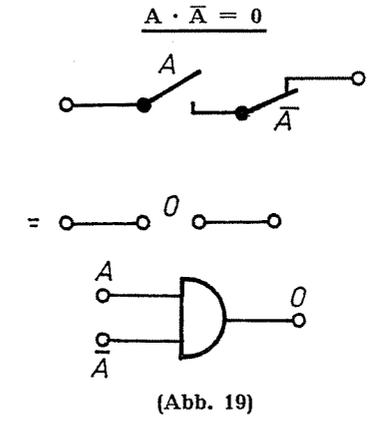
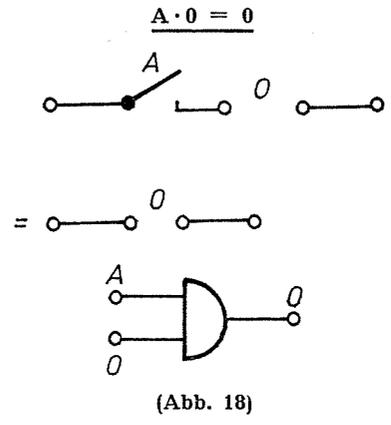
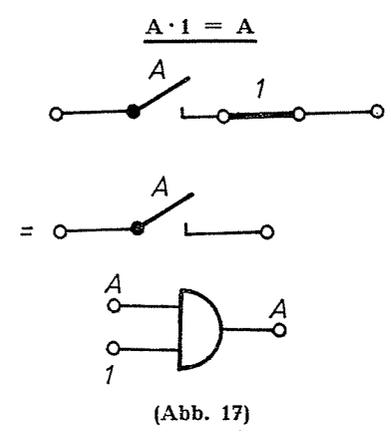
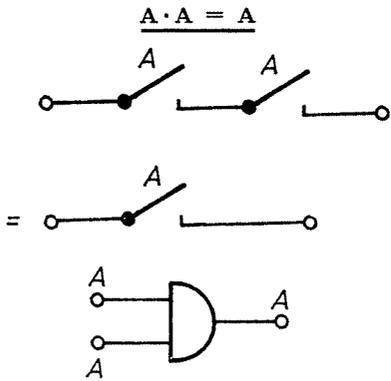
(Abb. 14)

$(A \vee B)(A \vee C) = A \vee BC$

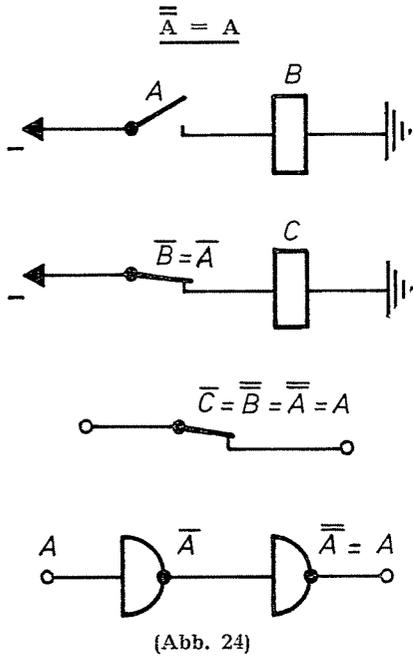


(Abb. 15)

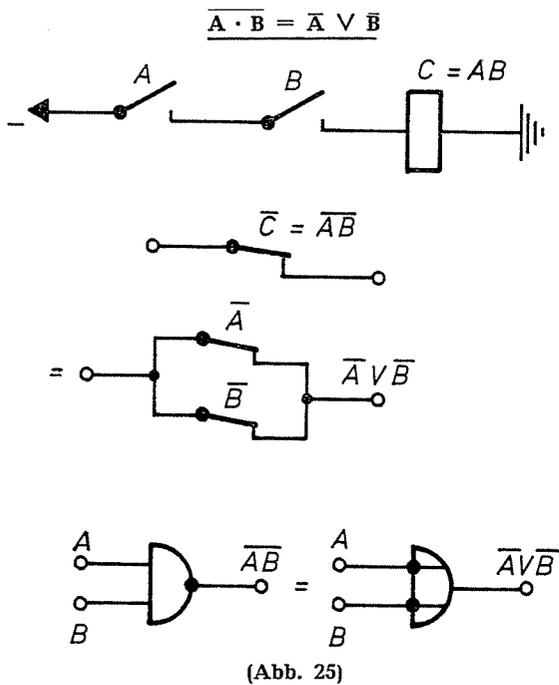
1.5.2.4. Die Kombinationen aus einer Schaltvariablen, ihrer Negation und Konstanten



1.5.2.5. Die doppelte NICHT-Funktion



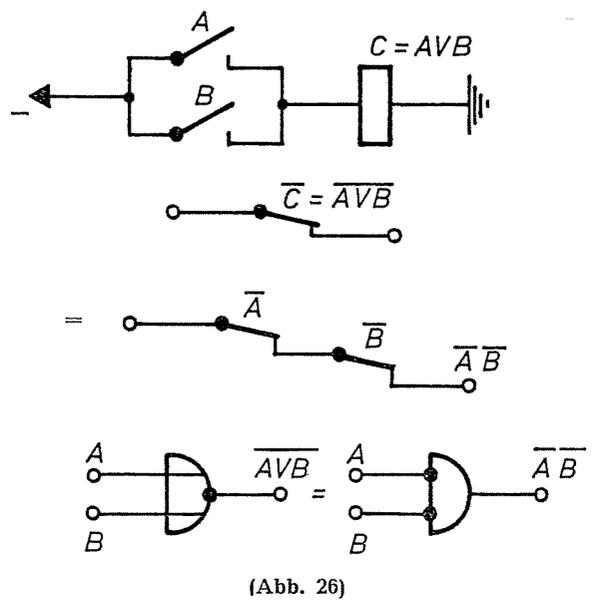
1.5.2.6. Die Morganschen Gesetze



Die De Morganschen Gesetze besagen also, daß ein am Ausgang negiertes UND-Glied die gleiche Schaltfunktion erfüllt wie ein an allen Eingängen negiertes ODER-Glied und umgekehrt. Daraus folgt, daß ein an allen Eingängen und am Ausgang negiertes UND-Glied einem ODER-Glied entspricht und umgekehrt. Die De Morganschen Gesetze gelten auch bei mehr als zwei Eingängen.

Die betrachteten Gesetze haben für die UND-Funktionen und ODER-Funktionen die gleiche

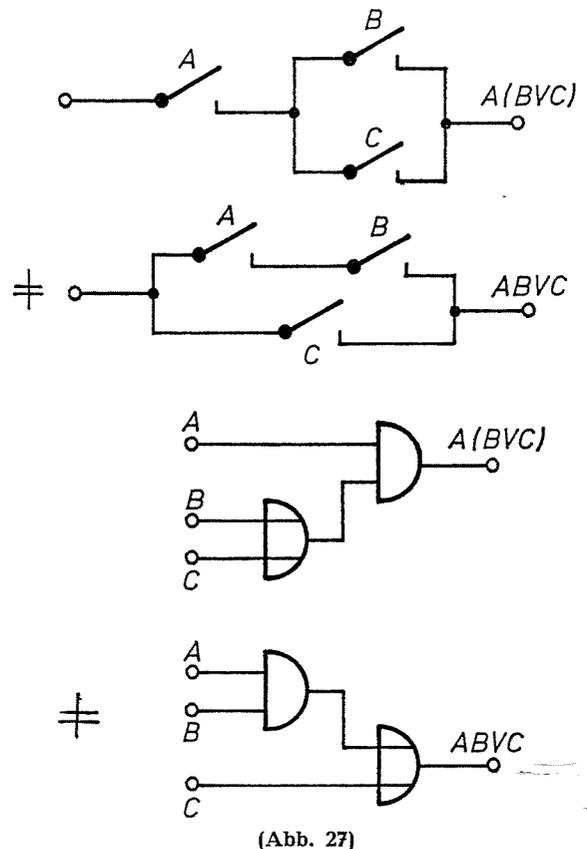
$\overline{A \vee B} = \overline{A} \cdot \overline{B}$



Form. Daraus läßt sich erkennen, daß UND- und ODER-Funktionen gleichwertig sind. Für die Schreibweise hat man, um Klammern zu sparen, Prioritäten festgelegt: UND-Funktion vor ODER-Funktion (vgl. Punktrechnung vor Strichrechnung).

$A \cdot B \vee C = (AB) \vee C;$   
 $A \cdot (B \vee C) \neq A \cdot B \vee C.$

$\overline{A \cdot (B \vee C)} \neq \overline{A \cdot B} \vee C$



Als Übung sollte der Leser die Richtigkeit der angeführten Gesetze durch Aufstellen der zugehörigen Funktionstabellen überprüfen. Diese Gesetzmäßigkeiten werden insbesondere zur Vereinfachung und Typisierung von Schaltnetzen benötigt.

Der so erhaltene Ausdruck heißt **vollständige disjunktive Normalform**. Für die Funktionstabelle 26 lautet die vollständige disjunktive Normalform:

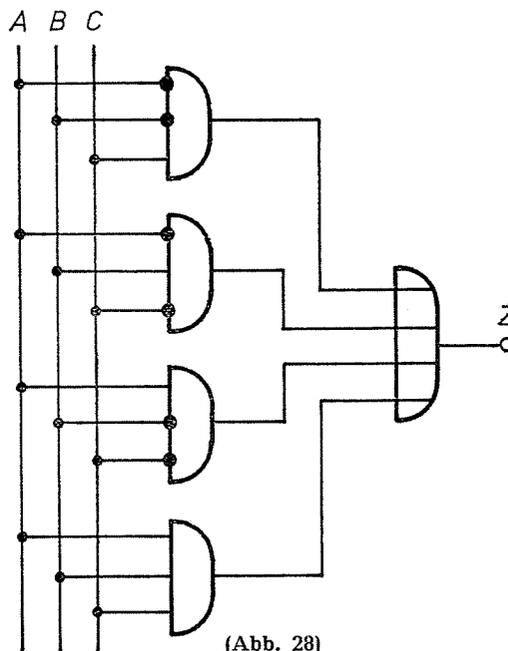
$Z = \bar{A}\bar{B}C \vee \bar{A}B\bar{C} \vee A\bar{B}\bar{C} \vee ABC$ . Abb. 28 zeigt das dazugehörige Schaltnetz.

### 1.5.3. Disjunktive und konjunktive Normalform

Disjunktive und konjunktive Normalform sind zwei Beschreibungen von Funktionstabellen mit der Symbolik der Schaltalgebra, die immer möglich sind; darin liegt ihre große Bedeutung.

**Minterme** sind UND-Verknüpfungen, die alle Schaltvariablen einmal enthalten, wobei diese negiert oder nicht negiert auftreten können. So sind z.B.  $\bar{A}\bar{B}\bar{C}DE$ ,  $ABCDE$ ,  $\bar{A}\bar{B}\bar{C}\bar{D}E$  oder  $\bar{A}\bar{B}CDE$  Minterme der Schaltvariablen A, B, C, D und E. Bei n Schaltvariablen gibt es  $2^n$  verschiedene Minterme. Jeder Minterm hat nur bei einer Kombination der Funktionstabelle den Wert 1, bei allen anderen den Wert 0. Tabelle 25 zeigt alle Kombinationen von drei Schaltvariablen und alle möglichen verschiedenen Minterme mit ihren Werten bei der jeweiligen Kombination.

Schaltnetz



(Abb. 28)

Minterme

A	B	C	A B C	A B C̄	A B̄ C	A B̄ C̄	Ā B C	Ā B C̄	Ā B̄ C	Ā B̄ C̄
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

Tabelle 25

Der Minterm, der für eine bestimmte Kombination den Wert 1 hat, ergibt sich (wie aus Tabelle 25 zu ersehen ist), indem man die UND-Verknüpfung aus allen Schaltvariablen hinschreibt und die Schaltvariablen negiert, die bei dieser Kombination im Zustand 0 sind. Der zur Kombination 100 gehörende Minterm lautet demnach  $\bar{A}\bar{B}C$ .

Funktionstabelle

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Tabelle 26

Für eine gegebene Funktionstabelle erhält man einen zugehörigen Ausdruck in der Schreibweise der Schaltalgebra, wenn man für alle Kombinationen, für die der Ausgang den Zustand 1 hat, die Minterme aufschreibt und diese durch ODER-Funktionen verknüpft.

**Maxterme** sind ODER-Verknüpfungen, die alle Schaltvariablen einmal enthalten, wobei diese negiert oder nicht negiert auftreten können. So sind z.B.  $\bar{A} \vee B \vee \bar{C} \vee D \vee E$ ,  $A \vee \bar{B} \vee \bar{C} \vee \bar{D} \vee E$ ,  $\bar{A} \vee \bar{B} \vee C \vee D \vee E$  oder  $A \vee B \vee C \vee D \vee E$  Maxterme der Schaltvariablen A, B, C, D und E. Bei n Schaltvariablen gibt es  $2^n$  verschiedene Maxterme, also ebensoviel wie Minterme und Kombinationen möglich sind. Jedes Maxterm hat nur bei einer Kombination der Funktionstabelle den Wert 0, bei allen anderen den Wert 1. Tabelle 27 zeigt alle Kombinationen von drei Schaltvariablen und alle möglichen verschiedenen Maxterme mit ihren Werten bei der jeweiligen Kombination.

**Funktionstabelle**

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Tabelle 28

**Maxterme**

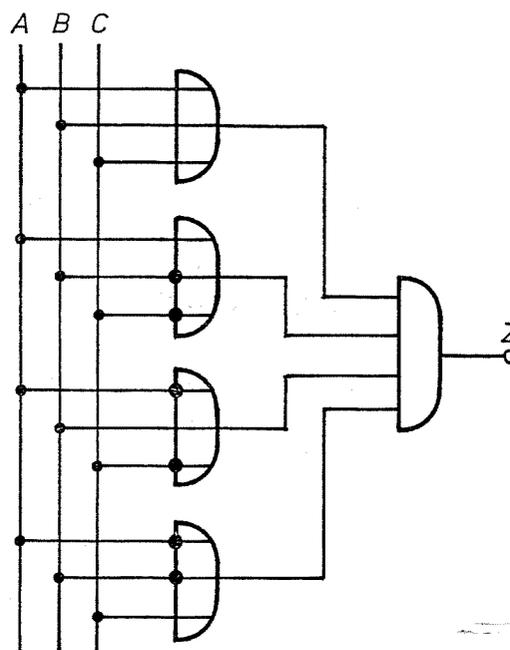
A	B	C	$A \vee B \vee C$	$A \vee B \vee \bar{C}$	$A \vee \bar{B} \vee C$	$A \vee \bar{B} \vee \bar{C}$	$\bar{A} \vee B \vee C$	$\bar{A} \vee B \vee \bar{C}$	$\bar{A} \vee \bar{B} \vee C$	$\bar{A} \vee \bar{B} \vee \bar{C}$
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Tabelle 27

Den Maxterm, der für eine bestimmte Kombination den Wert 0 hat, erhält man, indem man die ODER-Verknüpfung aus allen Schaltvariablen hinschreibt und die Schaltvariablen negiert, die bei dieser Kombination im Zustand 1 sind. Der zur Kombination 100 gehörende Maxterm lautet demnach  $\bar{A} \vee B \vee C$ .

Für eine gegebene Funktionstabelle ergibt sich ein zugehöriger Ausdruck in der Schreibweise der Schaltalgebra, wenn man für alle Kombinationen, für die der Ausgang den Zustand 0 hat, die Maxterme aufschreibt und diese durch UND-Funktionen verknüpft. Der so erhaltene Ausdruck heißt **vollständige konjunktive Normalform**. Für die Funktionstabelle 28 lautet die vollständige konjunktive Normalform:  $Z = (A \vee B \vee C) (\bar{A} \vee \bar{B} \vee \bar{C}) (\bar{A} \vee B \vee \bar{C}) (\bar{A} \vee \bar{B} \vee C)$ . Abb. 29 zeigt das dazugehörige Schaltnetz.

**Schaltnetz**



(Abb. 29)

Die vollständigen disjunktiven und konjunktiven Normalformen zeigen, daß jede Schaltfunktion mindestens in zwei Formen darstellbar ist: einmal als ODER-Verknüpfung der Minterme, zum anderen als UND-Verknüpfung der Maxterme. Mit Hilfe der De Morganschen Gesetze sind beide Formen ineinander umwandelbar.

### 1.5.4. Vereinfachung von Schaltfunktionen

Die disjunktive und die konjunktive Normalform bieten Möglichkeiten, jede durch eine Funktionstabelle darstellbare Aufgabe mit einem schaltalgebraischen Ausdruck zu beschreiben. Aus diesem Ausdruck kann das zugehörige Netzwerk aufgezeichnet werden. Die vollständigen disjunktiven und konjunktiven Normalformen sind aber oft redundant, d.h., sie lassen sich meist noch vereinfachen. Bei der Vereinfachung wird angestrebt, den Ausdruck mit der kleinsten Anzahl von Variablen zu finden. Wird der gefundene Ausdruck durch Kontakte realisiert, dann erhält man so die Schaltung mit den wenigsten Kontakten. Der Ausdruck mit der kleinsten Anzahl von Variablen ist gleichzeitig auch der Ausdruck mit der geringsten Zahl von Verknüpfungen und führt damit auch zum einfachsten Schaltnetz aus Verknüpfungsgliedern.

Die Vereinfachung kann rechnerisch durch Anwendung der Gesetze der Schaltalgebra erfolgen. Dieses Verfahren verlangt viel Einfühlungsvermögen und Übung. Außerdem läßt sich oft nicht mit Sicherheit sagen, ob der so gefundene Ausdruck wirklich der einfachste ist. Ein systematisches Verfahren ist das Listenverfahren von Quine und McCluskey. Im folgenden wird kurz das grafische Verfahren von Karnaugh beschrieben.

Zwei Minterme sind benachbart, wenn sie sich in nur einem Eingang unterscheiden, also z.B.  $A\bar{B}C$  und  $A\bar{B}\bar{C}$ . Enthält die disjunktive Normalform zwei benachbarte Minterme, so ist immer eine Vereinfachung möglich:

$$A\bar{B}C \vee A\bar{B}\bar{C} = \bar{B}C (A \vee \bar{A}) = \bar{B}C.$$

Das Verfahren von Karnaugh besteht nun darin, die Minterme grafisch so aufzuzeichnen, daß alle benachbarten Minterme zusammenliegen; Abb. 30 zeigt eine Karnaughtafel für 4 Schaltvariable. Jedes Minterm wird von einem Quadrat dargestellt. Das stark umrandete Quadrat repräsentiert das Minterm  $\bar{A}BCD$  mit der zugehörigen Kombination 0111. Minterme mit vier Variablen haben vier benachbarte Minterme, weil jede der vier Variablen geändert werden kann. Zu  $\bar{A}BCD$  sind benachbart  $ABC\bar{D}$  (das Quadrat rechts daneben),  $\bar{A}\bar{B}CD$  (links dane-

**Karnaughtafel**

		<b>Karnaughtafel</b>			
		$\bar{A}\bar{B}$	$\bar{A}B$	$AB$	$A\bar{B}$
$C \ D$	$AB$	$\bar{A}\bar{B}$	$\bar{A}B$	$AB$	$A\bar{B}$
	$CD$	0 0	0 1	1 1	1 0
$\bar{C} \ \bar{D}$	0 0				
$\bar{C} \ D$	0 1				
$C \ D$	1 1				
$C \ \bar{D}$	1 0				

(Abb. 30)

ben),  $\bar{A}\bar{B}CD$  (das Quadrat darüber) und  $\bar{A}BC\bar{D}$  (darunter). Wir sehen daraus, daß benachbarte Minterme in der Karnaughtafel Quadrate mit einer gemeinsamen Seite sind. Die Minterme vom linken Rand sind mit denen am rechten Rand benachbart (z.B.  $\bar{A}\bar{B}CD$  mit  $A\bar{B}CD$ ), die am oberen Rand mit denen am unteren Rand (z.B.  $ABC\bar{D}$  mit  $ABCD$ ).

Zur Anwendung der Karnaughtafel werden die Zustände der einzelnen Minterme aus der Funktionstabelle in die Karnaughtafel übertragen (Tabelle 29 und Abb. 31). Benachbarte, mit 1 belegte Felder werden zusammengefaßt, und zwar wird die Zusammenfassung so gewählt, daß sie möglichst viele 1 enthält. Dabei dürfen aber nur zwei, vier oder acht Felder zusammengefaßt werden. In Abb. 31 sind alle vier möglichen Zusammenfassungen dargestellt. Es genügt, jede 1 einmal zu erfassen; die Zusammenfassung 2 kann also entfallen, da die beiden überdeckten Felder bereits durch die Zusammenfassungen 1 und 3 erfaßt sind.

**Funktionstabelle**

A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

Tabelle 29

Karnaughtafel

$C D \backslash$	$A B$	$\bar{A} \bar{B}$	$\bar{A} B$	$A B$	$A \bar{B}$
$\bar{C} \bar{D} 00$	0	0	0	0	1
$\bar{C} \bar{D} 01$	0	1	1	1	0
$C \bar{D} 11$	1	1	1	0	0
$C \bar{D} 10$	0	0	0	0	1

(Abb. 31)

Als nächstes müssen die den Zusammenfassungen entsprechenden schaltalgebraischen Ausdrücke ermittelt werden. Dazu brauchen nur die allen Feldern der Zusammenfassung **gemeinsamen Variablen** in einer UND-Verknüpfung zusammengefaßt zu werden. Der Ausdruck für die Zusammenfassung 1 lautet demnach:  $\bar{A} \bar{C} D$ . Die Variable, die sowohl negiert als auch nicht negiert in der Zusammenfassung vorkommt, wird weggelassen. Zusammenfassung 2:  $\bar{A} B D$ , 3:  $B \bar{C} D$  und 4:  $A \bar{B} \bar{D}$ . Da die Zusammenfassung 2 entfallen kann, lautet die minimale Schaltfunktion für Z:

$$Z = \bar{A} \bar{C} D \vee B \bar{C} D \vee A \bar{B} \bar{D}$$

Die vollständige disjunktive Normalform für diese Funktion lautet:

$$Z = \bar{A} \bar{B} \bar{C} D \vee \bar{A} B \bar{C} D \vee \bar{A} B C D \vee A \bar{B} \bar{C} \bar{D} \vee A \bar{B} C \bar{D} \vee A B \bar{C} \bar{D}$$

Sie enthält 24 Variable gegenüber nur 9 der minimalen Form. Abb. 32 bis 34 enthalten Bei-

Zusammenfassungen

$C D \backslash$	$A B$	$\bar{A} \bar{B}$	$\bar{A} B$	$A B$	$A \bar{B}$
$\bar{C} \bar{D} 00$	0	0	0	1	1
$\bar{C} \bar{D} 01$	0	0	0	0	0
$C \bar{D} 11$	1	0	0	1	0
$C \bar{D} 10$	0	0	0	1	1

(Abb. 32)

spiele für andere Zusammenfassungen und ihre Bezeichnungen. Man kann erkennen, daß der Ausdruck für ein einzelnes Feld alle Variablen enthält, für zwei Felder eine weniger, für vier Felder zwei weniger und für acht Felder drei weniger.

Zusammenfassungen

$C D \backslash$	$A B$	$\bar{A} \bar{B}$	$\bar{A} B$	$A B$	$A \bar{B}$
$\bar{C} \bar{D} 00$	0	1	1	0	1
$\bar{C} \bar{D} 01$	0	0	1	0	0
$C \bar{D} 11$	0	0	1	1	0
$C \bar{D} 10$	1	1	0	0	1

(Abb. 33)

Zusammenfassungen

$C D \backslash$	$A B$	$\bar{A} \bar{B}$	$\bar{A} B$	$A B$	$A \bar{B}$
$\bar{C} \bar{D} 00$	0	0	0	0	0
$\bar{C} \bar{D} 01$	1	1	1	1	1
$C \bar{D} 11$	1	1	1	1	1
$C \bar{D} 10$	0	0	0	0	0

(Abb. 34)

Weitere Beispiele folgen in späteren Abschnitten. Die Karnaughtafel wird meist nur bis zu vier Variablen verwendet. Bei mehr Variablen wird die Darstellung der Nachbarschaftsbeziehungen schwierig und damit unübersichtlich. Karnaughtafeln lassen sich auch zur Vereinfachung von vollständigen konjunktiven Normalformen verwenden. Dafür müssen nur die Felder im Zustand 0 statt der Felder im Zustand 1 zusammengefaßt werden.

### 1.5.5. Verknüpfungen von zwei Schaltvariablen

Tabelle 30 zeigt noch einmal zusammengefaßt die Funktionstabelle für die UND- und die ODER-Verknüpfung zweier Schaltvariablen.

Funktionstabelle

A	B	UND	ODER
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	1

Tabelle 30

Den vier Eingangskombinationen sind bestimmte Ausgangszustände zugeordnet. Bei vier Eingangskombinationen sind aber nicht nur diese

beiden Zuordnungen möglich, sondern insgesamt  $2^4$  gleich 16. In Tabelle 31 sind alle 16 Ausgangskombinationen dargestellt.

Von den sechzehn Schaltfunktionen  $Z_0$  bis  $Z_{15}$  haben sechs Funktionen hier keine Bedeutung, und zwar  $Z_0$ ,  $Z_3$ ,  $Z_5$ ,  $Z_{10}$ ,  $Z_{12}$  und  $Z_{15}$ . Ihr Zustand ist entweder konstant, oder er wird nur von einer der beiden Schaltvariablen A und B beeinflusst. Von den restlichen Funktionen treten Inhibition und Implikation zweimal auf. Es bleiben also acht echte Verknüpfungen von zwei Variablen übrig: UND, ODER, NAND, NOR, Äquivalenz, Antivalenz, Inhibition und Implikation. Davon sind die UND- und die ODER-Verknüpfungen schon bei den Grundverknüpfungen besprochen worden.

Verknüpfungen zweier Schaltvariablen

	A B	0 0 1 1 0 1 0 1	Darstellung in der Schaltalgebra	gelesen	Bezeichnung der Verknüpfung
$Z_0$		0 0 0 0	0	Null	Konstante 0
$Z_1$		0 0 0 1	$AB, A \wedge B$	A und B	UND, Konjunktion
$Z_2$		0 0 1 0	$A\bar{B}, A \wedge \bar{B}$	A und nicht B	Inhibition
$Z_3$		0 0 1 1	A	A	Identität A
$Z_4$		0 1 0 0	$\bar{A}B, \bar{A} \wedge B$	nicht A und B	Inhibition
$Z_5$		0 1 0 1	B	B	Identität B
$Z_6$		0 1 1 0	$\bar{A}\bar{B} \vee A\bar{B}, A \not\equiv B$	A antivalent B, nicht A und B oder A und nicht B	Antivalenz, XOR, Exklusiv-ODER
$Z_7$		0 1 1 1	$A \vee B$	A oder B	ODER, Disjunktion
$Z_8$		1 0 0 0	$\bar{A} \vee \bar{B}, A \bar{\vee} B$	A nor B, nicht (A oder B)	NOR, Peircefunktion
$Z_9$		1 0 0 1	$\bar{A}\bar{B} \vee AB, A \equiv B$	A äquivalent B, nicht A und nicht B oder A und B	Äquivalenz
$Z_{10}$		1 0 1 0	$\bar{B}$	nicht B	Negation
$Z_{11}$		1 0 1 1	$A \vee \bar{B}, B \supset A$	B impliziert A A oder nicht B,	Implikation
$Z_{12}$		1 1 0 0	$\bar{A}$	nicht A	Negation
$Z_{13}$		1 1 0 1	$\bar{A} \vee B, A \supset B$	nicht A oder B, A impliziert B	Implikation
$Z_{14}$		1 1 1 0	$\bar{A}\bar{B}, A \wedge \bar{B}$	A nand B, nicht (A und B)	NAND, Schefferfunktion
$Z_{15}$		1 1 1 1	1	Eins	Konstante 1

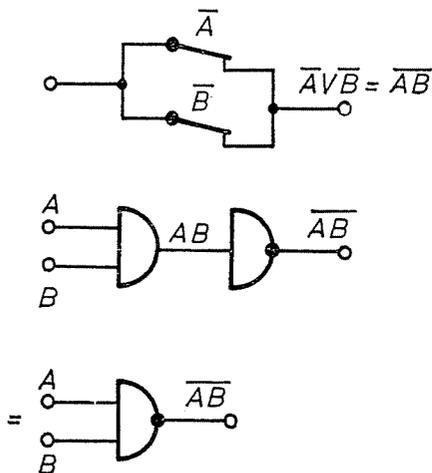
Tabelle 31

**Funktionstabelle**

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

Tabelle 32

**NAND-Verknüpfung**



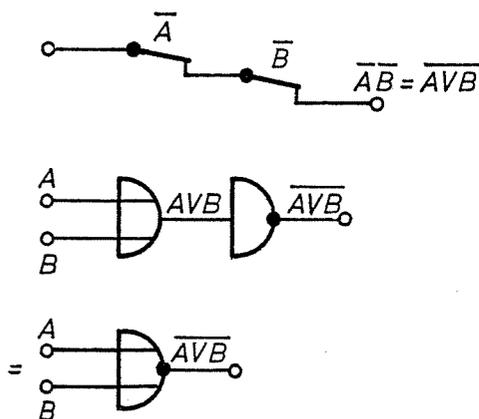
(Abb. 35)

**Funktionstabelle**

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

Tabelle 33

**NOR-Verknüpfung**



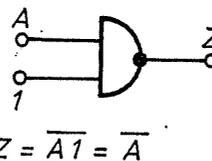
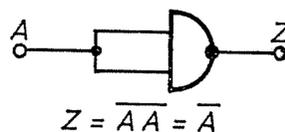
(Abb. 36)

Die **NAND-Verknüpfung** (Abb. 35 und zugehörige Funktionstabelle 32) und die **NOR-Verknüpfung** (Abb. 36 und zugehörige Funktionstabelle 33) nehmen unter den Schaltfunktionen eine besondere Stellung ein: Man kann jedes beliebige Schaltnetz nur aus NAND-Gliedern

oder nur aus NOR-Gliedern aufbauen. Das hat große wirtschaftliche Bedeutung. Die modernen integrierten Schaltungen lassen sich nur in Großserien wirtschaftlich herstellen. Daher werden in der IS-Technik hauptsächlich NAND- und NOR-Glieder hergestellt, weil man mit ihnen jedes Schaltnetz realisieren kann. Zu dem Problem der Vereinfachung von Schaltfunktionen tritt nun das Problem der Typisierung, d.h. die Umformung der jeweiligen Schaltfunktion in einen Ausdruck, der nur NAND- oder nur NOR-Verknüpfungen enthält (vgl. Abschn. 1.6.2.).

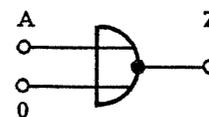
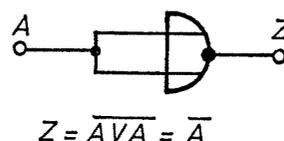
Die vollständigen disjunktiven und konjunktiven Normalformen haben gezeigt, daß sich jedes Schaltnetz nur aus UND-, ODER- und NICHT-Gliedern aufbauen läßt. Um zu zeigen, daß nur NAND- oder nur NOR-Glieder genügen, reicht daher die Darstellung von UND-, ODER- und NICHT-Gliedern aus NAND- oder NOR-Gliedern aus (Abb. 37 bis 42).

**NICHT aus NAND**



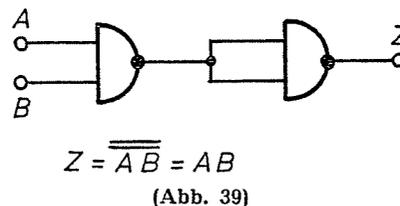
(Abb. 37)

**NICHT aus NOR**



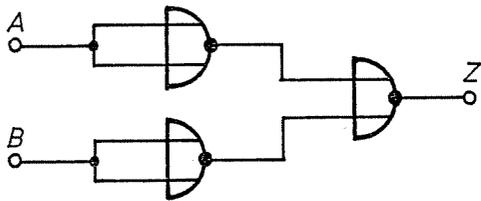
(Abb. 38)

**UND aus NAND**



(Abb. 39)

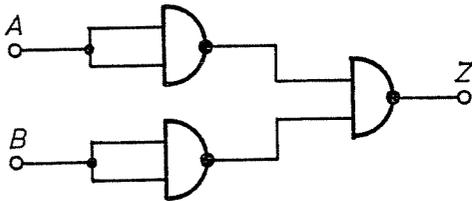
UND aus NOR



$$Z = \overline{\overline{A} \vee \overline{B}} = \overline{\overline{A} \overline{B}} = AB$$

(Abb. 40)

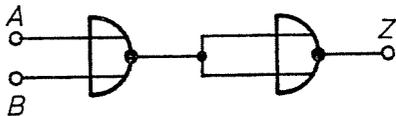
ODER aus NAND



$$Z = \overline{\overline{A} \overline{B}} = \overline{\overline{A} \vee \overline{B}} = A \vee B$$

(Abb. 41)

ODER aus NOR



$$Z = \overline{\overline{A \vee B}} = A \vee B$$

(Abb. 42)

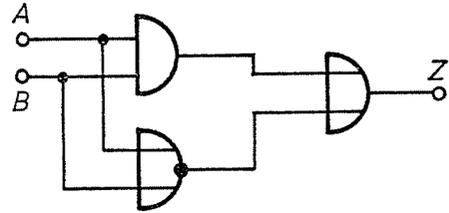
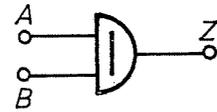
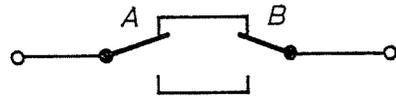
Bei einer **Äquivalenz** hat der Ausgang immer dann den Zustand 1, wenn beide Eingänge den gleichen Zustand haben, also entweder beide 0 oder beide 1 sind (Abb. 43, Tabelle 34). Äquivalenzglieder werden vor allem in Vergleicherschaltungen benötigt und teilweise als ein Bauteil hergestellt, meistens jedoch aus anderen Schaltgliedern zusammengesetzt. Die unterste Darstellung in Abb. 43 zeigt ein Äquivalenzglied aus einem UND-, einem NOR- und einem ODER-Glied. Es gibt jedoch auch viele andere Ausführungen für ein Äquivalenzglied.

**Funktionstabelle**

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	1

Tabelle 34

Äquivalenz



(Abb. 43)

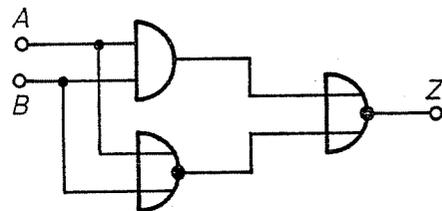
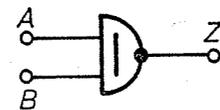
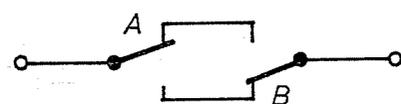
Die **Antivalenz** liefert am Ausgang eine 1, wenn beide Eingänge nicht den gleichen Zustand haben (Abb. 44, Tabelle 35). Antivalenzen werden teilweise in Addierern verwendet. Die Funktionstabelle der Antivalenz entspricht den Additionsregeln für zwei Dualziffern (allerdings ohne Übertragsbildung). Antivalenzen werden meist aus anderen Schaltgliedern zusammengesetzt.

**Funktionstabelle**

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0

Tabelle 35

Antivalenz



(Abb. 44)

Die unterste Darstellung in Abb. 44 zeigt ein Antivalenzglied aus einem UND- und zwei NOR-Gliedern, was wiederum nur eine von vielen Ausführungsmöglichkeiten ist.

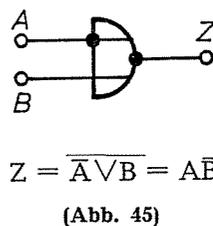
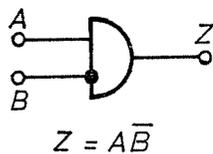
Eine **Inhibition** ist eine UND-Verknüpfung mit einem negierten Eingang; sie wird auch meistens in dieser Form realisiert. Abb. 45 zeigt zwei Ausführungen, Tabelle 36 die zugehörige Funktionstabelle. Eine **Implikation** ist eine ODER-Verknüpfung mit einem negierten Eingang (Abb. 46, Tabelle 37).

**Funktionstabelle**

A	B	Z
0	0	0
0	1	0
1	0	1
1	1	0

Tabelle 36

Inhibition

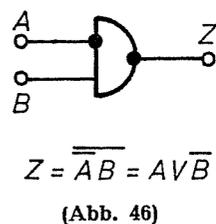
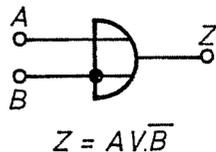


**Funktionstabelle**

A	B	Z
0	0	1
0	1	0
1	0	1
1	1	1

Tabelle 37

Implikation

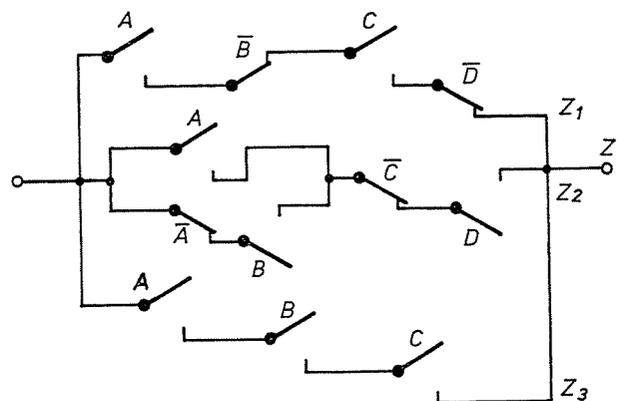


**1.6. Analyse und Synthese von Schaltnetzen**

**1.6.1. Analyse von Schaltnetzen**

Die Analyse von Schaltnetzen ist die Untersuchung vorgegebener Schaltungen. Ziel der Untersuchung ist es, die Funktion des Schaltnetzes festzustellen. Das Ergebnis der Analyse ist die vollständige Funktionstabelle. Dabei geht man folgendermaßen vor: das gegebene Schaltnetz wird mit den Hilfsmitteln der Schaltalgebra beschrieben und der erhaltene Ausdruck auf eine der beiden vollständigen Normalformen erweitert. Aus der vollständigen Normalform kann die Funktionstabelle praktisch direkt abgeschrieben werden. Dieses Verfahren soll an einigen Beispielen erläutert werden.

Kontaktnetz



(Abb. 47)

**1. Beispiel:** Gegeben ist das in Abb. 47 dargestellte Kontaktnetz. Beim Aufstellen der Gleichung geht man nach folgender Überlegung vor: die Schaltfunktion Z ist die Parallelschaltung, also die ODER-Verknüpfung von Z<sub>1</sub>, Z<sub>2</sub> und Z<sub>3</sub>.

$Z = Z_1 \vee Z_2 \vee Z_3.$

Z<sub>1</sub> und Z<sub>3</sub> sind reine Reihenschaltungen. Bei Z<sub>2</sub> ist ein Glied der Reihenschaltung eine Parallelschaltung:

$Z_1 = A\bar{B}C\bar{D}, Z_2 = (A \vee \bar{A})\bar{C}D, Z_3 = ABC.$

$Z = A\bar{B}C\bar{D} \vee (A \vee \bar{A})\bar{C}D \vee ABC.$

Dieser Ausdruck muß nun auf die vollständige disjunktive Normalform erweitert werden. Dazu wird zuerst die Klammer aufgelöst.

$Z = A\bar{B}C\bar{D} \vee A\bar{C}D \vee \bar{A}\bar{C}D \vee ABC$

Die vollständige disjunktive Normalform ist dadurch gekennzeichnet, daß jede UND-Verknüpfung alle Variablen enthält. Die beiden Ausdrücke mit nur drei Variablen werden erweitert:

$A\bar{C}D = A\bar{C}D1 = A\bar{C}D(B \vee \bar{B}) = A\bar{C}BD \vee A\bar{C}\bar{B}D$

$ABC = ABC1 = ABC(D \vee \bar{D}) = ABCD \vee ABC\bar{D}$

Die vollständige disjunktive Normalform für das Kontaktnetz (Abb. 47) lautet demnach:

$Z = A\bar{B}C\bar{D} \vee A\bar{C}BD \vee A\bar{C}\bar{B}D \vee \bar{A}\bar{C}BD \vee ABCD \vee ABC\bar{D}$   
 (1010) (1101) (1001) (0101) (1111) (1110)

Tabelle 38 zeigt die zugehörige Funktionstabelle.

Funktionstabelle

A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Tabelle 38

Funktionstabelle

A	B	C	D	Z
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Tabelle 39

2. Beispiel: Gegeben ist das Schaltnetz in Abb. 48. Es handelt sich um eine ODER-Verknüpfung von drei UND-Verknüpfungen, also um eine disjunktive Normalform, aber keine vollständige. Die Schaltfunktion lautet:

$$Z = \bar{A}B \vee \bar{A}\bar{C}D \vee BCD$$

Zur Ergänzung auf die vollständige disjunktive Normalform wird zunächst der erste Ausdruck um die Variable C erweitert, der zweite um B und der dritte um A. Es ergibt sich:

$$Z = \bar{A}BC \vee \bar{A}\bar{B}\bar{C} \vee \bar{A}B\bar{C}D \vee \bar{A}\bar{B}C\bar{D} \vee ABCD \vee \bar{A}BCD$$

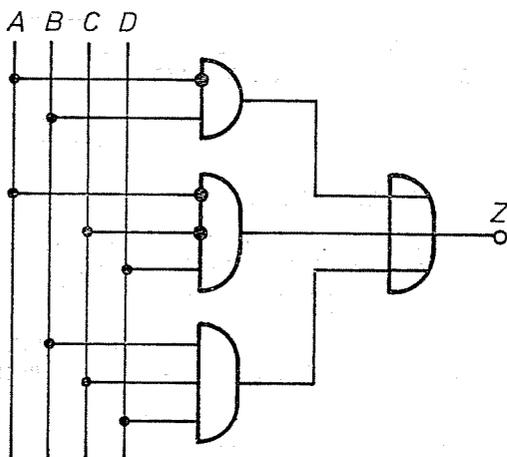
Nun werden die ersten beiden noch dreigliedrigen Ausdrücke jeweils um die Variable D erweitert. So ergibt sich die vollständige Form:

$$Z = \bar{A}BCD \vee \bar{A}\bar{B}\bar{C}D \vee \bar{A}B\bar{C}D \vee \bar{A}\bar{B}C\bar{D} \vee \bar{A}\bar{B}C\bar{D} \vee ABCD \vee \bar{A}BCD \vee \bar{A}\bar{B}C\bar{D} \vee \bar{A}\bar{B}C\bar{D} \vee ABCD \vee \bar{A}BCD$$

(0111) (0110) (0101) (0100)  
(0001) (1111)

Die beiden durchgestrichenen Minterme sind in der erweiterten Form zweimal enthalten. In Tabelle 39 ist die zugehörige Funktionstabelle dargestellt.

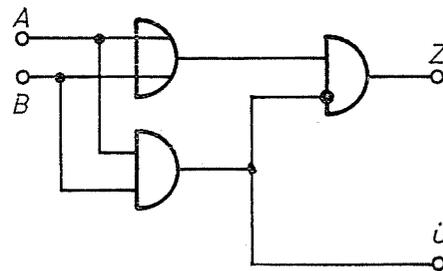
Schaltnetz



(Abb. 48)

3. Beispiel: Das Schaltnetz in Abb. 49 hat im Gegensatz zu den beiden betrachteten Schaltnetzen zwei Ausgänge. Es handelt sich um ein vermaschtes Schaltnetz, weil eine Verknüpfung für beide Ausgänge gemeinsam verwendet wird. Diese Schaltung ist ein sogenannter Halbaddierer; er liefert am Ausgang Z die Summe der beiden Variablen A und B und am Ausgang U den Übertrag. Diese Schaltung wird deswegen Halbaddierer genannt, weil sie nur die beiden Variablen addieren kann, nicht aber den Übertrag aus der vorhergehenden Stelle.

Halbaddierer



(Abb. 49)

Funktionstabelle

A	B	Z	U
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tabelle 40

Die Schaltfunktionen für Abb. 49 lauten:

$$Z = (A \vee B) (\bar{A}\bar{B}) \quad \text{und} \\ U = AB$$

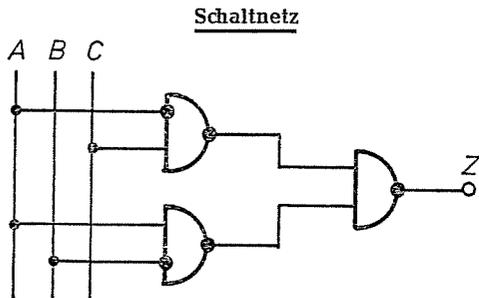
Wendet man auf die rechte Klammer das De Morgansche Gesetz an, so ergibt sich die vollständige konjunktive Normalform:

$$Z = (A \vee B) (\bar{A} \vee \bar{B})$$

Multipliziert man die beiden Klammern aus, so erhält man mit  $A\bar{A} = 0$  und  $B\bar{B} = 0$  die vollständige disjunktive Normalform:

$$Z = A\bar{A} \vee A\bar{B} \vee B\bar{A} \vee B\bar{B} = \bar{A}B \vee A\bar{B}$$

Die in Tabelle 40 dargestellte zugehörige Funktionstabelle kann sowohl aus der konjunktiven als auch aus der disjunktiven Normalform abgelesen werden.



(Abb. 50)

4. Beispiel: Abb. 50 zeigt ein Schaltnetz, das nur aus NAND-Gliedern aufgebaut ist. Die obere Verknüpfung ist  $\overline{AC}$ , die untere  $\overline{AB}$  und damit lautet Z:  $Z = \overline{\overline{AC} \overline{AB}}$ .

Negiert man die Funktion rechts und links, wobei sich rechts die dann doppelte Negation aufhebt, so ergibt sich:

$$\overline{Z} = \overline{\overline{AC} \overline{AB}} = \overline{\overline{AC}} \overline{\overline{AB}}$$

(De Morgansche Gesetz)

Damit ergibt sich für Z:

$$Z = \overline{\overline{AC}} \overline{\overline{AB}}$$

Die vollständige disjunktive Normalform und die zugehörige Funktionstabelle 41 erhält man nach Erweiterung:

$$Z = \overline{A}BC \vee A\overline{B}C \vee A\overline{B}\overline{C}$$

Funktionstabelle

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Tabelle 41

Im nächsten Abschnitt wird bei der Betrachtung der Typisierung ein Verfahren gezeigt, das es gestattet, die Beziehung  $Z = \overline{\overline{AC} \overline{AB}}$  direkt aus dem Schaltnetz (Abb. 50) abzulesen.

### 1.6.2. Synthese von Schaltnetzen

Bei der Schaltnetzsyntax geht es darum, ein Schaltnetz zu finden, das die gestellte Aufgabe erfüllt. Dazu muß als erstes die Aufgabe so genau formuliert werden, daß aus dem Aufgabentext die Funktionstabelle erstellt werden kann. Anschließend ermittelt man aus der Funktionstabelle die vollständige disjunktive oder konjunktive Normalform, die dann nach einem der bekannten Verfahren vereinfacht wird. Anschließend muß dann geprüft werden, ob der gefundene Ausdruck mit den zur Verfügung stehenden Bauelementen realisiert werden kann und ob eventuell gestellte Nebenbedingungen erfüllt sind.

So kann es vorkommen, daß die ermittelte einfachste Form Verknüpfungen mit mehr Eingängen enthält als zur Verfügung stehen oder aus-

geführt werden können. Der Ausgang eines Verknüpfungsgliedes kann nur mit einer bestimmten Anzahl von Eingängen weiterer Verknüpfungsglieder belastet werden (ihre Zahl wird durch den **Fan out** oder **Ausgangsfächer** angegeben). Eine weitere Einschränkung kann darin bestehen, daß nur ganz bestimmte Verknüpfungsglieder zur Verfügung stehen. Wenn für eine bestimmte Aufgabe eine sehr hohe Arbeitsgeschwindigkeit gefordert wird, dann darf das Schaltnetz nur wenig hintereinanderliegende Verknüpfungsglieder enthalten, weil jedes Glied eine bestimmte Signallaufzeit hat.

1. Beispiel: Eine abgelegene Betriebsstelle soll überwacht werden. Dafür wird ein Signal gegeben ( $Z = 1$ ), wenn eine Störung auftritt ( $S = 1$ ) und während der Störung die Betriebsstelle unbesetzt ist ( $B = 0$ ) und eine Löschtaaste nicht betätigt ist ( $L = 0$ ). Außerdem soll ein Signal gegeben werden, wenn die Löschtaaste betätigt ist, ohne daß eine Störung vorliegt. Tabelle 42 zeigt die aus der Aufgabenstellung entwickelte Funktionstabelle. Die zugehörige Normalform lautet:

$$Z = \overline{S}BL \vee S\overline{B}L \vee S\overline{B}\overline{L}$$

Die Vereinfachung kann rechnerisch vorgenommen werden durch Ausklammern von  $\overline{S}L$  aus den beiden ersten Ausdrücken:

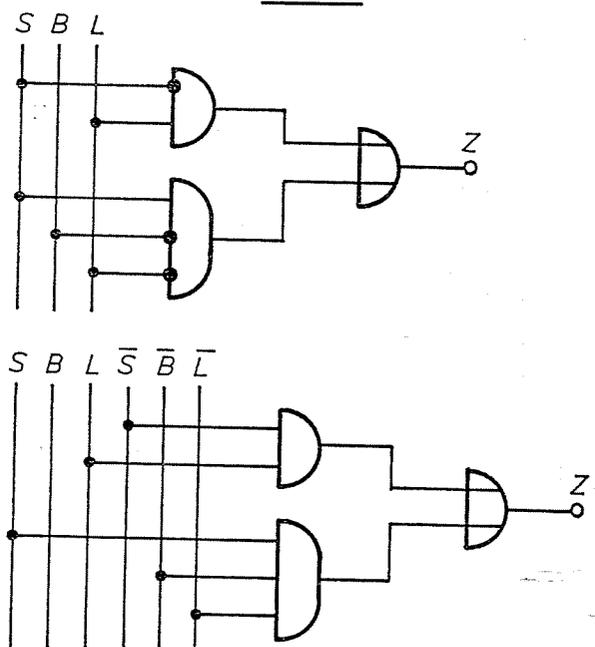
$$Z = \overline{S}L(B \vee B) \vee S\overline{B}L = \overline{S}L \vee S\overline{B}L$$

Funktionstabelle

S	B	L	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Tabelle 42

Schaltnetz



(Abb. 51)

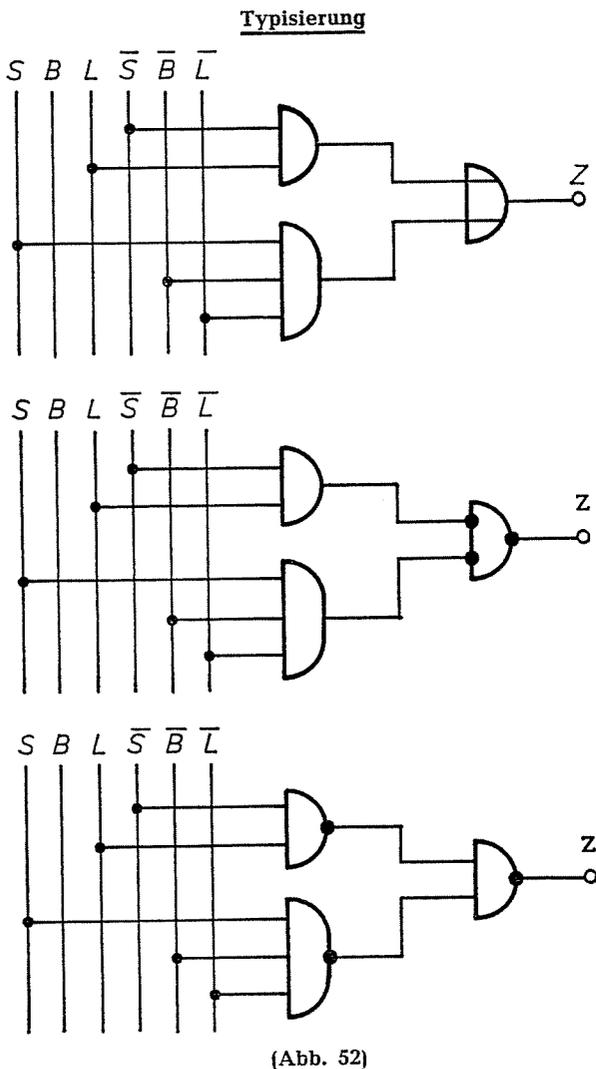
Zum gleichen Ergebnis führt die Karnaughtafel. In Abb. 51 ist das zugehörige Schaltnetz in zwei Formen dargestellt, einmal für den Fall, daß die Eingangsvariablen S, B und L nur nicht negiert vorliegen, zum anderen für den Fall, daß sie sowohl negiert als auch nicht negiert vorliegen. Der zweite Fall ist in der Praxis häufig gegeben, z.B. wenn die Variablen Flipflops (vgl. Abschn. 4.) entnommen werden.

An diesem Beispiel soll auch die Typisierung gezeigt werden. Das dargestellte Schaltnetz wird nur aus NAND-Gliedern aufgebaut. Dafür gehen wir von folgender Überlegung aus:

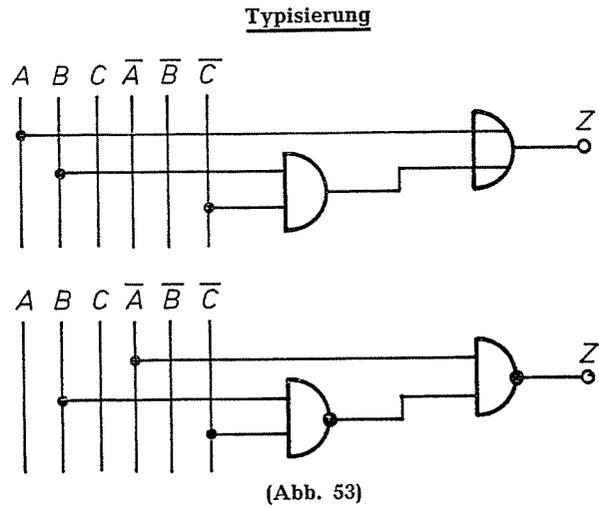
Das ODER-Glied kann nach den De Morgan'schen Gesetzen durch ein UND-Glied mit negierten Eingängen und negiertem Ausgang ersetzt werden:

$$\overline{A \vee B} = \overline{A} \wedge \overline{B} = A \vee B$$

Wenn man die Negationen von den Eingängen des UND-Gliedes auf die Ausgänge der davorliegenden UND-Glieder verlegt, ändert sich die Schaltfunktion des Schaltnetzes nicht.



Dadurch entsteht aber ein Schaltnetz, das nur aus NAND-Gliedern besteht (Abb. 52). Ein Schaltnetz, das in der disjunktiven Normalform vorliegt, also nur aus über ein ODER-Glied zusammengefaßten UND-Gliedern besteht, ändert seine Schaltfunktion nicht, wenn sowohl die UND-Glieder als auch das ODER-Glied durch NAND-Glieder ersetzt werden. Ist eine Eingangsvariable direkt mit dem Ausgangs-ODER-Glied verbunden, so muß bei Verwendung von NAND-Gliedern ihre Negation verwendet werden (Abb. 53).



Funktionstabelle

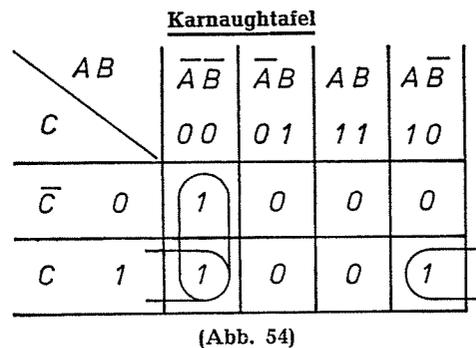
A	B	C	Z
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Tabelle 43

2. Beispiel: Für die Funktionstabelle 43 ist ein möglichst einfaches Schaltnetz zu entwerfen, das nur aus NOR-Gliedern besteht. Dafür wird die zugehörige Karnaughtafel aufgezeichnet. In Abb. 54 ist sie mit den Zusammenfassungen dargestellt; für Z können wir ablesen:

$$Z = \overline{A} \overline{B} \vee \overline{B} C.$$

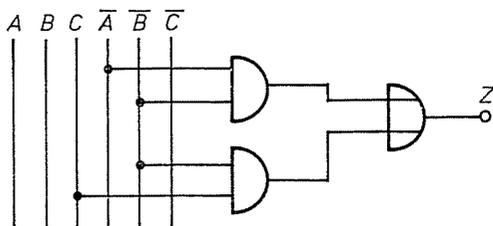
Das ist die einfachste disjunktive Normalform.



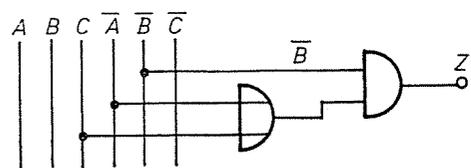
Klammert man  $\bar{B}$  noch aus, so ergibt sich:  $Z = \bar{B}(\bar{A}VC)$ , die einfachste konjunktive Normalform. Die Abb. 55a und b zeigen das Schaltnetz in beiden Formen. Es bleibt noch die Aufgabe, das Schaltnetz auf NOR-Glieder zu typisieren. Dazu gehen wir vom Schaltnetz der Abb. 55b aus. Das UND-Glied kann durch ein ODER-Glied mit negierten Eingängen und negiertem Ausgang ersetzt werden (Abb. 55c):

$$\overline{A \vee \bar{B}} = \bar{A} \bar{B} = AB.$$

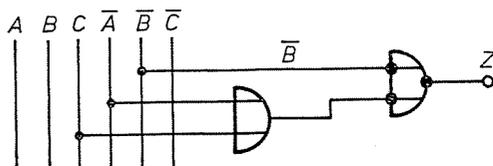
**Schaltnetze**



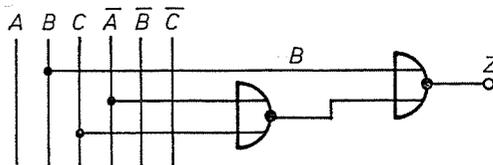
(Abb. 55a)



(Abb. 55b)



(Abb. 55c)



(Abb. 55d)

Verlegt man die Negationen von den Eingängen des ODER-Glieds auf die Ausgänge der davorliegenden ODER-Glieder, so entsteht ein Schaltnetz nur aus NOR-Gliedern (Abb. 55d). Ein Schaltnetz, das in der konjunktiven Normalform vorliegt, also nur aus über ein UND-Glied zusammengefaßten ODER-Gliedern besteht, ändert seine Schaltfunktion nicht, wenn sowohl die ODER-Glieder als auch das UND-Glied durch NOR-Glieder ersetzt werden. Ist eine Eingangsvariable direkt mit dem Ausgangs-UND-Glied verbunden, so muß bei Verwendung von NOR-Gliedern ihre Negation verwendet werden.

Diese beiden Beispiele zeigen, daß durch die Typisierung, also durch die Verwendung von nur NAND- oder nur NOR-Gliedern, meist kein höherer Aufwand entsteht. Auch ist das Entwerfen derartiger Schaltnetze nicht schwieriger.

Hier wurde nur die Umwandlung der disjunktiven Normalform in ein Schaltnetz aus NAND-Gliedern und der konjunktiven Normalform in ein Schaltnetz aus NOR-Gliedern dargestellt, weil diese Umwandlungen am einfachsten sind. Liegt ein Schaltnetz in anderer Form vor, so erfolgt die Typisierung rechnerisch mit den De Morganschen Gesetzen.

**3. Beispiel:** Für den Aikencode ist eine Pseudotetraden-erkennung zu entwerfen, das ist eine Schaltung, die am Ausgang eine 1 liefern soll, wenn eine der sechs nicht ausgenutzten Kombinationen auftritt. Tabelle 44 stellt das Problem als Funktionstabelle dar; Abb. 56a und 56b zeigen die Karnaughtafel mit den Zusammenfassungen.

**Funktionstabelle**

A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Tabelle 44

**Karnaughtafel**

	AB	$\bar{A}\bar{B}$	$\bar{A}B$	AB	$A\bar{B}$
CD	00	01	11	10	
$\bar{C}\bar{D}$	00	0	0	0	1
$\bar{C}D$	01	0	1	0	1
CD	11	0	1	0	0
$C\bar{D}$	10	0	1	0	1

(Abb. 56a)

	AB	$\bar{A}\bar{B}$	$\bar{A}B$	AB	$A\bar{B}$
CD	00	01	11	10	
$\bar{C}\bar{D}$	00	0	0	0	1
$\bar{C}D$	01	0	1	0	1
CD	11	0	1	0	0
$C\bar{D}$	10	0	1	0	1

(Abb. 56b)

Der Karnaughtafel (Abb. 56a) wird die einfachste disjunktive Normalform entnommen:

$$Z = \bar{A}BCV\bar{A}BDVA\bar{B}CVA\bar{B}\bar{D} \quad (\text{Abb. 57a})$$

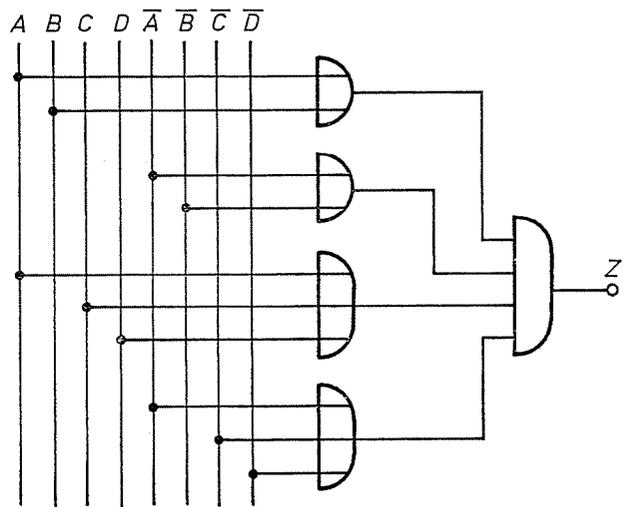
Die einfachste konjunktive Normalform, die man aus der Karnaughtafel (Abb. 56b) durch Zusammenfassung der 0-Felder erhält, lautet:

$$Z = (A \vee B) (\bar{A} \vee \bar{B}) (A \vee C \vee D) (\bar{A} \vee \bar{C} \vee \bar{D}) \quad (\text{Abb. 57c})$$

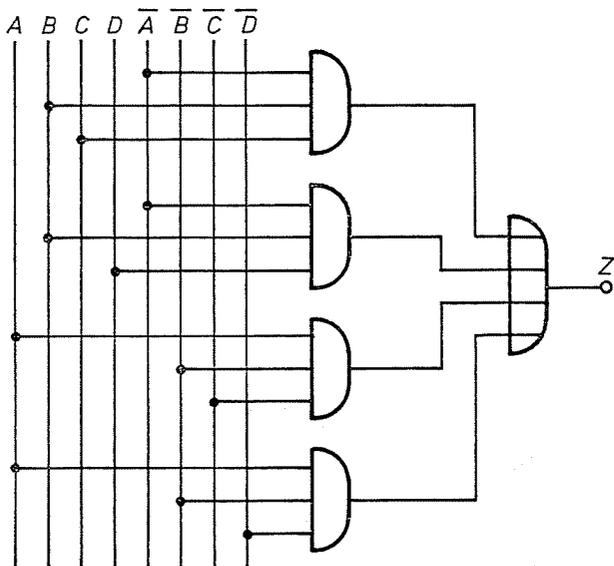
①            ②            ③            ④

Abb. 57 b und d zeigen das Schaltnetz, wenn einmal nur NAND- und zum anderen nur NOR-Glieder verwendet werden.

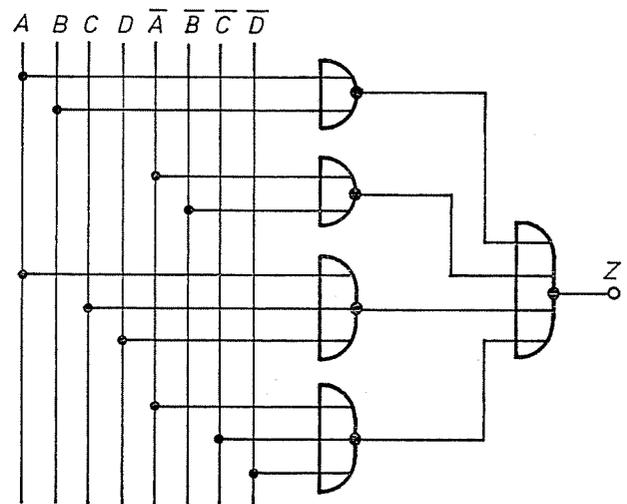
Pseudotetradenerkennung



(Abb. 57c)



(Abb. 57a)

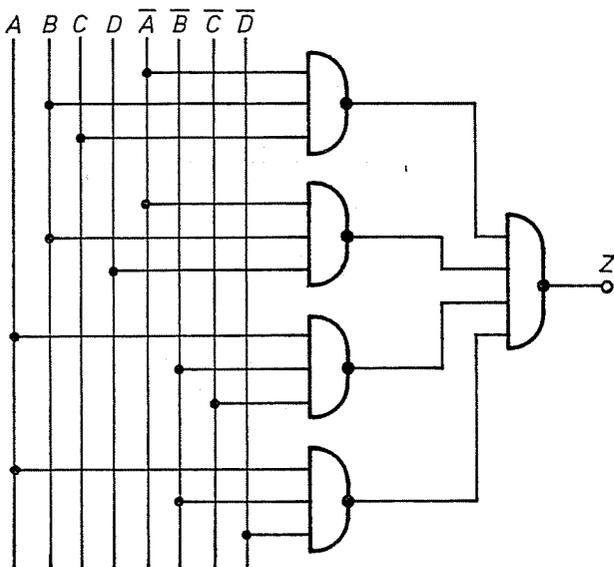


(Abb. 57d)

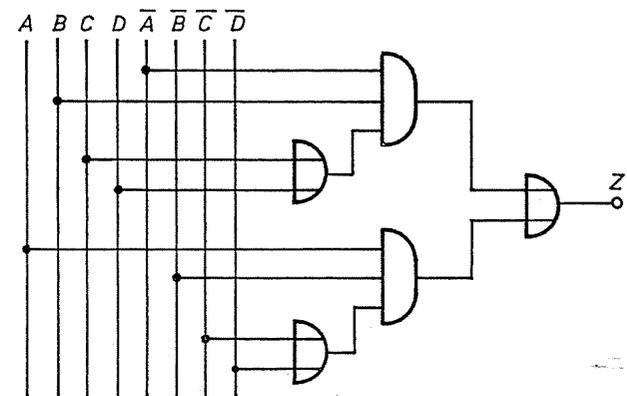
Die disjunktive Normalform kann noch vereinfacht werden durch Ausklammern:

$$Z = \bar{A}BCV\bar{A}BDVA\bar{B}CVA\bar{B}\bar{D} \\ = AB(CVD) \vee A\bar{B}(C\bar{V}\bar{D}) \quad (\text{Abb. 58})$$

Schaltnetz



(Abb. 57b)



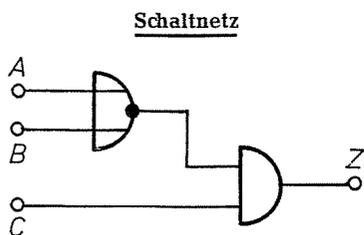
(Abb. 58)

Vergleicht man Abb. 57a mit Abb. 58, so ist zu erkennen, daß in beiden Schaltnetzen fünf Verknüpfungsglieder erforderlich sind. Abb. 58 enthält aber nur insgesamt 12 Eingänge gegenüber 16 in Abb. 57a. Diesem Vorteil des Schaltnetzes in Abb. 58 steht der Nachteil gegenüber, daß die Signale teilweise drei Schaltglieder durchlaufen müssen. Das Schaltnetz ist daher langsamer.

### 1.7. Lesen einfacher Schaltnetzpläne

Im Abschn. 1.6.1., Analyse von Schaltnetzen, wurde ein Verfahren gezeigt, mit dem die Funktion einer gegebenen Schaltung mit Hilfe der Schaltalgebra ermittelt werden kann. Beim Lesen von Schaltnetzplänen ist es meist gar nicht erforderlich, den Ausgangszustand für jede mögliche Eingangskombination zu ermitteln; hier geht es vielmehr darum, den Ausgangszustand für die gerade anliegende Eingangskombination zu finden. Im folgenden werden einige Tips gegeben, die das Lesen von Schaltnetzplänen vereinfachen und beschleunigen.

Ein UND-Glied liefert am Ausgang nur dann eine 1, wenn an allen Eingängen 1 anliegt. Dieser Sachverhalt läßt sich auch anders ausdrücken: Sobald an einem Eingang eines UND-Gliedes eine 0 anliegt, liegt am Ausgang auch eine 0. Die anderen Eingänge brauchen dann gar nicht mehr betrachtet zu werden. (Die UND-Verknüpfung ist, bezogen auf den Zustand 0, eine ODER-Verknüpfung.) Ebenso interessiert bei einem ODER-Glied der Zustand der anderen Eingänge nicht mehr, wenn an einem Eingang 1 anliegt; der Ausgang hat dann auf jeden Fall auch den Zustand 1. Ein NAND-Glied mit dem Zustand 0 an einem Eingang liefert am Ausgang unabhängig von den übrigen Eingängen eine 1. Bei einem NOR-Glied erzwingt eine 1 an irgendeinem Eingang eine 0 am Ausgang.



(Abb. 59)

Mit Hilfe dieser Tips soll die Funktionstabelle (Tabelle 45) des Schaltnetzes in Abb. 59 ermittelt werden: Solange C den Zustand 0 hat, ist auch Z im Zustand 0; in der ersten, dritten, fünften und siebenten Zeile kann für Z sofort 0 geschrieben werden. Das NOR-Glied und damit Z

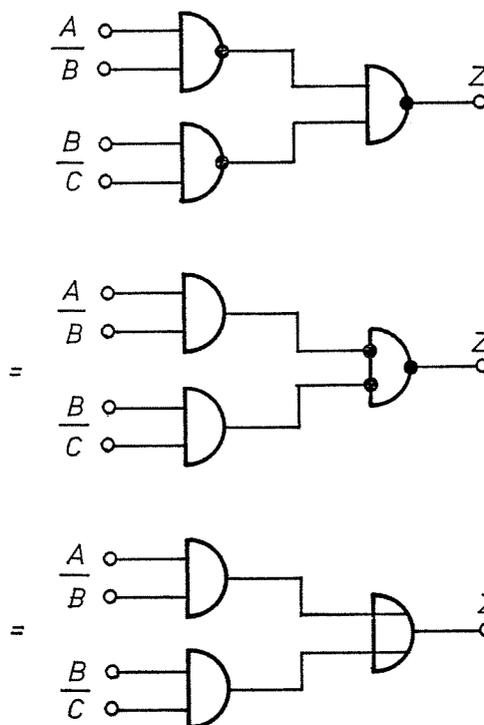
liefern eine 0, wenn A oder B im Zustand 1 sind. Damit kann in der vierten, sechsten und achten Zeile für Z eine 0 notiert werden. Nur bei der zweiten Kombination hat Z den Zustand 1.

**Funktionstabelle**

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Tabelle 45

Schaltnetzumwandlung



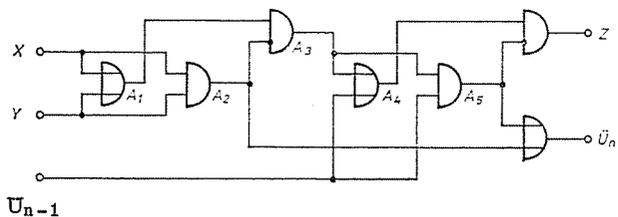
(Abb. 60)

Bei Schaltnetzen, die nur aus NAND- oder nur aus NOR-Gliedern bestehen, wird das Lesen für den Ungeübten oft einfacher, wenn er die Negation von den Ausgängen auf die Eingänge der folgenden Schaltglieder verlegt (Abb. 60), wenn er also das bei der Typisierung gezeigte Verfahren umkehrt.

Will man für umfangreichere Schaltnetze die Funktionstabelle aufstellen, ohne erst die vollständige disjunktive Normalform zu entwickeln, so ist es am besten, jeden Zwischenausgang zu bezeichnen und für jeden Zwischenaus-

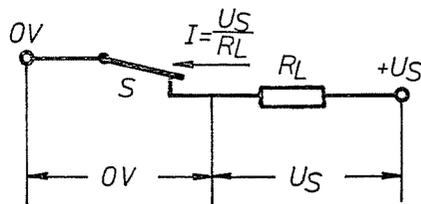
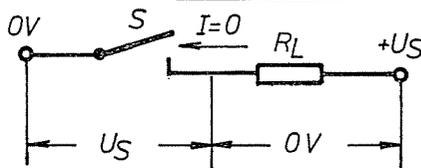
gang nacheinander die Funktionstabelle aufzustellen. Dieses Verfahren soll am Beispiel eines Schaltnetzes für einen Volladdierer (Abb. 61) erläutert werden.

**Schaltnetz eines Volladdierers**



(Abb. 61)

**Idealer Schalter**



(Abb. 62)

**Funktionstabelle**

X	Y	$U_{n-1}$	$A_1 = X \vee Y$	$A_2 = XY$	$A_3 = A_1 \bar{A}_2$	$A_4 = A_3 \vee U_{n-1}$	$A_5 = A_3 U_{n-1}$	Z = $A_4 \bar{A}_5$	$U_n = A_2 \vee A_5$
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	1	0
0	1	1	1	0	1	1	1	0	1
1	0	0	1	0	1	1	0	1	0
1	0	1	1	0	1	1	1	0	1
1	1	0	1	1	0	0	0	0	1
1	1	1	1	1	0	1	0	1	1

Tabelle 46

Durch das Aufstellen der Funktionstabellen für alle Zwischenausgänge braucht man in diesem Beispiel immer nur zwei Schaltvariable miteinander zu verknüpfen. Die Zwischenausgänge treten dabei wieder als Eingangsvariable auf. Z.B. ist  $A_3$  gleich  $A_1$  und nicht  $A_2$ .  $A_3$  ist also im Zustand 1, wenn  $A_1$  im Zustand 1 und  $A_2$  gleichzeitig im Zustand 0 ist.

stellt. Im offenen Zustand ist der Widerstand unendlich groß; es fließt kein Strom, die volle Spannung liegt am Schalter. Im geschlossenen Zustand ist der Widerstand des Schalters Null. Der Strom wird nur durch den Lastwiderstand  $R_L$  begrenzt; die gesamte Spannung fällt am Verbraucher ab.

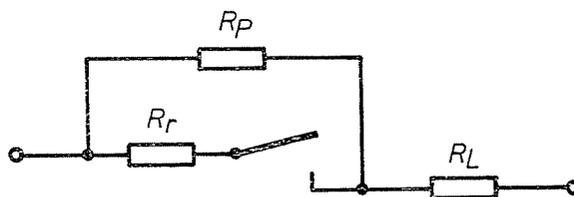
## 2. Verknüpfungsglieder

### 2.1. Dioden und Transistoren als Schalter

#### 2.1.1. Eigenschaften eines Schalters

Ein Schalter ist ein Bauelement, dessen Widerstand zwei extreme Zustände annehmen kann. Bei geschlossenem Schalter ist er sehr klein, bei offenem Schalter sehr groß. In der am häufigsten vorkommenden Schaltung (Abb. 62) liegt in Reihe zum Schalter als Verbraucher der Lastwiderstand  $R_L$ , der je nach Stellung des Schalters entweder stromdurchflossen oder stromlos ist. In Abb. 62 ist ein idealer Schalter darge-

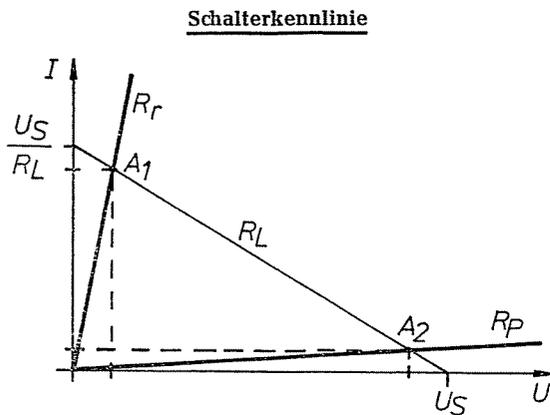
**Wirklicher Schalter**



(Abb. 63)

Die wirklichen Schalter haben weder einen unendlich großen Sperrwiderstand, noch ist ihr Durchlaßwiderstand Null. Abb. 63 zeigt ein Ersatzschaltbild für einen Schalter. Der kleine Reihenwiderstand  $R_r$  bildet den Durchlaßwiderstand nach, der hochohmige Parallelwiderstand  $R_p$  den Sperrwiderstand. Der Strom durch den offenen Schalter ist nicht mehr Null, sondern gleich dem kleinen Sperrstrom. Bei geschlosse-

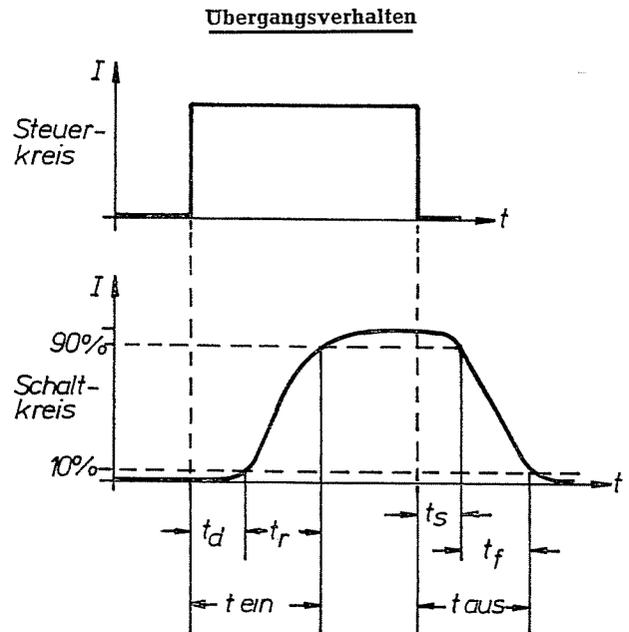
nem Schalter ruft der Strom auch am Durchlaßwiderstand einen Spannungsabfall hervor, es liegt also nicht mehr ganz die volle Spannung am Lastwiderstand. Diese Verhältnisse sind in der Kennlinie in Abb. 64 dargestellt.



(Abb. 64)

Bei geschlossenem Schalter entspricht die Schaltung in Abb. 63 einer Reihenschaltung aus  $R_r$  und  $R_L$ . (Der parallel zu  $R_r$  liegende Widerstand  $R_p$  kann vernachlässigt werden, weil er sehr viel größer als  $R_r$  ist.) Die Widerstandsgeraden für  $R_r$  und  $R_L$  schneiden sich im Arbeitspunkt  $A_1$ . Die Kennlinie zeigt, daß der fließende Strom etwas kleiner ist als der Strom  $\frac{U_S}{R_L}$ , der beim idealen Schalter mit  $R_r = 0$  fließen würde. Am Schalter entsteht ein kleiner Spannungsabfall. Bei offenem Schalter liegt eine Reihenschaltung aus  $R_p$  und  $R_L$  vor; es ergibt sich der Arbeitspunkt  $A_2$ . Es fließt noch ein kleiner Sperrstrom. Die Spannung am Schalter ist um den Spannungsabfall, den der Sperrstrom am Lastwiderstand hervorruft, kleiner als die Speisespannung  $U_S$ .

**Damit ein Schalter seine Funktion erfüllen kann, muß sein Durchlaßwiderstand klein und sein Sperrwiderstand groß gegenüber dem Lastwiderstand sein.** Im Gegensatz zum idealen Schalter entsteht im wirklichen Schalter sowohl im offenen als auch im geschlossenen Zustand eine Verlustleistung. Durchlaß- und Sperrwiderstand kennzeichnen das statische Verhalten eines Schalters, also seine Eigenschaften in den beiden möglichen Zuständen. Ein weiteres wichtiges Kennzeichen für einen Schalter ist die Schaltzeit. Sie ergibt sich aus dem Übergangsverhalten des Schalters vom Sperr- in den Leit-zustand und umgekehrt, dem sogenannten dynamischen Verhalten. In Abb. 65 ist das allgemeine Übergangsverhalten eines Schalters für den Fall dargestellt, daß sich die Eingangsgröße am Steuerkreis des Schalters sprunghaft ändert. Die Einschaltzeit  $t_{\text{ein}}$  setzt sich aus der



- X
- $t_{\text{ein}}$  = Einschaltzeit
  - $t_{\text{aus}}$  = Ausschaltzeit
  - $t_d$  = Verzögerungszeit (delay time)
  - $t_r$  = Anstiegszeit (rise time)
  - $t_s$  = Speicherzeit (storage time)
  - $t_f$  = Abfallzeit (fall time)

(Abb. 65)

Verzögerungszeit  $t_d$  und der Anstiegszeit  $t_r$  zusammen. Bei einem Relais z.B. entspricht die Zeit für die Ankerbewegung der Verzögerungszeit  $t_d$ , die Zeit für den Stromanstieg nach Schließen des Kontaktes der Anstiegszeit  $t_r$ . Zur Ausschaltzeit  $t_{\text{aus}}$  tragen die Speicherzeit  $t_s$  und die Abfallzeit  $t_f$  bei. Bei Relais ist die Speicherzeit  $t_s$  die Zeit vom Öffnen des Relaisstromkreises bis zum Abfall des Relais, die Abfallzeit  $t_f$  die Zeit für das Absinken des Stroms nach Öffnen des Relaiskontaktes. Anstiegs- und Abfallzeit entstehen durch die Schaltungs- und Kontaktkapazitäten.

Die höchste Frequenz, mit der ein Schalter betätigt werden kann, muß eine Periodendauer haben, die mindestens ebenso groß wie die Summe aus Einschalt- und Ausschaltzeit ist. Für die maximale Schaltfrequenz gilt daher:

$$f_{\text{max}} \leq \frac{1}{t_{\text{ein}} + t_{\text{aus}}}$$

Neben dem Durchlaß-, dem Sperrwiderstand und der Schaltzeit interessiert bei Schaltern noch die maximale Schaltleistung. Das ist die Lei-

stung, die der Verbraucher bei geschlossenem Schalter aufnimmt. Sie läßt sich errechnen als Spannung am offenen Schalter, multipliziert mit dem Strom durch den geschlossenen Schalter. Außerdem wird im folgenden noch das Verhalten von Transistorschaltern bei induktiver und kapazitiver Last betrachtet.

### 2.1.2. Dioden als Schalter

Die Diode ist ein Schalter, der durch die Richtung der angelegten Spannung gesteuert wird. Im Gegensatz zum Relais besteht hier keine Trennung zwischen steuerndem Stromkreis und gesteuertem Stromkreis. Abb. 66 zeigt das Schaltbild für eine Diode als Schalter, Abb. 67 die sich einstellenden Arbeitspunkte im Kenn-

dem Strom nimmt der Durchlaßwiderstand ab (s. Arbeitspunkt  $A_1'$ ). Wenn bei steigendem Strom durch ein Bauelement sein Widerstand abnimmt, so bleibt  $I \cdot R$ , der Spannungsabfall am Bauelement, annähernd konstant. Bei Dioden in Durchlaßrichtung rechnet man daher meist nicht mit dem Durchlaßwiderstand, sondern mit dem Spannungsabfall an den Dioden, der insbesondere bei Siliziumdioden sehr konstant ist und hier bei kleinen Strömen ca. 0,7 V beträgt, bei großen Strömen aber teilweise bis zu 2 V ansteigt. (Auch bei mechanischen Kontakten nimmt mit steigendem Strom der Übergangswiderstand ab.)

Bei offenem Schalter, also in Sperrichtung vorgespannter Diode, stellt sich der Arbeitspunkt  $A_2$  ein (Abb. 67). Es fließt nur der sehr kleine, allerdings stark temperaturabhängige Sperrstrom. Die gesamte Spannung fällt praktisch an der Diode ab. Der Sperrwiderstand beträgt einige Megohm bei Germanium- und bis zu einigen Gigaohm bei Siliziumdioden.

Die Schaltzeit wird hauptsächlich durch die Kapazität zwischen der P- und der N-Schicht der Diode und durch den Lastwiderstand bestimmt. Beim Einschalten einer Diode ist Zeit erforderlich, um die Ladungsträger in die Grenzschicht zu drücken, beim Ausschalten, um die Ladungsträger aus der Grenzschicht abziehen. Die Schaltzeit bei Dioden liegt im Bereich von Nano- bis Mikrosekunden.

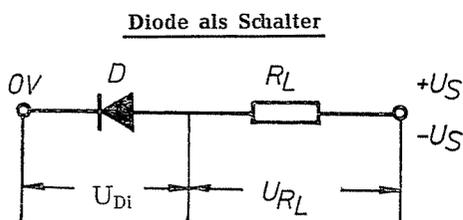
Damit eine Diode nicht zerstört wird, dürfen die maximale Sperrspannung  $U_{Rmax}$  und der maximale Durchlaßstrom  $I_{Fmax}$  nicht überschritten werden. Die Speisespannung  $U_S$  muß also kleiner sein als die maximale Sperrspannung. Der maximale Durchlaßstrom  $I_{Fmax}$  läßt sich aus der maximalen Verlustleistung  $P_{Vmax}$  der Diode und dem Spannungsabfall  $U_F$  an der Diode in Durchlaßrichtung errechnen:

$$I_{Fmax} = \frac{P_{Vmax}}{U_F}$$

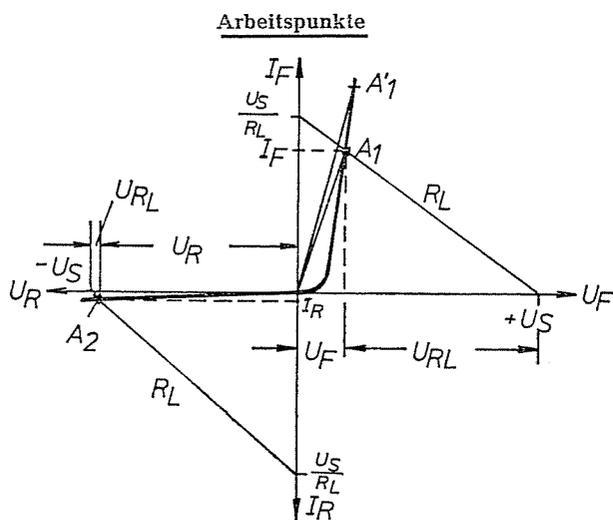
Die maximale Schaltleistung  $P_{Smax}$  beträgt demnach:

$$P_{Smax} = U_{Rmax} \cdot I_{Fmax} = U_{Rmax} \cdot \frac{P_{Vmax}}{U_F} = \frac{U_{Rmax}}{U_F} P_{Vmax}$$

Mit einer Diode kann also eine Leistung geschaltet werden, die um das Verhältnis von maximaler Sperrspannung zum Spannungsabfall an der leitenden Diode größer ist als die maximale Verlustleistung der Diode.



(Abb. 66)



(Abb. 67)

linienfeld. Bei geschlossenem Schalter, also bei in Durchlaßrichtung vorgespannter Diode (Arbeitspunkt  $A_1$ ), liegt der größte Teil der Speisespannung am Verbraucher  $R_L$ ; es fließt ein großer Strom. Der Durchlaßwiderstand  $\frac{U_F}{I_F}$  beträgt unter der Voraussetzung, daß der Arbeitspunkt  $A_1$  auf dem steilen Ast der Kennlinie liegt, je nach verwendeter Diode und fließendem Strom einige Milliohm bis ca. 100 Ohm. Mit steigen-

Ein Beispiel soll dies erläutern. Für die Diode BAX 21 wird den Datenblättern entnommen:  $P_{Vmax} = 440 \text{ mW}$ ,  $U_{Rmax} = 75 \text{ V}$  und  $U_F = 1 \text{ V}$  bei  $100 \text{ mA}$ . Bei größeren Strömen steigt  $U_F$  stärker an, so daß hier im Beispiel aus Sicherheitsgründen  $U_F$  mit  $2 \text{ V}$  angenommen wird. Damit ergibt sich für  $I_{Fmax}$  und  $P_{Smax}$ :

$$I_{Fmax} = \frac{P_{Vmax}}{U_F} = \frac{440 \text{ mW}}{2 \text{ V}} = 220 \text{ mA}$$

$$P_{Smax} = U_{Rmax} \cdot I_{Fmax} = 75 \text{ V} \cdot 220 \text{ mA} = 16,5 \text{ W}$$

oder

$$P_{Smax} = \frac{U_{Rmax}}{U_F} \cdot P_{Vmax} = \frac{75 \text{ V}}{2 \text{ V}} \cdot 440 \text{ mW} = 16,5 \text{ W}$$

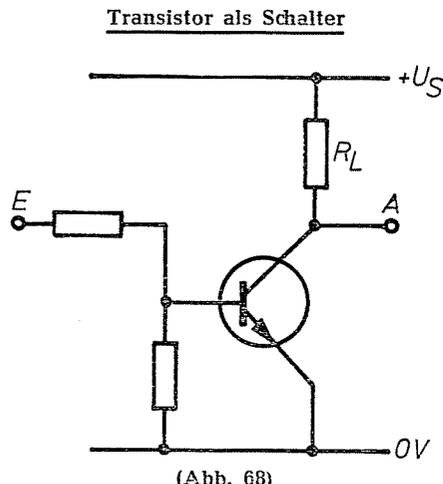
Das Beispiel zeigt deutlich, daß die maximale Schaltleistung viel größer ist als die maximale Verlustleistung der Diode. Die errechnete maximale Schaltleistung wird aber nur erreicht, wenn die Speisespannung  $U_S$  gleich der maximalen Sperrspannung  $U_{Rmax}$  ist und der Lastwiderstand  $R_L$  den Wert hat:

$$R_L = \frac{U_{Rmax}}{I_{Fmax}} = \frac{75 \text{ V}}{220 \text{ mA}} = 341 \text{ Ohm}$$

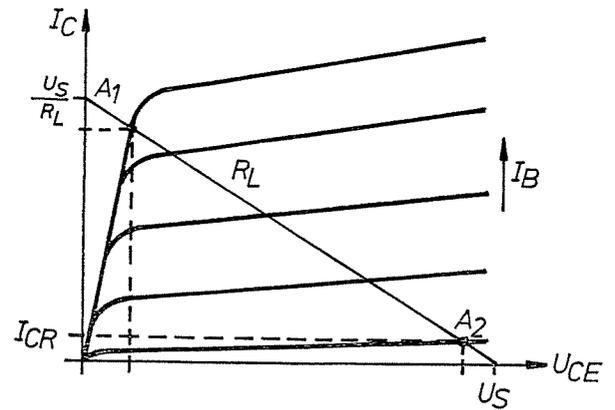
Bei größeren Werten für  $R_L$  wird die maximale Schaltleistung nicht erreicht, bei kleineren Werten von  $R_L$  wird die Diode überlastet.

### 2.1.3. Transistoren als Schalter

Wird ein Transistor als Schalter betrieben, so ist die Kollektor-Emitter-Strecke der Kontaktkreis, die Basis-Emitter-Strecke der Steuerkreis. Wegen des gemeinsamen Emitteranschlusses und der gemeinsamen Basis-Emitter-Diode sind Steuer- und Schaltkreis beim Transistor nicht galvanisch getrennt. Dem geschlossenen Schalter entspricht der vollständig leitende Transistor, dem offenen Schalter der gesperrte Transistor.



### Arbeitspunkte eines Transistorschalters

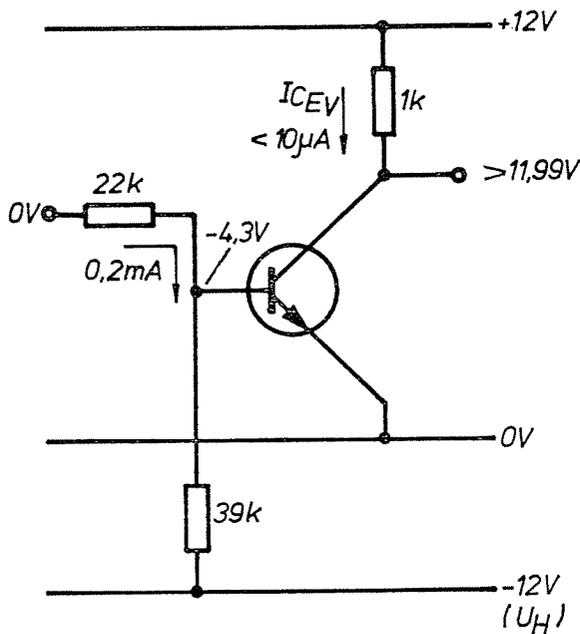


(Abb. 69)

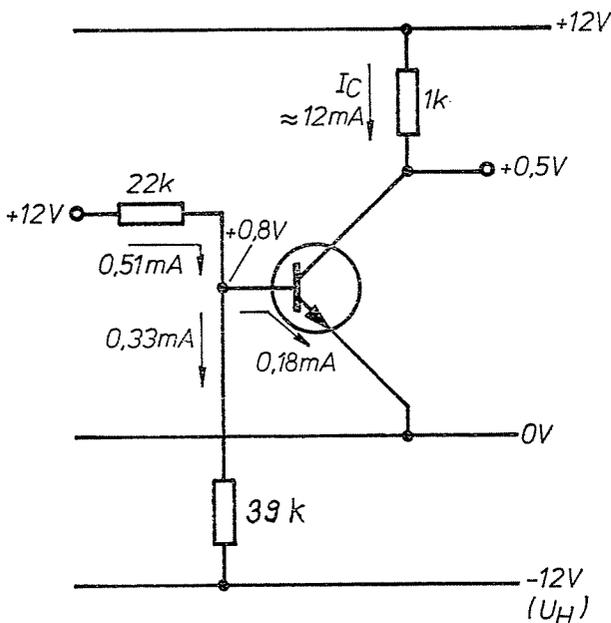
Abb. 68 zeigt eine einfache Schaltung für einen Transistor als Schalter, Abb. 69 die beiden Arbeitspunkte im Ausgangskennlinienfeld. Beim gesperrten Transistor stellt sich der Arbeitspunkt  $A_2$  ein; es fließt nur noch der Kollektorreststrom  $I_{CR}$ . Am Transistor fällt fast die volle Speisespannung ab; die Kollektor-Emitter-Spannung ist nur um den kleinen Spannungsabfall, den der Kollektorreststrom am Lastwiderstand hervorruft, kleiner als die Speisespannung  $U_S$ . Der Kollektorreststrom und damit der Sperrwiderstand sind stark von der Beschaltung des Transistors abhängig (vgl. Abschn. 4.8. im „Handbuch der Elektronik; Teil 1 — Analogtechnik“). Sperrt man, wie bei Transistorschaltern meist üblich, den Transistor in Abb. 68 durch Anlegen des Emitterpotentials ( $0 \text{ V}$ ) an den Eingang, so sind Basis und Emitter über die Parallelschaltung der beiden Widerstände des Eingangsspannungsteilers miteinander verbunden. Es fließt also der Kollektorstrom  $I_{CER}$ . Er ist um so kleiner und damit der Sperrwiderstand um so größer, je kleiner die Widerstände des Eingangsspannungsteilers sind. Die Widerstände dürfen aber nicht beliebig verkleinert werden, weil dann das steuernde Schaltglied zu stark belastet wird.

Um den Reststrom klein zu halten, arbeitet man daher oft mit einer Hilfsspannung  $U_H$ , die beim Sperren des Transistors die Basis-Emitter-Diode in Sperrrichtung vorspannt. Dann fließt nur der kleine Reststrom  $I_{CEV}$ . Abb. 70a und b zeigen die Verhältnisse bei  $0 \text{ V}$  am Eingang (gesperrter Transistor) und bei  $+12 \text{ V}$  am Eingang (leitender Transistor). Die eingetragenen Strom- und Spannungswerte gelten bei Verwendung des Schalttransistors BSY 21.

### Transistorschalter mit Hilfsspannung



(Abb. 70a)

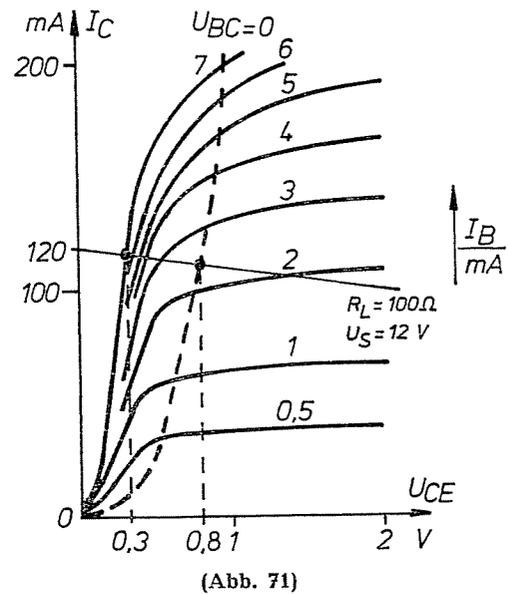


(Abb. 70b)

Die Schaltung zeigt, daß der Spannungsteiler so dimensioniert sein muß, daß bei +12 V am Eingang an der Basis gerade die erforderliche positive Basis-Emitter-Spannung entsteht. Bei 0 V am Eingang ist die Basis-Emitter-Diode mit 4,3 V in Sperrichtung vorgespannt.

Bei leitendem Transistor stellt sich im Ausgangskennlinienfeld der Arbeitspunkt  $A_1$  (Abb. 69) ein. Am Transistor fällt nur noch die kleine Kollektor-Emitter-Sättigungsspannung  $U_{CEsat}$  ab. Sie liegt je nach verwendetem Transistor und der Beschaltung zwischen 0,2 und 1 V. Abb. 71

### Übersteuerungsbereich



(Abb. 71)

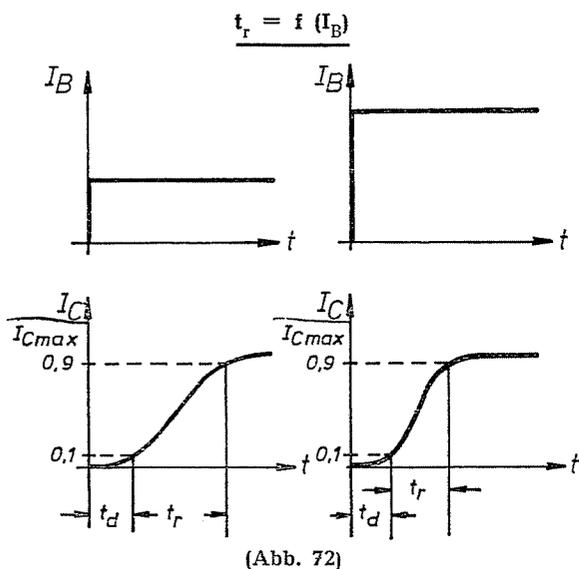
zeigt vergrößert den Ausschnitt aus einem Ausgangskennlinienfeld für kleine Kollektor-Emitter-Spannungen; es enthält ein Stück der Widerstandsgeraden für  $U_S = 12\text{ V}$  und  $R_L = 100\text{ Ohm}$ . Außerdem ist gestrichelt die Linie für  $U_{BC} = 0$  eingezeichnet. Der Bereich links dieser Linie wird Übersteuerungsbereich genannt. Hier ist die Basis-Kollektor-Diode in Durchlaßrichtung vorgespannt. In Abb. 70b liegt demnach Übersteuerung vor, weil die Basis um 0,3 V positiver ist als der Kollektor.

Wie Abb. 71 zu entnehmen ist, sinkt mit steigender Übersteuerung die Kollektor-Emitter-Sättigungsspannung, damit natürlich auch der Durchlaßwiderstand. An der Grenze zum Übersteuerungsbereich ( $I_B = 2,5\text{ mA}$ ) beträgt sie 0,8 V, bei starker Übersteuerung ( $I_B = 7\text{ mA}$ ) nur noch 0,3 V. Diese Werte ändern sich natürlich etwas bei Verwendung anderer Transistoren und bei Änderung von  $U_S$  und  $R_L$ . Obwohl der Durchlaßwiderstand mit steigender Übersteuerung kleiner wird, ist die Übersteuerung nicht immer anzustreben, weil sie die Ausschaltzeit des Transistors stark erhöht.

Die **Einschaltzeit** setzt sich, wie in Abschn. 2.1.1. beschrieben, aus der **Verzögerungszeit**  $t_d$  und der **Anstiegszeit**  $t_r$  zusammen. Die Verzögerungszeit ist bei Transistoren sehr klein. Sie ist die Zeit, die die Ladungsträger benötigen, um beim Auftreten der Durchlaßspannung vom Emitter in die Basis zu gelangen, also eine Laufzeit. Die Anstiegszeit (allgemein festgelegt als Zeit für den Anstieg des Kollektorstroms von 10 % auf 90 % seines Endwertes) sinkt mit steigender Übersteuerung. Je höher die an die Basis gelegte Durchlaßspannung und damit der

Basisstrom sind, desto schneller erreicht der Transistor die Kollektor-Emitter-Sättigungsspannung. Ein Kondensator erreicht eine bestimmte Spannung um so schneller, je größer die Ladespannung ist. In Abb. 72 ist diese Abhängigkeit der Anstiegszeit von der Übersteuerung dargestellt.

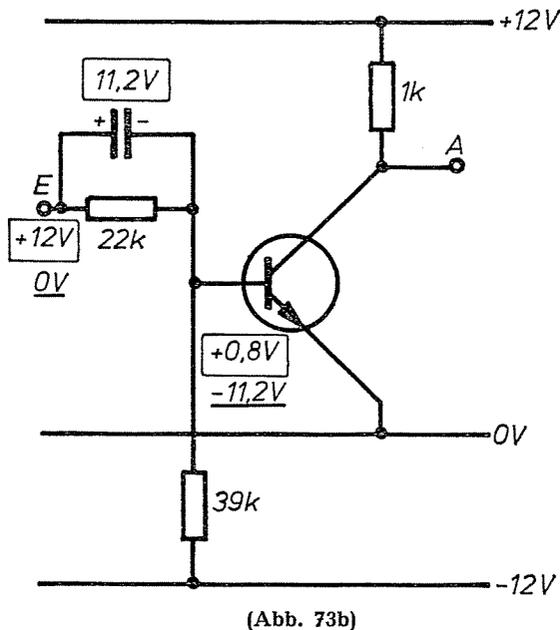
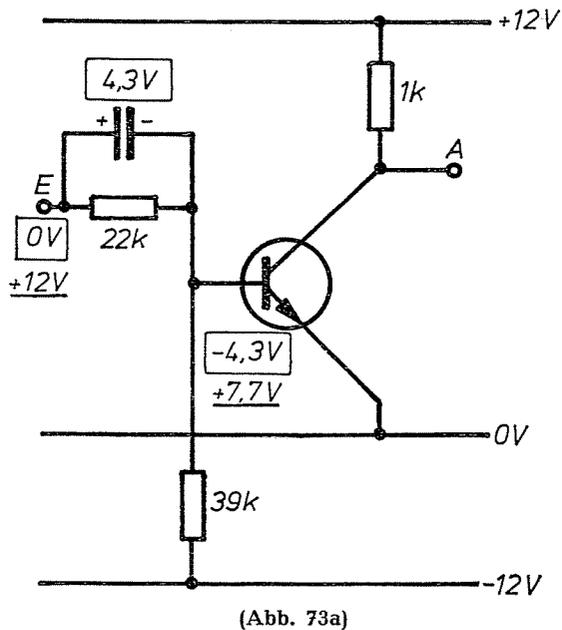
Die Ausschaltzeit  $t_{aus}$  besteht aus der Speicherzeit  $t_s$  und der Abfallzeit  $t_f$ . Die Speicherzeit wird hauptsächlich von der Übersteuerung bestimmt. Das ist die Zeit, in der Ladungsträger aus der übersättigten Basis abgezogen werden, ohne daß sich der Kollektorstrom merkbar ändert. In Abb. 71 ändert sich im Übersteuerungsbereich der Kollektorstrom kaum, wenn der Basisstrom von 7 mA auf 2,5 mA abnimmt. Die Speicherzeit wird sehr klein, wenn man den Übersteuerungsbereich vermeidet. Die Abfallzeit ergibt sich aus den Widerständen und den Kapazitäten eines Transistors. Sie wird um so kleiner, je größer die Spannung in Sperrichtung ist, die an die Basis gelegt wird.



Eine Schaltung, die sowohl Einschalt- als auch Ausschaltzeit verkürzt, ist in ihrer Wirkungsweise in Abb. 73a und b dargestellt. Dabei wird von der Schaltung und den Werten der Abb. 70a und b ausgegangen; parallel zum 22-kOhm-Widerstand liegt der Beschleunigungskondensator, der die Schaltzeitverkürzung bewirkt. In Abb. 73a sind die Beharrungswerte der Potentiale für den gesperrten Transistor umrandet dargestellt. Am Eingang liegen 0 V, an der Basis  $-4,3$  V. Der Kondensator hat sich auf 4,3 V mit Plus am Eingang aufgeladen. Unterstrichen sind die Spannungswerte eingetragen, die bei einem plötzlichen Spannungssprung von 0 V nach +12 V am Eingang auftreten.

Im ersten Moment kann der Kondensator als eine 4,3-V-Batterie aufgefaßt werden. Daher ergibt sich an der Basis ein Potential von +12 V  $- 4,3$  V = +7,7 V. Diese hohe positive Basis-Emitter-Spannung reißt den Transistor sehr schnell auf. Der Beschleunigungskondensator wird dann aufgeladen, bis sich die Beharrungswerte für den leitenden Transistor einstellen, die in Abb. 73b umrandet eingetragen sind: am Eingang +12 V, an der Basis +0,8 V; der Kondensator ist auf 11,2 V aufgeladen. Springt die Spannung am Eingang wieder von +12 V auf 0 V, so

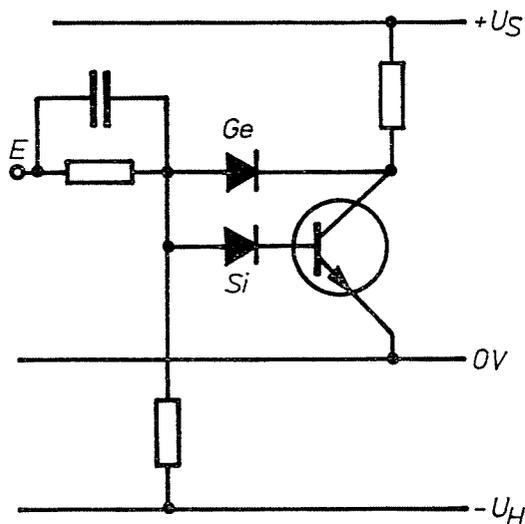
Wirkungsweise des Beschleunigungskondensators



stellen sich im ersten Moment die in Abb. 73b unterstrichenen Werte ein. Die Basis-Emitter-Diode wird mit 11,2 V in Sperrichtung vorgespannt, wodurch der Transistor sehr schnell sperrt. Wenn der Kondensator sich über den 22-kOhm-Widerstand entladen hat, liegen an der Schaltung wieder die in Abb. 73a umrandeten Potentiale.

In Abb. 73b liegt im Beharrungszustand immer noch eine Übersteuerung vor; die Verlängerung der Ausschaltzeit wird auch durch den Beschleunigungskondensator nicht ganz aufgehoben. Eine Übersteuerung kann wegen der Toleranzen der Widerstände und des Transistors bei Änderung des Spannungsteilerverhältnisses nur dann mit Sicherheit vermieden werden, wenn man den Arbeitspunkt weit außerhalb des Übersteuerungsbereichs legt. Dadurch wird aber der Durchlaßwiderstand stark vergrößert. Abb. 74 zeigt eine Schaltung, die eine Übersteuerung sicher vermeidet. Die Basis ist immer um den Spannungsabfall an der Siliziumdiode (ca. 0,8 V) negativer als der gemeinsame Anodenanschluß beider Dioden. Der Kollektor ist aber höchstens um 0,3 V, um den Spannungsabfall an der Germaniumdiode, negativer.

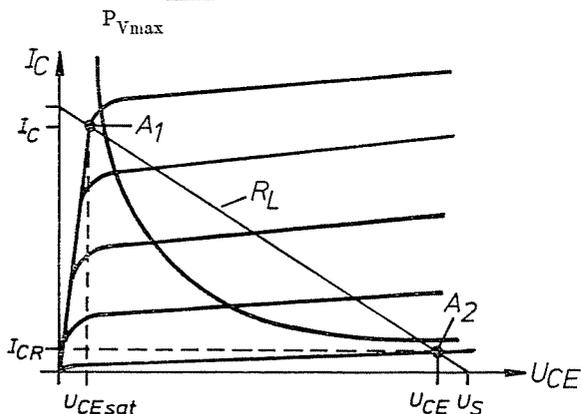
Transistorschalter ohne Übersteuerung



(Abb. 74)

Dadurch kann der Kollektor nie negativer als die Basis werden, die Basis-Kollektor-Diode bleibt immer mindestens um die Differenz aus dem Spannungsabfall an der Siliziumdiode und dem an der Germaniumdiode in Sperrrichtung vorgespannt. Dieser Aufwand wird aber nur bei Schaltungen betrieben, die besonders schnell arbeiten sollen.

Ausgangskennlinienfeld



(Abb. 75)

Während bei einem Transistorverstärker die Widerstandsgerade immer unterhalb der Verlustleistungshyperbel liegen muß, kann sie bei Transistorschaltern die Verlustleistungshyperbel schneiden. Nur müssen die beiden Arbeitspunkte A1 und A2 unterhalb der PVmax-Linie liegen (Abb. 75). Allerdings darf die Schaltfrequenz dann nicht zu hoch sein. Nach jedem Durchlaufen der Widerstandsgeraden muß der Transistor mindestens so lange im Arbeitspunkt A1 oder A2 verbleiben, bis die beim Überschreiten der PVmax-Linie aufgenommene Wärme wieder an die Umgebung abgegeben worden ist. Die Verlustleistung PV1 im leitenden Zustand (Arbeitspunkt A1) beträgt:

$$P_{V1} = U_{CEsat} \cdot I_C \approx U_{CEsat} \cdot \frac{U_S}{R_L}$$

Für den gesperrten Transistor wird die Verlustleistung PV2 dagegen berechnet nach:

$$P_{V2} = U_{CE} \cdot I_{CR} \approx U_S \cdot I_{CR}$$

Die Schaltleistung, also die Leistung, die der Lastwiderstand RL beim leitenden Transistor aufnimmt, beträgt:

$$P_S = (U_S - U_{CEsat}) I_C \approx U_S \cdot \frac{U_S}{R_L} = \frac{U_S^2}{R_L}$$

Legt man die beiden Arbeitspunkte A1 und A2 ganz dicht an die PVmax-Linie heran, so ist die Schaltleistung um ein Vielfaches größer als die maximale Verlustleistung des Transistors.

Ein Beispiel soll dies veranschaulichen: Für den Transistor BSY 21 wird den Datenblättern entnommen: ICmax = 500 mA, UCEsat ≈ 0,7 V. (0,7 V · 500 mA = 350 mW). Für eine Umgebungstemperatur von 25° C ist PVmax mit 360 mW (ohne Kühlblech) gegeben, außerdem UCEmax = 20 V und ICEV < 10 µA (Tu = 25° C, UCE = 20 V).

Für die volle Ausnutzung der Transistorleistung werden US = 20 V und

$$R_L = \frac{U_S}{I_{Cmax}} = \frac{20 \text{ V}}{0,5 \text{ A}} = 40 \text{ Ohm gewählt.}$$

Damit ergibt sich für die Schaltleistung:

$$P_S \approx U_S \cdot I_{max} = \frac{U_S^2}{R_L} = 20 \text{ V} \cdot 0,5 \text{ A} = \frac{(20 \text{ V})^2}{40 \text{ Ohm}} = 10 \text{ W}$$

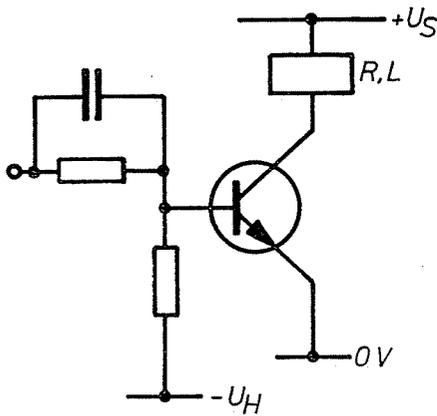
Die Schaltleistung ist in diesem Beispiel fast 30mal größer als die maximale Verlustleistung. Die Verlustleistungen im leitenden und gesperrten Transistor betragen:

$$P_{V1} = U_{CEsat} \cdot I_{Cmax} = 0,7 \text{ V} \cdot 0,5 \text{ A} = 350 \text{ mW}$$

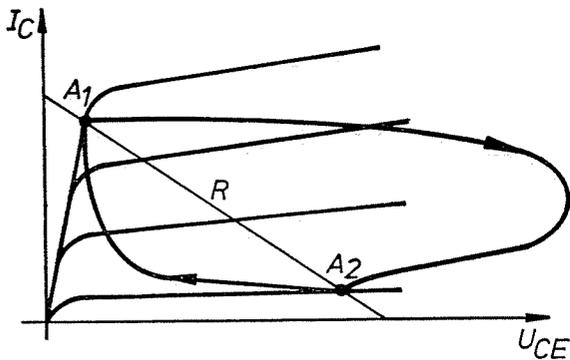
$$P_{V2} = U_S \cdot I_{CR} = 20 \text{ V} \cdot 10 \cdot 10^{-6} \text{ A} = 0,2 \text{ mW}$$

Wenn der Lastwiderstand nicht ein reiner Wirkwiderstand ist, sondern induktiv oder kapazitiv ist, erfolgt der Übergang vom Arbeitspunkt A1 zum Arbeitspunkt A2 nicht entlang der Widerstandsgeraden. Abb. 76a und b zeigen die Verhältnisse bei induktiver Last. Der Lastwiderstand besteht aus einem elektromechanischen Bauteil (z.B. Relais, Zähler), in der Ersatzschaltung aus einer Reihenschaltung aus R und L. Beim Einschalten des Transistors verhindert die Induktionsspannung einen sofortigen Stromanstieg; der Übergang von A2 nach A1 erfolgt nach der unteren Kurve. Beim Ausschalten entsteht in der Spule eine hohe Induktionsspannung, so daß der Übergang von A1 nach A2 nach der oberen Kurve erfolgt.

Induktive Last



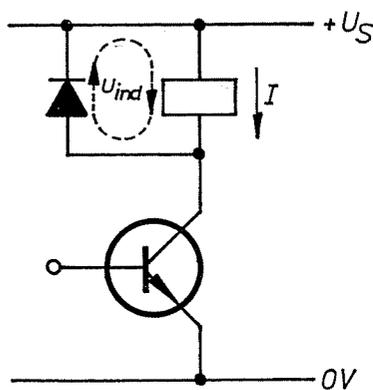
(Abb. 76 a)



(Abb. 76 b)

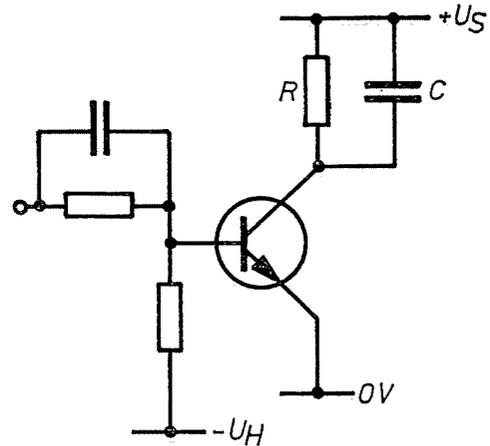
Die hohe Induktionsspannung kann zur Zerstörung des Transistors führen, daher müssen Schutzmaßnahmen getroffen werden. Dafür schaltet man meist eine Diode so parallel zur induktiven Last, daß sie für die Durchlaßrichtung des Transistors sperrt. Für die beim Ausschalten entstehende Induktionsspannung wird die sog. **Freilaufdiode** dann leitend und schließt die Induktionsspannung kurz (Abb. 77). (Vgl. Abschn. 3.5. im „Handbuch der Elektronik; Teil 1 — Analogtechnik“).

Freilaufdiode

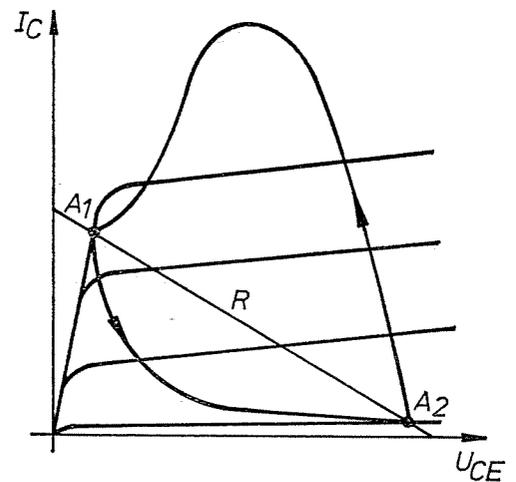


(Abb. 77)

Kapazitive Last



(Abb. 78a)



(Abb. 78b)

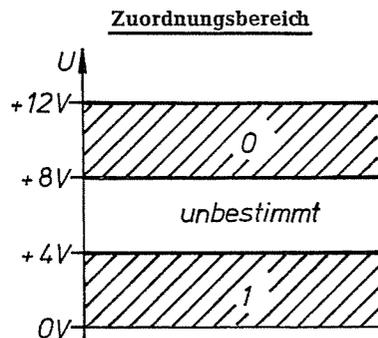
Bei kapazitiver Last ist der Transistor beim Einschalten durch den großen Ladestrom gefährdet (Abb. 78a und b). Der entladene Kondensator schließt im Einschaltmoment den Widerstand R kurz. Dadurch kann der Kollektorstrom auf sehr hohe Werte ansteigen, insbesondere wenn sich im Eingangskreis ein Beschleunigungskondensator befindet. Damit der Transistor durch den hohen Strom nicht zerstört wird, schaltet man in Reihe zum Kondensator einen kleinen Widerstand. Beim Ausschalten des Transistors nimmt der Strom schnell ab, ohne daß die Kollektor-Emitter-Spannung stark zunimmt. Der Arbeitspunkt A<sub>2</sub> wird erst erreicht, wenn sich der Kondensator C über den Widerstand R entladen hat.

## 2.2. Schaltung und Eigenschaften der Verknüpfungsglieder

### 2.2.1. Vorbemerkungen

Ein Verknüpfungsglied ist ein Schaltglied, das Schaltvariable miteinander verknüpft; es ist also die schaltungstechnische Verwirklichung von Schaltfunktionen. Die beiden möglichen Zustände einer binären Schaltvariablen haben wir im Abschn. 1. mit 0 und 1 bezeichnet. Wenn nun Verknüpfungen von Schaltgliedern vorgenommen werden sollen, so müssen den beiden Zuständen 0 und 1 physikalische Größen zugeordnet werden. Bei der Realisierung der Verknüpfungen mit Dioden und Transistoren stellt man 0 und 1 durch zwei verschiedene Spannungen dar. Dabei gibt es zwei Möglichkeiten: Einmal kann man der 1 das positivere (höhere) Potential und der 0 das negativere Potential zuordnen (**positive Zuordnung**, H-Zuordnung, high-logic) und zum anderen der 1 das negativere (tiefere) und der 0 das positivere Potential (**negative Zuordnung**, L-Zuordnung, low-logic). In der Praxis werden beide Zuordnungen ausgenutzt, die positive Zuordnung aber häufiger. Insbesondere verwendet man bei den integrierten Schaltungen überwiegend die H-Zuordnung. Bei Schaltgliedern, die aus einzelnen Bauelementen mit Siliziumhalbleitern aufgebaut sind, wird oft die L-Zuordnung genommen. Sie hat in diesem Fall auch didaktische Vorteile, deswegen wird sie in diesem Handbuch für diskret aufgebaute Schaltungen angewandt.

Bei der Behandlung des Transistors als Schalter haben wir die Spannungen  $+12\text{ V}$  und  $0\text{ V}$  eingesetzt, zusätzlich  $-12\text{ V}$  als Hilfsspannung. Unter Verwendung der negativen Zuordnung ergibt sich damit:  $1 \cong 0\text{ V}$ ,  $0 \cong +12\text{ V}$ . Diese Zuordnung bietet u.a. den Vorteil, daß der leitende NPN-Transistor in der Emitterschaltung am Ausgang den Zustand 1 abgibt. Da jedes Halbleiterbauelement im leitenden Zustand einen Spannungsabfall und im gesperrten Zustand einen Reststrom hat, erreicht man am Ausgang nie die  $0\text{ V}$  oder die  $+12\text{ V}$ . Für die Zustände 0 und 1 können also keine bestimmten Potentiale angegeben werden, sondern nur Potentialbereiche, z.B. 1 negativer als  $+4\text{ V}$  ( $1 \leq +4\text{ V}$ ) und 0 positiver als  $+8\text{ V}$  ( $0 \geq +8\text{ V}$ ; Abb. 79). Spannungen im Bereich zwischen  $+4\text{ V}$  und  $+8\text{ V}$  dürfen bei diesem Beispiel an den Ausgängen der Verknüpfungsglieder nicht auftreten, da dieser Bereich nicht definiert ist. Die Grenzen der beiden Bereiche werden durch die Dimensionierung der Schaltglieder festgelegt oder, wenn die Grenzen vorgegeben sind, bestimmen sie die Dimensionierung der Schaltglieder.



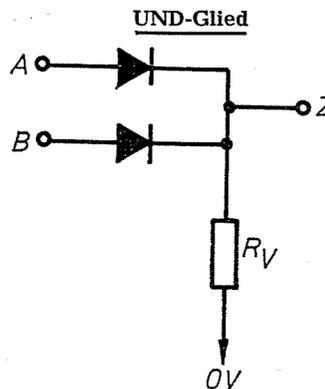
(Abb. 79)

In diesem Band werden vorwiegend die Bezeichnungen nach DIN 44300 verwendet; man findet oft auch andere Bezeichnungen, die sich eng an die amerikanische Literatur anlehnen. Insbesondere tauchen die Begriffe Logik und logisch sehr häufig auf, die nach DIN 44300 als mißverständlich zu vermeiden sind; da heißt es z.B. positive Logik oder H-Logik (high logic) für positive Zuordnung, da werden Verknüpfungsglieder als logische Grundschaltungen (logic elements) bezeichnet, Schaltfunktionen sind logische Funktionen (logic functions), Schaltvariable sind logische Variable (logic variables); für Schaltnetze wird der Begriff logische Schaltungen oder Logik-Schaltungen verwendet. Für Verknüpfungsglieder steht häufig der Ausdruck Gatter (gate), für Schaltnetze dann entsprechend Gatterschaltungen.

In den folgenden Abschnitten werden jetzt die verschiedenen Schaltungen der Verknüpfungsglieder mit ihrer Wirkungsweise und ihren Eigenschaften beschrieben. Dabei gehen wir aber nur auf die Schaltungen ein, die diskret (aus einzelnen Bauelementen) aufgebaut werden. Die Betrachtung der Schaltungsfamilien für integrierte Schaltungen folgt in einem späteren Abschnitt.

### 2.2.2. Dioden-Glieder (DL, diode logic)

Mit normalen Dioden lassen sich keine Verstärkungen erzielen. Es ist auch nicht möglich, nur aus Dioden und Widerständen NICHT-Glieder oder Speicher aufzubauen. **Mit der reinen Diodentechnik können nur Verknüpfungsglieder aufgebaut werden, die keine Negationen enthalten, also nur UND- und ODER-Glieder.**



(Abb. 80)

Abb. 80 zeigt ein UND-Glied in Diodentechnik für negative Zuordnung. Vereinfacht ausgedrückt lautet die Zuordnung:  $1 \cong 0 \text{ V}$ ,  $0 \cong +12 \text{ V}$ . Zur Erklärung der Wirkungsweise ist in der Tabelle 47 noch einmal die Funktionstabelle für die UND-Verknüpfung dargestellt. Die Tabelle enthält neben den Zuständen 0 und 1 der Schaltvariablen auch die zugeordneten Spannungswerte. Die Bezeichnung der vier Zeilen (Eingangskombinationen) mit a bis d bezieht sich auf die zugehörigen Abb. 81a bis d.

Funktionstabelle

	A	B	Z
a)	0 (+12 V)	0 (+12 V)	0 (+12 V)
b)	0 (+12 V)	1 ( 0 V)	0 (+12 V)
c)	1 ( 0 V)	0 (+12 V)	0 (+12 V)
d)	1 ( 0 V)	1 ( 0 V)	1 ( 0 V)

Tabelle 47

Wirkungsweise des UND-Gliedes

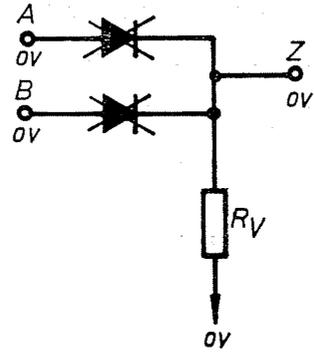
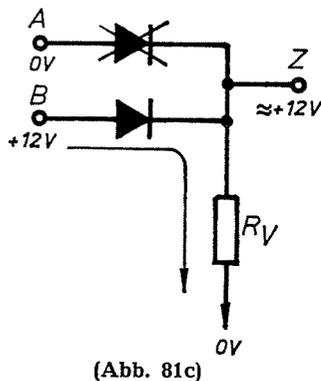
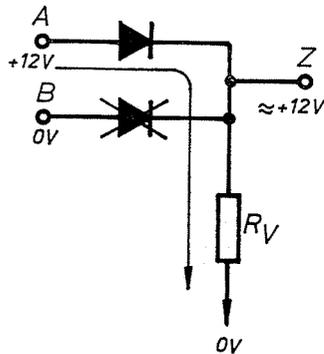
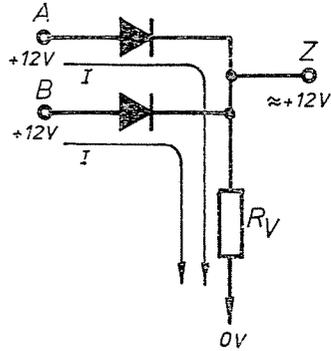
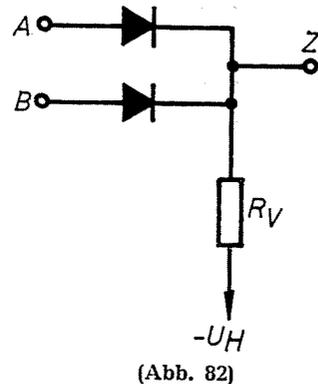


Abb. 81a zeigt den Fall, daß an beiden Eingängen A und B der Zustand 0 (+12 V) anliegt. Beide Dioden sind leitend, und es fließt durch beide ein Strom über den Widerstand  $R_V$  nach 0 V. Der Widerstand  $R_V$  ist relativ hochohmig (einige kOhm und mehr), so daß an ihm fast die ganze Spannung abfällt. Am Ausgang Z stellen sich daher +12 V ein, vermindert um die Schließenspannung der Dioden. Bei der Eingangskombination 01 (Abb. 81b) liegen am Eingang A +12 V; die zugehörige Diode ist leitend und schaltet +12 V durch zum Ausgang. Die untere Diode wird durch +12 V an der Kathode gesperrt. Umgekehrt ist es im Fall c (Abb. 81c). Hier schaltet die jetzt leitende, untere Diode +12 V zum Ausgang durch und sperrt damit die obere Diode. Erst wenn im Fall d (Abb. 81d) beide Eingänge auf 0 V liegen, besteht auch am Ausgang über den Widerstand  $R_V$  das Potential 0 V; beide Dioden sperren.

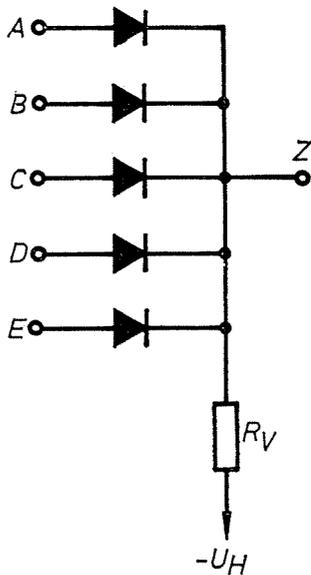
Diese Schaltung hat einen großen Nachteil. Bei der letzten Kombination, bei der das UND-Glied erfüllt ist, liegt der Zustand 1 (0 V) sehr hochohmig über  $R_V$  am Ausgang. Wird der Ausgang mit einem Widerstand belastet, der nicht um ein Vielfaches größer als  $R_V$  ist, so verschiebt sich das Potential am Ausgang Z durch den Spannungsabfall an  $R_V$  so weit, daß es außerhalb des Bereichs liegt, der als 1 definiert ist. Eine starke Verringerung von  $R_V$  ist nicht ratsam, weil dann ein sehr großer Strom fließt, wenn +12 V am Eingang liegen und das davorliegende Schaltglied stark belastet wird. Man verwendet statt dessen die vom Transistorschalter schon bekannte negative Hilfsspannung (Abb. 82). Dadurch wird erreicht, daß beide Dioden auch dann leitend sind, wenn beide Eingänge auf 0 V liegen. Wir erhalten dann 0 V am Aus-

UND-Glied mit Hilfsspannung



gang nicht über den hochohmigen Widerstand  $R_V$ , sondern über die leitenden Dioden. Die Wirkungsweise dieser Schaltung entspricht sonst der Schaltung in Abb. 80.

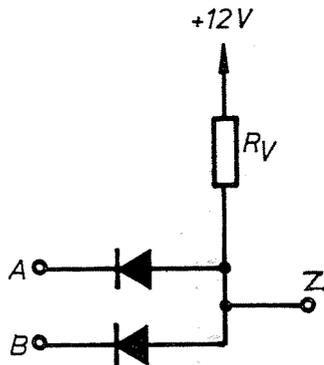
**UND-Glied mit 5 Eingängen**



(Abb. 83)

Verknüpfungsglieder mit Dioden sind nicht auf 2 Eingänge begrenzt, sie lassen sich mit weiteren Dioden auf mehr Eingänge erweitern (Abb. 83). Die Anzahl der Eingänge wird durch die Restströme der gesperrten Dioden begrenzt. Liegen an einem Eingang +12 V (0), so schaltet die leitende Diode die +12 V durch zum Ausgang und sperrt alle Dioden, deren Eingang auf 0 V (1) liegt. (Bei einer UND-Verknüpfung bewirkt eine 0 an einem Eingang eine 0 am Ausgang.)

**ODER-Glied**



(Abb. 84)

Abb. 84 zeigt ein ODER-Glied in Diodentechnik für negative Zuordnung ( $1 \cong 0 \text{ V}$ ,  $0 \cong +12 \text{ V}$ ). Tabelle 48 zeigt wieder die zugehörige Funktionstabelle, die neben den Zuständen 0 und 1 auch die zugeordneten Spannungswerte enthält. Die Zeilenbezeichnung gehört zu den Abb.

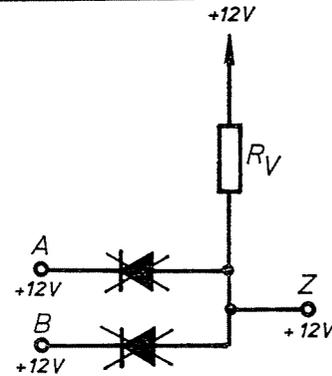
85a bis d, die die Wirkungsweise des ODER-Gliedes zeigen. Die Abbildungen zeigen, daß, sobald an einem Eingang 0 V (1) anliegen, die zugehörige Diode leitend wird und die 0 V zum Ausgang durchschaltet. Die Spannung am Ausgang beträgt nicht genau 0 V, sondern ist gleich der Schleienspannung der verwendeten Dioden (+0,3... +0,8 V).

**Funktionstabelle**

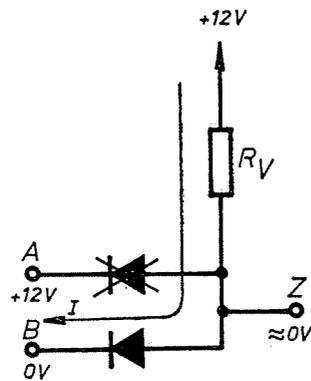
	A	B	Z
a)	0 (+12 V)	0 (+12 V)	0 (+12 V)
b)	0 (+12 V)	1 ( 0 V)	1 ( 0 V)
c)	1 ( 0 V)	0 (+12 V)	1 ( 0 V)
d)	1 ( 0 V)	1 ( 0 V)	1 ( 0 V)

Tabelle 48

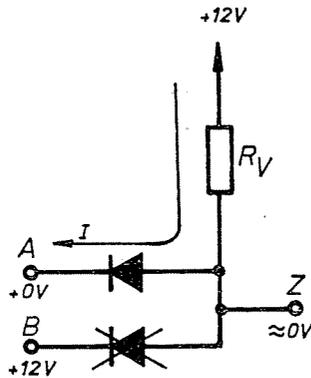
**Wirkungsweise des ODER-Gliedes**



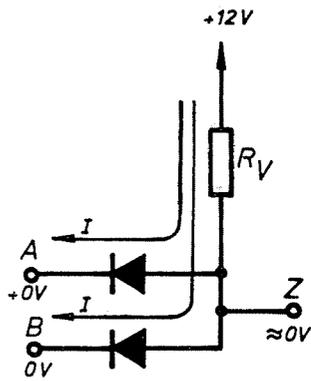
(Abb. 85a)



(Abb. 85b)



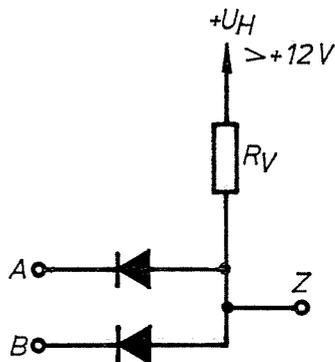
(Abb. 85c)



(Abb. 85d)

Während bei dem UND-Glied ohne Hilfsspannung Zustand 1 (0 V) am Ausgang nicht belastet werden konnte, liegen bei der ODER-Schaltung +12 V (0) hochohmig über  $R_V$  am Ausgang. Das läßt sich wieder vermeiden durch eine Hilfsspannung  $+U_H$ , die hier positiver als +12 V sein muß. Dann sind die Dioden auch leitend, wenn an beiden Eingängen +12 V anliegen. Die +12 V am Ausgang kommen dann nicht mehr über den hochohmigen Widerstand  $R_V$ , sondern über die leitenden Dioden. Man braucht dann aber vier Potentiale:  $+U_H$ , +12 V, 0 V und  $-U_H$ , d.h. einen hohen Aufwand für die Stromversorgung. Man verzichtet daher häufig auf die positive Hilfsspannung und sorgt dafür, daß die ODER-Glieder nur hochohmig belastet werden und  $R_V$  relativ klein ist.

#### ODER-Glied mit Hilfsspannung

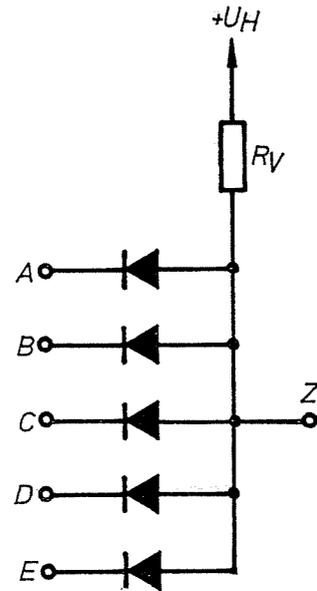


(Abb. 86)

Wie die UND-Glieder lassen sich auch die ODER-Glieder durch weitere Dioden auf mehrere Eingänge erweitern; Abb. 87 zeigt ein ODER-Glied mit 5 Eingängen.

Verwendet man statt der negativen Zuordnung die positive Zuordnung, so wird aus einem UND-Glied ein ODER-Glied und umgekehrt. Dabei ändert sich die Wirkungsweise der Schaltungen nicht. Diese Veränderung der Schaltfunktion beim Wechseln der Zuordnung ist am besten aus der Tabelle 49 zu erkennen.

#### ODER-Glieder mit 5 Eingängen



(Abb. 87)

Hier ist noch einmal die Funktionstabelle für die UND-Verknüpfung mit negativer Zuordnung (Tabelle 47) dargestellt. In Klammern sind zusätzlich die Zustände bei positiver Zuordnung ( $0 \cong 0 \text{ V}$ ,  $1 \cong +12 \text{ V}$ ) eingetragen.

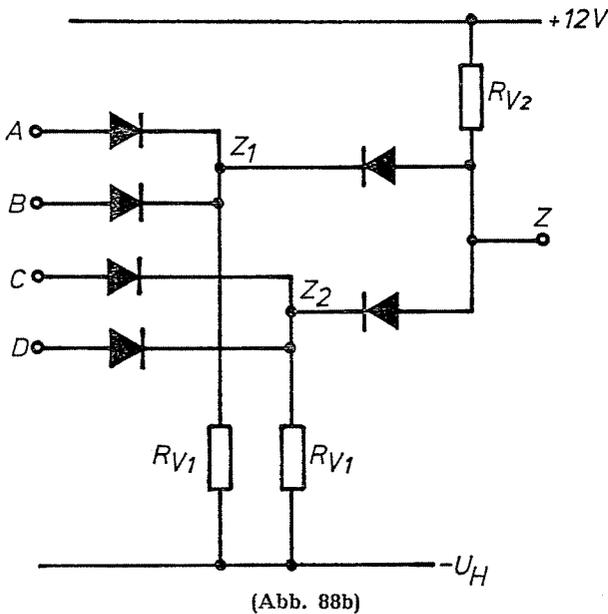
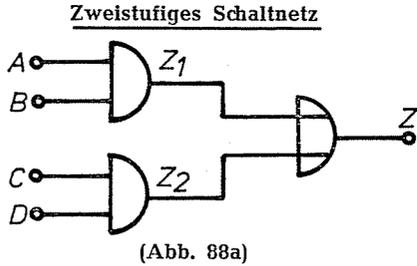
Funktionstabelle		
A	B	Z
0 (1) / +12 V	0 (1) / +12 V	0 (1) / +12 V
0 (1) / +12 V	1 (0) / 0 V	0 (1) / +12 V
1 (0) / 0 V	0 (1) / +12 V	0 (1) / +12 V
1 (0) / 0 V	1 (0) / 0 V	1 (0) / 0 V

Tabelle 49

Während bei der negativen Zuordnung der Ausgang Z der UND-Funktion entspricht, stellt er bei positiver Zuordnung eine ODER-Funktion dar; am Ausgang liegt nur dann 0, wenn beide Eingänge im Zustand 0 sind. Der Wechsel der Zuordnung entspricht einer Negation an allen Eingängen und am Ausgang. Wir wissen aus Abschn. 1., daß ein am Eingang und Ausgang negiertes UND-Glied einem ODER-Glied entspricht und umgekehrt. Man kann daher aus einer Schaltung ohne Kenntnis der Zuordnung nicht erkennen, ob es sich um ein UND- oder ein ODER-Glied handelt. Kennt man die Zuordnung, so hilft folgende Regel: **Bei einem UND-Glied sind die Dioden für den Zustand 0 stärker in Durchlaßrichtung vorgespannt, bei einem ODER-Glied für den Zustand 1.**

Bei den verschiedenen Verknüpfungsgliedern hat ein offener, also unbeschalteter Eingang unterschiedliche Auswirkung. So entspricht ein offener Eingang bei dem UND-Glied nach Abb. 80 dem Zustand 1, was die Abb. 81b und c deutlich zeigen. Ist in Abb. 81b Eingang A offen oder in Abb. 81c der Eingang B, so erhalten wir am Ausgang 0 V, also den Zustand 1. Bei dem ODER-Glied nach Abb. 84 entspricht ein offener Eingang dem Zustand 0, wie aus den Abb. 85b (Eingang B offen) und c (Eingang A offen) zu ersehen ist.

Besondere Probleme ergeben sich bei mehrstufigen Schaltnetzen aus Dioden-Gliedern. Bei dem Schaltnetz in Abb. 88a hat der Ausgang Z den Zustand 1, wenn A und B oder C und D im Zustand 1 sind. Abb. 88b zeigt die zugehörige Schaltung in Diodentechnik. Damit die Schaltung einwandfrei arbeitet, muß, wenn z.B. A und B auf +12 V (0) liegen und C und D offen sind, das Potential am Ausgang Z<sub>2</sub> kleiner als 0 V (1) sein, damit bei 0 V (1) an C und D die beiden unteren Dioden leitend werden.



Es muß also gelten:

$$\frac{R_{V1}}{R_{V1} + R_{V2}} < \frac{U_H}{U_H + 12V}$$

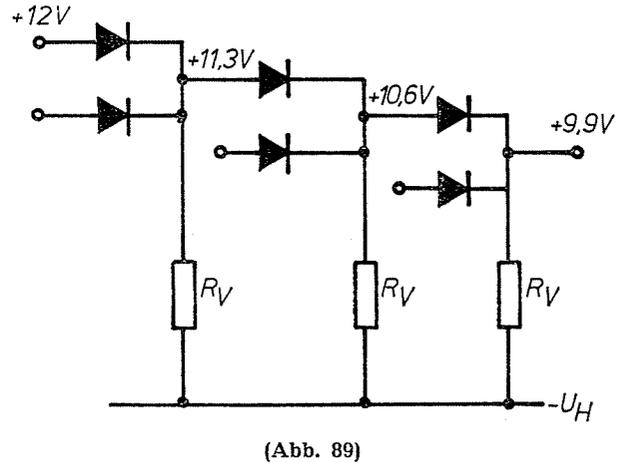
oder umgestellt nach  $R_{V1}$

$$R_{V1} < R_{V2} \frac{U_H}{12V}$$

Bei dieser Betrachtung wurde die Belastung des Ausgangs Z nicht berücksichtigt. Die Last liegt parallel zu  $R_{V2}$  und bestimmt damit auch die Größe von  $R_{V1}$ . Dieses Beispiel soll zeigen, daß Verknüpfungsglieder in Diodentechnik nicht universell kombinierbar sind, sondern für jeden Fall individuell dimensioniert werden müssen.

Ein weiterer Grund für die nicht universelle Kombinierbarkeit reiner Dioden-Glieder liegt in den sich addierenden Spannungsabfällen bei mehrstufigen Schaltnetzen. Abb. 89 zeigt, daß sich die Spannung mit jedem folgenden Dioden-Glied um die Schließenspannung der Dioden (in Abb. 89 um 0,7 V) verringert. Nach einer bestimmten Anzahl von Verknüpfungsgliedern liegt die Ausgangsspannung außerhalb des definierten Bereichs.

Mehrstufige Dioden-Glieder

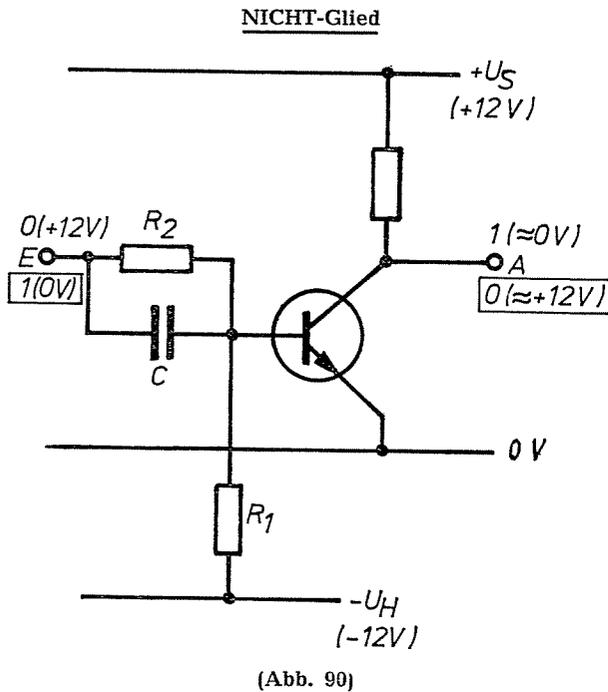


Die Schaltzeit, auch Signallaufzeit genannt, wird bei den Dioden-Gliedern außer durch die eigentliche Schaltzeit der Dioden, die sehr klein ist, vor allem durch die Schaltungskapazität bestimmt, mit der der Ausgang belastet ist. Sie wirkt sich besonders aus, wenn Dioden-Glieder ohne Hilfsspannung verwendet werden. Wenn bei einem derartigen UND-Glied alle Eingänge und damit der Ausgang den Zustand 1 (0 V) annehmen sollen (vgl. Abb. 81d), sperren alle Dioden, und die Schaltungskapazität muß sich über den hochohmigen Widerstand  $R_V$  entladen, was relativ lange dauert. Der Übergang von 0 nach 1 am Ausgang dieses UND-Gliedes ist also langsam. Umgekehrt liegen die Verhältnisse bei einem ODER-Glied ohne Hilfsspannung. Hier sind beim Zustand 0 (+12 V) am Ausgang alle Dioden gesperrt (vgl. Abb. 85a). Die Schaltkapazität muß sich also über den hochohmigen Widerstand  $R_V$  aufladen; der Übergang von 1 nach 0 am Ausgang ist also langsam. Die entgegengesetzten Übergänge verlaufen schneller, weil die Stromkreise über die leitenden Dioden niederohmiger sind.

Wir haben jetzt die Wirkungsweise und die Eigenschaften der Diodentechnik kennengelernt. Sie wird wegen der nochmals zusammengefaßten Nachteile **allein** kaum angewandt: In Diodentechnik sind keine Negationen, daher nur UND- und ODER-Glieder möglich. Sie sind nicht universell kombinierbar, weil sie individuell für jeden Belastungsfall ausgelegt werden müssen und nur eine geringe Anzahl hintereinandergeschaltet werden kann. Bei hohen Werten für  $R_V$  sind sie gering belastbar (kleines Fan out) und haben bei kleinen Werten für  $R_V$  eine große Verlustleistung. Die Diodentechnik wird daher in der Praxis meist zusammen mit Transistorverstärkern verwendet, was zu den im folgenden Abschnitt beschriebenen Dioden-Transistor-Gliedern führt.

### 2.2.3. Dioden-Transistor-Glieder (DTL, diode transistor logic)

Verknüpfungsglieder in Dioden-Transistor-Technik bestehen im Prinzip aus Dioden-Gliedern mit nachgeschalteten Transistorverstärkern. Solche Transistorverstärker arbeiten dabei meist in Emitterschaltung und bewirken eine Negation. Wir wollen uns daher erst einmal die Negation ansehen, die dem in Abschn. 2.1.3. besprochenen Transistorschalter entspricht (Abb. 90). Befindet sich der Eingang im Zustand 0 (+12 V), so erhält die Basis des Transistors über den Spannungsteiler aus  $R_2$  und  $R_1$  positives Potential; der Transistor wird leitend und schaltet den Zustand 1 (0 V) an den Ausgang. Liegt am Eingang des NICHT-Gliedes der Zustand 1 (0 V), so sperrt der Transistor, und über den Widerstand  $R_L$  ist der Ausgang im Zustand 0 (+12 V).



An dieser Stelle soll kurz gezeigt werden, wie ein NICHT-Glied dimensioniert wird. Die Größe von  $R_L$  wird von dem gewünschten Ausgangsfächer (Fan out), also von der Zahl der Eingänge von Verknüpfungsgliedern gleicher Technik, mit der der Ausgang gleichzeitig belastet werden kann, bestimmt. Die Belastbarkeit der Schaltung in Abb. 90 ist bei Zustand 1 am Ausgang größer als beim Zustand 0, weil die 0 V (1) über den leitenden Transistor niederohmiger am Ausgang liegen als die +12 V (0) über  $R_L$ . Der Spannungsteiler aus  $R_L$  und der Parallelschaltung der Eingangswiderstände der angeschalteten Verknüpfungsglieder darf die Spannung am Ausgang nicht unter den definierten 0-Bereich absinken lassen.  $R_L$  muß natürlich mindestens so groß sein, daß bei leitendem Transistor der maximale Kollektorstrom nicht überschritten wird.

Bei der Dimensionierung des Spannungsteilers aus  $R_2$  und  $R_1$  wird vom leitenden Zustand des Transistors ausgegangen. Aus den Kennlinienfeldern werden, nachdem die Widerstandsgerade für  $R_L$  eingezeichnet und der Ar-

beitspunkt für den leitenden Transistor im Übersteuerungsbereich festgelegt ist, die Werte für  $U_{BE}$  und  $I_B$  abgelesen. Für den Querstrom im Spannungsteiler gilt folgendes: Einmal soll er möglichst klein sein, damit der Eingang der Negation sehr hochohmig ist, zum anderen soll er möglichst groß sein, damit Streuungen der Transistorwerte, insbesondere der Stromverstärkung und damit des Basisstroms, keinen Einfluß auf  $U_{BE}$  haben. Der Kompromiß liegt bei  $I_Q = 2 \dots 4 I_B$ . Damit lassen sich  $R_2$  und  $R_1$  ausrechnen (vgl. Abb. 70b):

$$R_2 = \frac{U_S - U_{BE}}{I_Q + I_B} \quad \text{und} \quad R_1 = \frac{U_H + U_{BE}}{I_Q}$$

Beispiel: Ein NICHT-Glied soll mit einem Transistor BC 107 aufgebaut werden. Der Lastwiderstand  $R_L$  soll 1 kOhm betragen,  $U_S = +12$  V,  $U_H = -12$  V. Aus dem Kennlinienfeld (hier nicht dargestellt) kann man für den Arbeitspunkt bei völlig leitendem Transistor entnehmen:  $U_{BE} = 0,75$  V,  $I_B = 0,25$  mA. Für  $I_Q$  werden 0,85 mA gewählt. Damit ergibt sich für die Widerstände:

$$R_2 = \frac{12 \text{ V} - 0,75 \text{ V}}{0,85 \text{ mA} + 0,25 \text{ mA}} = \frac{11,25 \text{ V}}{1,1 \text{ mA}} = 10,2 \text{ kOhm}$$

gewählt: 10 kOhm aus der Reihe E 6

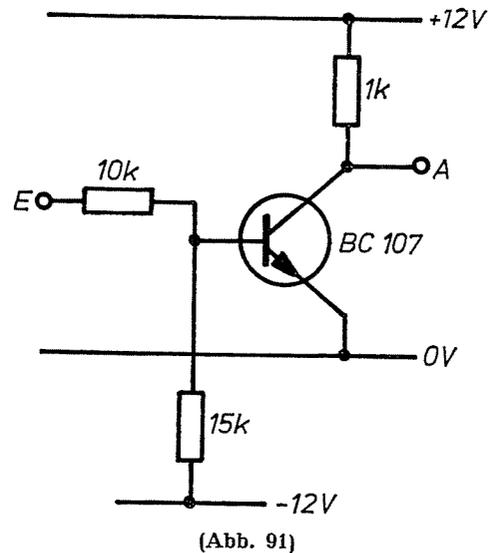
$$R_1 = \frac{12 \text{ V} + 0,75 \text{ V}}{0,85 \text{ mA}} = \frac{12,75 \text{ V}}{0,85 \text{ mA}} = 15 \text{ kOhm}$$

gewählt: 15 kOhm aus der Reihe E 6

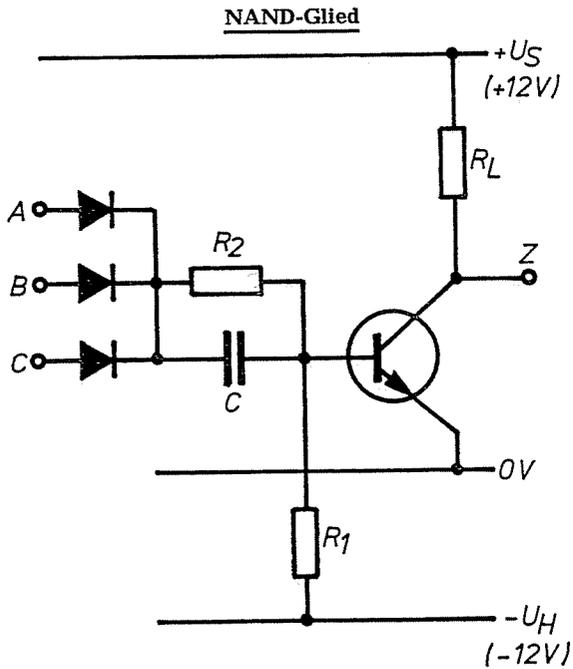
Im gesperrten Zustand, also bei 0 V am Eingang, stellt sich an der Basis eine Spannung in Sperrichtung ein von:

$$U_{BE} = -12 \text{ V} \frac{10 \text{ kOhm}}{25 \text{ kOhm}} = -4,8 \text{ V}$$

#### Dimensioniertes NICHT-Glied

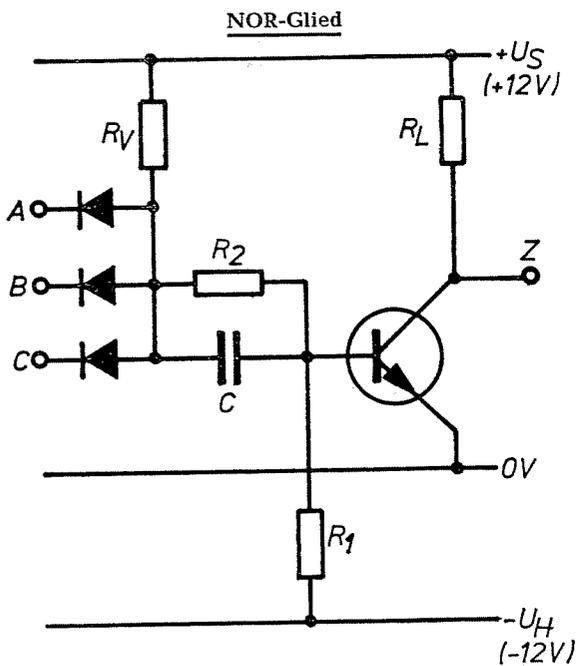


**Charakteristisch für die Dioden-Transistor-Technik sind die NAND- und die NOR-Glieder.** Abb. 92 zeigt ein NAND-Glied für negative Zuordnung; es besteht aus einem UND-Glied mit nachgeschaltetem NICHT-Glied. Die Widerstände  $R_2$  und  $R_1$  haben in dieser Schaltung eine doppelte Funktion: sie sind einmal der Widerstand  $R_V$  für das UND-Glied (vgl. Abb. 82), zum anderen der Eingangsspannungsteiler für das NICHT-Glied (vgl. Abb. 90).



(Abb. 92)

Bei dem dargestellten NAND-Glied ist  $Z = \overline{ABC} = \overline{A} \vee \overline{B} \vee \overline{C}$ , d.h., der Ausgang ist also im Zustand 1, solange noch wenigstens ein Eingang im Zustand 0 ist. Wenn an einem oder mehreren der Eingänge A, B und C +12 V (0) anliegen, so sind die entsprechenden Dioden leitend, der Transistor erhält positive Basisvorspannung, wird leitend und schaltet 0 V (1) an den Ausgang. Die Dioden, an deren Eingang 0 V liegen, sperren. Erst bei 0 V (1) an allen Eingängen wird die Basis des Transistors negativ. Der Transistor sperrt, und am Ausgang liegen über den Widerstand  $R_L$  +12 V (0).



(Abb. 93)

In Abb. 93 ist ein NOR-Glied (L-Zuordnung) dargestellt. Deutlich ist zu erkennen, daß es sich aus einem vollständigen ODER-Glied (Dioden und  $R_V$ ) und einer vollständigen Negation ( $R_2$ ,  $R_1$ , C, Transistor und  $R_L$ ) zusammensetzt. Die Schaltfunktion für Z lautet:

$$Z = \overline{A \vee B \vee C} = \overline{A} \overline{B} \overline{C}$$

Z ist also nur dann im Zustand 1, wenn alle Eingänge im Zustand 0 sind. Wenn an einem oder mehreren der Eingänge A, B und C 0 V (1) anliegen, so sind die entsprechenden Dioden leitend und schalten die 0 V an den Eingang des Spannungsteilers der Negation. Über  $R_2$  und  $R_1$  wird die Basis des Transistors negativ, so daß der Transistor sperrt und am Ausgang über  $R_L$  +12 V (0) liegen. Sind dagegen alle Eingänge im Zustand 0 (+12 V), so liegen auch am Eingang des Spannungsteilers aus  $R_2$  und  $R_1$  ca. +12 V. Die Basis ist jetzt positiv, der Transistor ist leitend und schaltet die 0 V (1) an den Ausgang.

Funktionstabelle

A	B	Z
0 (1)	0 (1)	1 (0)
0 (1)	1 (0)	1 (0)
1 (0)	0 (1)	1 (0)
1 (0)	1 (0)	0 (1)

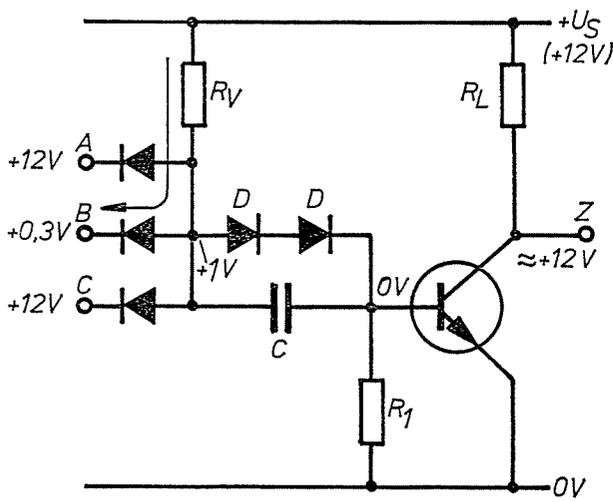
Tabelle 50

Wird die Zuordnung gewechselt, wird aus dem NAND-Glied ein NOR-Glied und umgekehrt. Das ist leicht einzusehen: Ein NICHT-Glied negiert immer, unabhängig von der Zuordnung. Die am Eingang liegenden UND- oder ODER-Glieder vertauschen aber beim Zuordnungswechsel ihre Schaltfunktion (vgl. Abschn. 2.2.2., Tabelle 49). Die Tabelle 50 stellt für die nicht eingeklammerten Werte die Funktionstabelle einer NAND-Verknüpfung dar. Bei einem Wechsel der Zuordnung wird aus einer 0 eine 1 und umgekehrt, es entsteht also die in Klammern dargestellte Funktionstabelle, die einer NOR-Verknüpfung entspricht.

Bei Siliziumtransistoren sind die Restströme sehr klein. Daher ist bei ihnen oft nicht erforderlich, die negative Hilfsspannung zum Sperren zu verwenden. Man benötigt dann nur noch eine Spannungsquelle; das soll am Beispiel der NOR-Glieder gezeigt werden. Abb. 94 unterscheidet sich von Abb. 93 nicht nur dadurch, daß der Widerstand  $R_1$  statt an  $-U_H$  an 0 V liegt; der Widerstand  $R_2$  ist durch die Reihenschaltung aus zwei Dioden ersetzt worden. Dadurch wird ein sicheres Sperren des Transistors bei 0 V (1) an einem Eingang gewährleistet. Die beiden Dioden D werden häufig als Hubdioden bezeichnet.

net; die Zahlenwerte in Abb. 94 zeigen die Wirkungsweise. An den Eingängen A und C liegt der Zustand 0 (+12 V), an B der Zustand 1. Er beträgt nicht genau 0 V, sondern ca. +0,3 V, wenn man davon ausgeht, daß der Zustand 1 an den Eingang B von einem Transistorschalter angelegt wird ( $U_{CEsat} \approx 0,3 \text{ V}$ ). An der zum Eingang B gehörenden Diode entsteht, Siliziumtechnik vorausgesetzt, ein Spannungsabfall von ca. 0,7 V, so daß hinter der Diode ein Potential von +1 V besteht. Würde der Spannungsteiler am Eingang der Negation aus zwei Widerständen bestehen, so hätte die Basis noch eine positive Vorspannung, der Transistor würde nicht richtig sperren. Die Spannung +1 V reicht aber nicht aus, um die beiden Hubdioden leitend zu machen, weil dazu mindestens 1,4 V (2mal Schleusenspannung) erforderlich wären. Die Basis des Transistors liegt daher über  $R_1$  an 0 V, und es fließt nur der bei Siliziumtransistoren genügend kleine Reststrom  $I_{CER}$ .

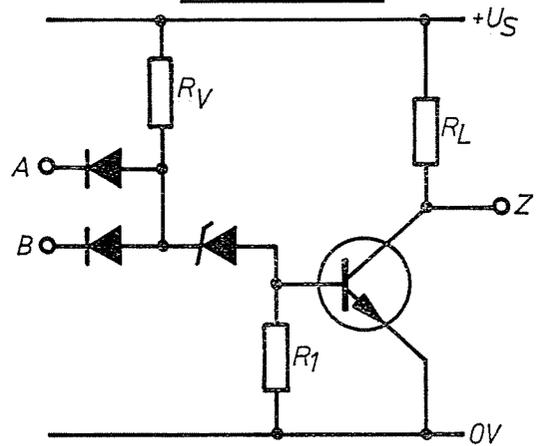
**NOR-Glied ohne Hilfsspannung**



(Abb. 94)

Erhöht man die Spannung am Eingang B (Abb. 94) um 1,1 V auf +1,4 V, so entstehen hinter der Eingangsdiode + 2,1 V und hinter den Hubdioden an der Basis des Transistors +2,1 V — 1,4 V = +0,7 V. Der Transistor wird leitend und die Schaltung erfüllt nicht mehr die NOR-Funktion. Die maximale Störspannung am Eingang muß daher kleiner als 1,1 V sein. Die Störsicherheit der Schaltung kann dadurch erhöht werden, daß man mehr als zwei Dioden in Reihe schaltet. Eine besonders große Störsicherheit ergibt sich, wenn für die Hubdioden eine Z-Diode eingesetzt wird. Diese Technik wird als Dioden-Transistor-Technik mit Z-Dioden (DTLZ, diode transistor logic with Z-diodes) bezeichnet. Sie hat neben dem Vorteil der großen Störsicherheit den Nachteil, daß sie sehr langsam ist. Die betrachteten NAND- und NOR-Glieder

**NOR-Glied (DTLZ)**



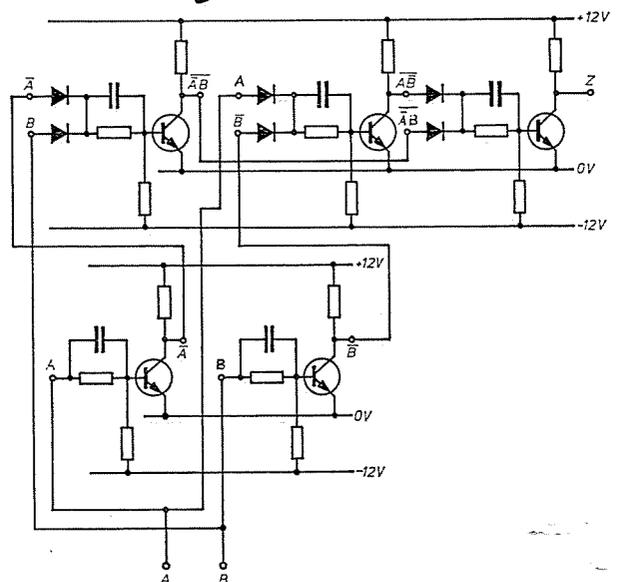
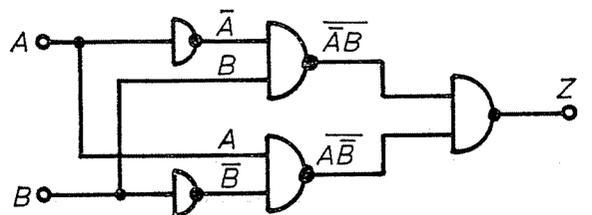
(Abb. 95)

sind universell kombinierbar. Es ist nur darauf zu achten, daß die Ausgänge nicht mit mehr Eingängen belastet werden als zulässig ist. Abb. 96 zeigt als Beispiel ein Antivalenz-Glied in Dioden-Transistor-Technik. Bei einer Antivalenz gilt für Z:

$$Z = \overline{A}B \vee A\overline{B} = \overline{\overline{\overline{A}B} \vee \overline{A\overline{B}}} = \overline{\overline{A} \overline{B}} \overline{A \overline{B}}$$

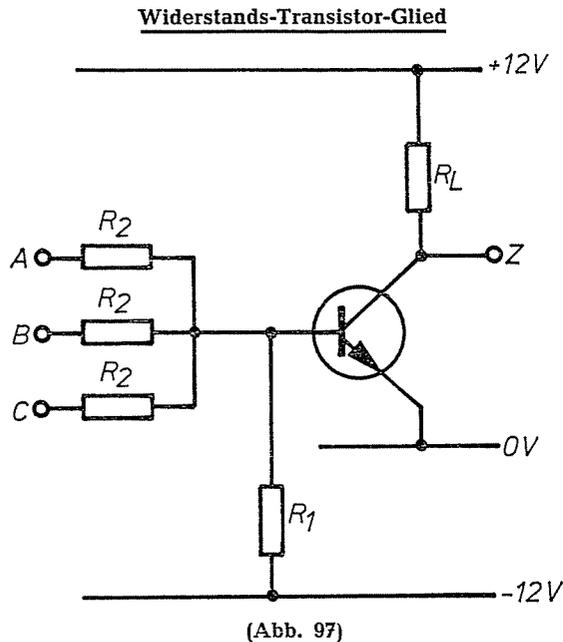
Die letzte Form zeigt das Antivalenz-Glied, zusammengesetzt aus drei NAND-Gliedern und zwei Negationen. Es wird dem Leser empfohlen, alle vier Eingangskombinationen in der vollständigen Schaltung durchzugehen.

**Antivalenz-Glied**

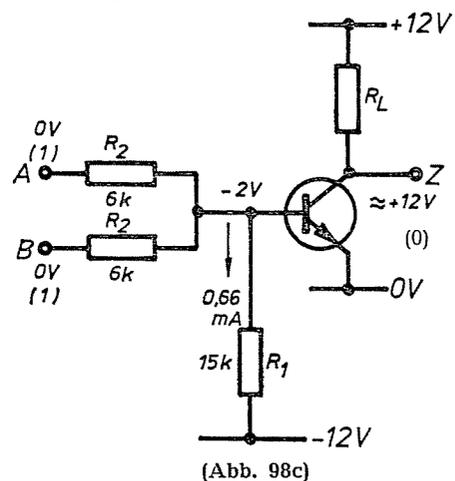
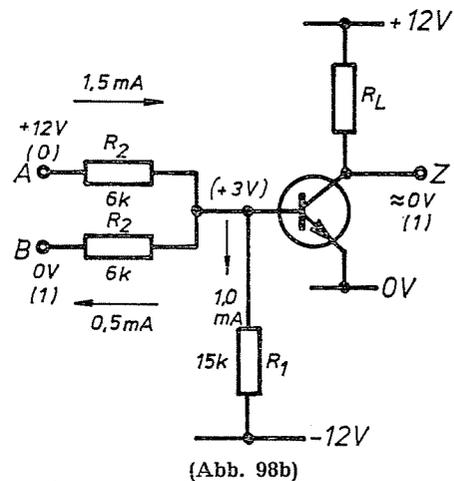
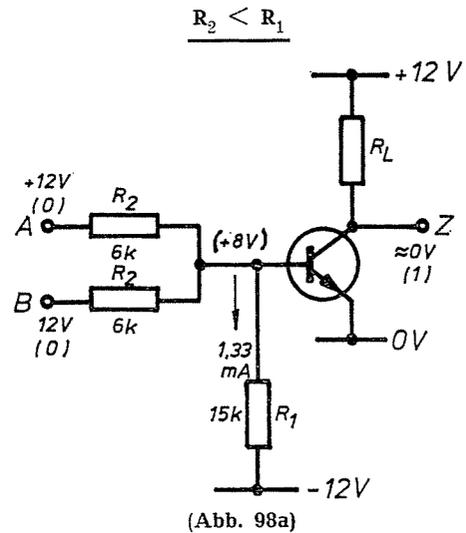


(Abb. 96)

## 2.2.4. Widerstands-Transistor-Glieder (RTL, resistor transistor logic)

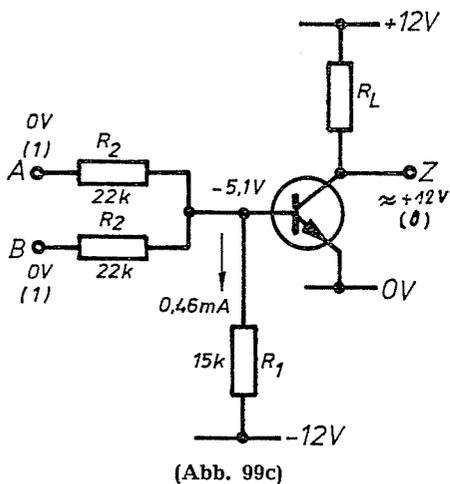
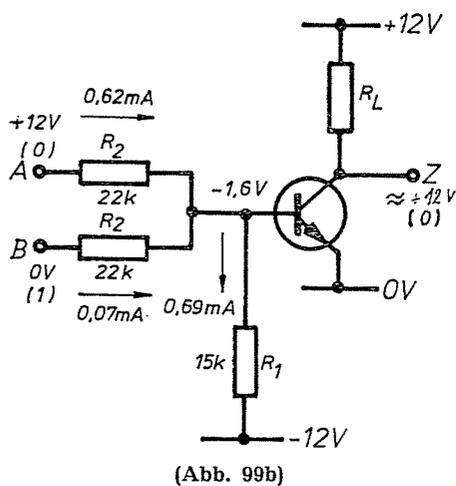
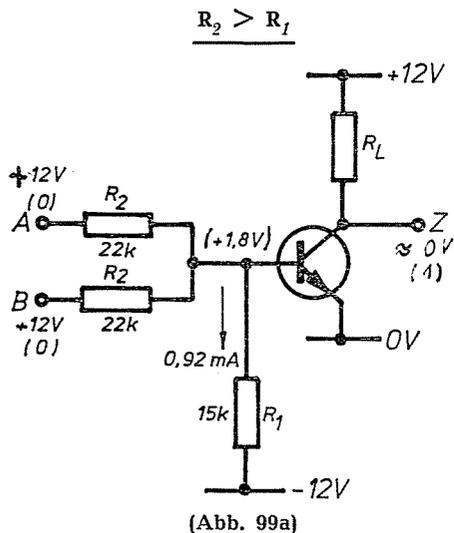


Widerstands-Transistor-Glieder sind besonders einfach aufgebaut. Wie Abb. 97 zeigt, sehen die Schaltungen wie Dioden-Transistor-Glieder aus, bei denen die Dioden durch Widerstände ersetzt sind. Die Schaltfunktion eines Widerstands-Transistor-Gliedes hängt vom Größenverhältnis zwischen  $R_2$  und  $R_1$  ab. In den Abb. 98a bis c sind für ein Verknüpfungsglied mit 2 Eingängen die Verhältnisse dargestellt, wenn  $R_2$  kleiner als  $R_1$  ist. (Die eingetragenen Spannungswerte an der Basis gelten unter Vernachlässigung des Basisstroms.) In Abb. 98a liegen an beiden Eingängen +12 V (0). An der Basis stellt sich eine positive Spannung ein, der Transistor ist leitend und schaltet ca. 0 V (1) an den Ausgang. Die angegebenen +8 V brechen durch den wegen der sehr starken Übersteuerung sehr großen Basisstrom zusammen. Ist ein Eingang im Zustand 0 (+12 V), der andere im Zustand 1 (0 V, Abb. 98b), so ergibt sich an der Basis immer noch eine positive Spannung und am Ausgang damit der Zustand 1 (0 V). Erst wenn an beiden Eingängen 0 V (1) anliegen, sperrt der Transistor, und am Ausgang bestehen über  $R_L$  +12 V (0). Bei  $R_2$  kleiner als  $R_1$  erfüllt das Schaltglied also die NAND-Funktion, der Ausgang ist nur dann im Zustand 0, wenn beide Eingänge im Zustand 1 sind. Das gilt natürlich auch wieder nur für die negative Zuordnung. Wir können hier schon die Nachteile der Widerstands-Transistor-Technik feststellen: Liegen alle Eingänge auf +12 V, so ist der Transistor sehr stark übersättigt, die Schaltzeit also sehr groß. Die einzelnen Eingänge sind nicht gegeneinander entkoppelt; es können daher nur Ver-



knüpfungsglieder mit wenigen Eingängen (kleines Fan-in) und geringer Belastbarkeit (kleines Fan-out) hergestellt werden. Damit diese Schaltungen sicher arbeiten, müssen die Widerstände sehr enge Toleranzen haben.

Abb. 99a bis c zeigen die Verhältnisse, wenn  $R_2$  größer als  $R_1$  ist.

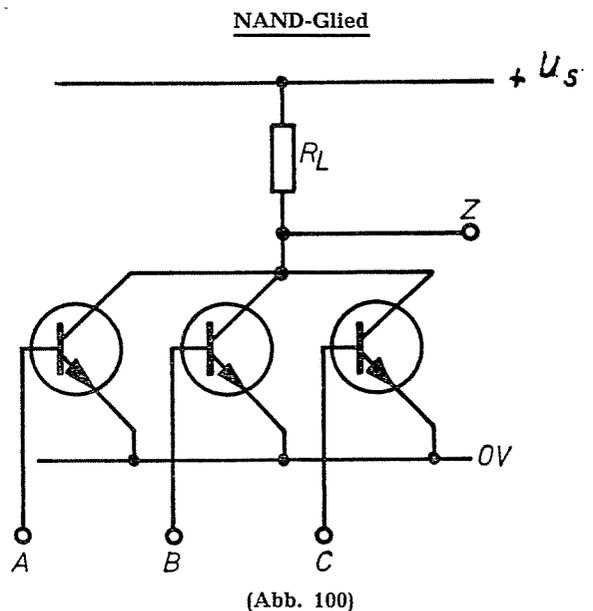


Nur wenn an beiden Eingängen +12 V (0) liegen (Abb. 99a), wird die Basis positiv, und der Transistor schaltet 0 V (1) an den Ausgang. Schon bei 0 V (1) an einem Eingang (Abb. 99b) stellt sich ein negatives Potential an der Basis ein. Am Ausgang liegen über  $R_L$  +12 V (0). Wenn  $R_2$  größer als  $R_1$  ist, stellt die Schaltung also ein NOR-Glied dar. Verwendet man die

positive statt der negativen Zuordnung, so liegt bei  $R_2$  kleiner  $R_1$  ein NOR-Glied, bei  $R_2$  größer  $R_1$  ein NAND-Glied vor.

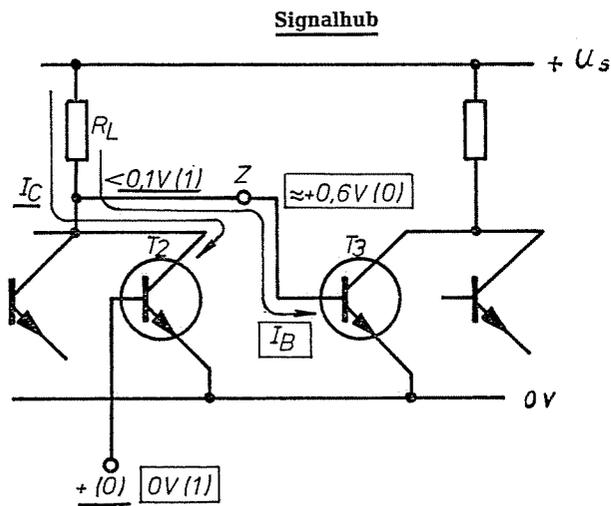
### 2.2.5. Direkt gekoppelte Transistor-Glieder (DCTL, direct coupled transistor logic)

Schaltet man Transistoren direkt zusammen, so ergibt sich eine einfache Technik, die direkt gekoppelte Transistortechnik genannt wird. In reiner Form besteht sie nur aus Transistoren und einem Arbeitswiderstand  $R_L$ . Die typischen Eigenschaften dieser Technik sind kleiner Signalhub (Differenz zwischen 0 und 1  $\geq 0,3$  V), geringe Leistungsaufnahme und kleiner Störabstand. Abb. 100 zeigt ein NAND-Glied für

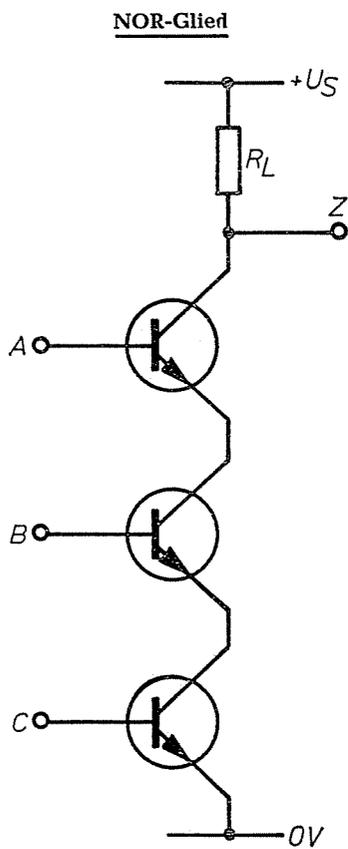


negative Zuordnung. Die Emitter aller Transistoren liegen auf 0 V, die Kollektoren sind zusammengefaßt und über den gemeinsamen Lastwiderstand  $R_L$  mit +  $U_S$  verbunden. Liegt an einem Eingang, also an der Basis eines Transistors, positives Potential (0), wird der entsprechende Transistor leitend und schaltet 0 V (1) an den Ausgang. Wegen der fehlenden Vorwiderstände werden die Transistoren im leitenden Zustand stark übersteuert, so daß  $U_{CEsat}$  sehr klein wird ( $U_{CEsat} < 0,1$  V). Nur bei 0 V (1) an allen Eingängen sperren alle Transistoren, am Ausgang liegt über  $R_L$  positives Potential (0).

Der geringe Signalhub ergibt sich durch die Belastung des Ausgangs. In Abb. 101 sind die Verhältnisse für den leitenden Transistor  $T_2$  unterstrichen dargestellt, umrandet für den gesperrten Transistor. In beiden Fällen fließt ein Strom über den Lastwiderstand  $R_L$ . Bei leitendem  $T_2$  fließt der Kollektorstrom; ist  $T_2$  gesperrt, so wird  $T_3$  leitend und über  $R_L$  fließt der Basisstrom von  $T_3$ , der wegen der starken Übersteuerung der Transistoren in dieser Technik nicht viel kleiner als der Kollektorstrom ist. Der Ausgang Z nimmt statt ca. 0,1 ungefähr 0,6 V an.



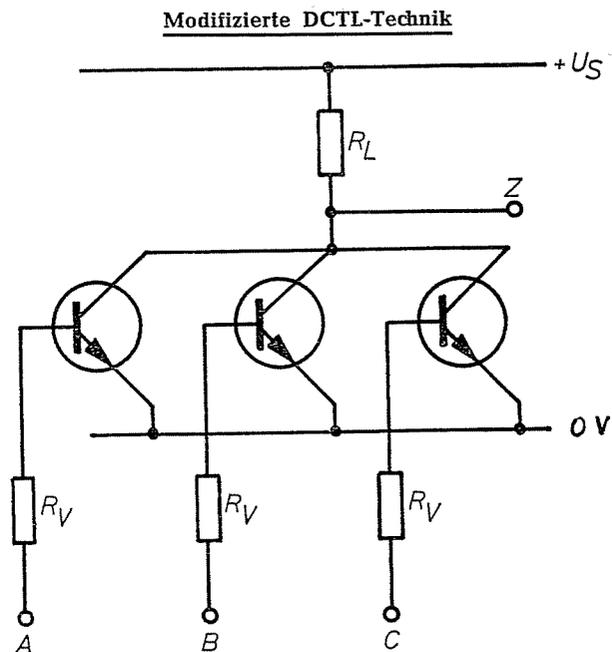
(Abb. 101)



(Abb. 102)

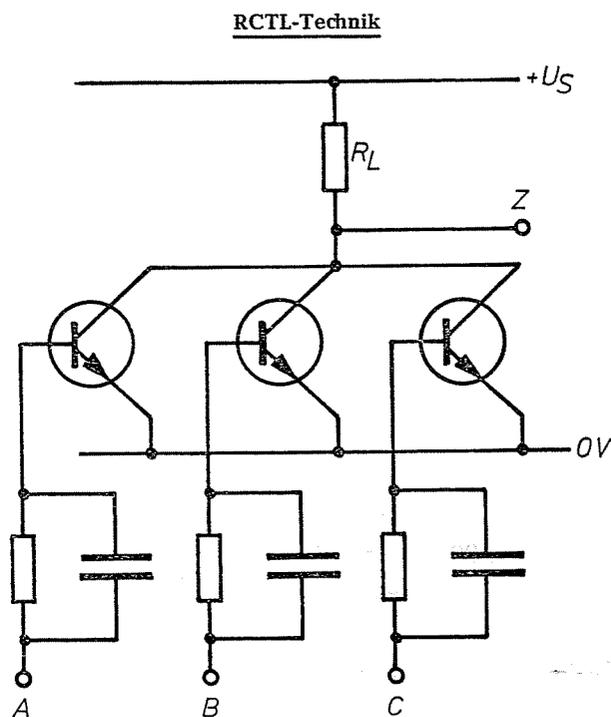
Bei einem NOR-Glied für negative Zuordnung sind die Transistoren in Reihe geschaltet (Abb. 102). Liegt an einem Eingang der Zustand 1 (0 V), so sperrt der jeweilige Transistor und am Ausgang Z besteht über  $R_L$  positives Potential (0). Nur wenn an allen Eingängen positives Potential (0) liegt, sind alle Transistoren leitend und schalten 0 V (1) an den Ausgang Z.

Die Schaltglieder in direkt gekoppelter Transistor-Technik arbeiten nur dann einwandfrei, wenn die Transistoren gleiche Sättigungsspan-



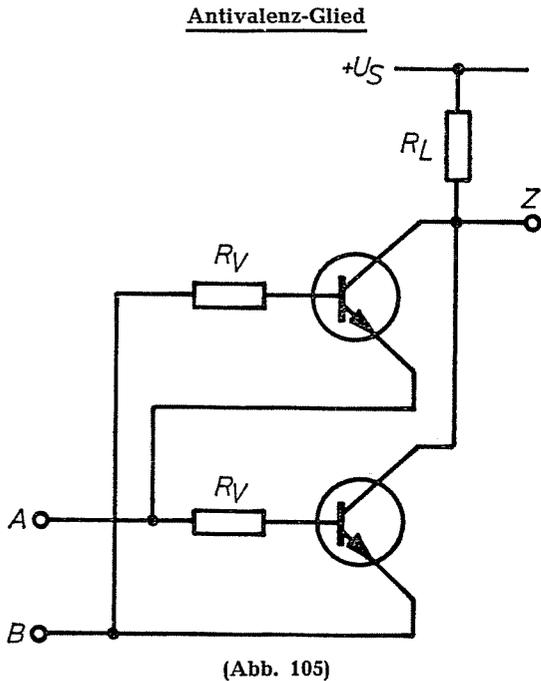
(Abb. 103)

nung und gleiche Basis-Emitter-Schleusenspannung haben. Da dies bei diskret aufgebauten Schaltgliedern nur schwer zu erreichen ist, hat man eine modifizierte DCTL-Technik eingeführt, bei der die unterschiedlichen Transistoreigenschaften durch Vorwiderstände in der Basiszuleitung ausgeglichen werden. Diese Technik wird teilweise auch als Widerstands-Transistor-Technik (RTL) bezeichnet, was zu Verwechslungen mit der im Abschn. 2.2.4. beschriebenen Technik führen kann.



(Abb. 104)

Werden die Vorwiderstände sehr hochohmig, so nehmen die einzelnen Schaltglieder nur sehr wenig Leistung auf. Die Verknüpfungsglieder werden dadurch sehr langsam, da die Ladungsträger über den hohen Vorwiderstand in die Basis gedrückt oder von ihr abgezogen werden müssen. Zur Verringerung der Schaltzeiten werden daher die Vorwiderstände durch die schon bekannten Beschleunigungskondensatoren überbrückt. Die so erhaltene Technik wird als Widerstands-Kondensator-Transistor-Technik (RCTL, resistor capacitor transistor logic) bezeichnet (Abb. 104).



In Abb. 105 ist ein Antivalenz-Glied in direkt gekoppelter Transistor-Technik für negative Zuordnung dargestellt. Eine Antivalenz hat am Ausgang den Zustand 1, wenn die beiden Eingänge ungleich beschaltet sind, wenn also an einem Eingang eine 1, am anderen eine 0 anliegt. Sind in der Schaltung in Abb. 105 beide Eingänge mit 0 V (1) oder beide mit +U<sub>S</sub> (0) verbunden, so sperren beide Transistoren, und am Ausgang liegt über R<sub>L</sub> +U<sub>S</sub> (0). Liegen an A +U<sub>S</sub> (0) und an B 0 V (1), so wird der untere Transistor leitend und 0 V (1) besteht am Ausgang. Bei 0 V (1) an A und +U<sub>S</sub> (0) an B schaltet der obere Transistor die Spannung 0 V (1) an den Ausgang.

### 2.3. Anwendungsbeispiele

In diesem Abschnitt wird anhand von Beispielen der bisher behandelte Stoff nicht nur wiederholt und damit vertieft, sondern gleichzei-

tig in einzelnen Punkten erweitert und ergänzt. So wird u.a. gezeigt, wie die Dioden bei umfangreicheren Schaltnetzen in Diodenmatrizen angeordnet sind und welche Probleme entstehen, wenn einzelne Signale unterschiedliche Laufzeiten haben. Zum anderen enthalten einige Beispiele die Behandlung unbestimmter Funktionswerte, die Erweiterung der Karnaugh-tafel auf fünf Schaltvariable und die Anwendung der Schaltalgebra auf nichttechnische Probleme.

**1. Beispiel:** Es ist ein Schaltnetz zu entwerfen, das Zeichen aus dem Drei-Exzeßcode in die entsprechenden Zeichen des 1-aus-10-Codes umwandelt. Das Schaltnetz soll in Diodentechnik aufgebaut werden.

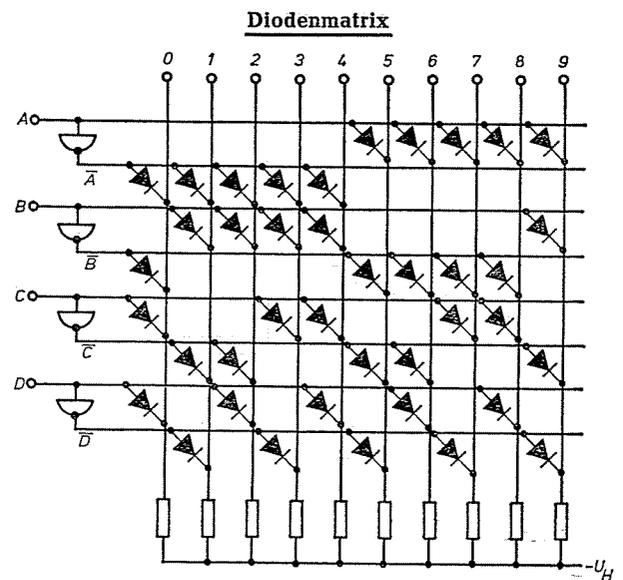
Ein derartiges Schaltnetz, das Zeichen von einem Code in einen anderen überführt, wird als **Umcodierer**, **Codeumsetzer** oder **Codezuordner** bezeichnet. Die Lösung der Aufgabe beginnt mit dem Aufstellen der Funktionstabelle. In Tabelle 51 sind der Drei-Exzeßcode und der 1-aus-10-Code zusammengestellt. Als nächstes muß für jeden der zehn Ausgänge von 0 bis 9 die disjunktive Normalform aufgestellt werden. Da jeder Ausgang nur für eine Eingangskombination den Zustand 1 hat, ergeben sich sehr einfache Ausdrücke:

- 0 =  $\bar{A} \bar{B} C D$       5 =  $A \bar{B} C D$
- 1 =  $\bar{A} B \bar{C} \bar{D}$       6 =  $A \bar{B} \bar{C} D$
- 2 =  $\bar{A} B C D$         7 =  $A \bar{B} C \bar{D}$
- 3 =  $\bar{A} B C \bar{D}$         8 =  $A \bar{B} C D$
- 4 =  $\bar{A} B C D$         9 =  $A \bar{B} \bar{C} D$

Funktionstabelle

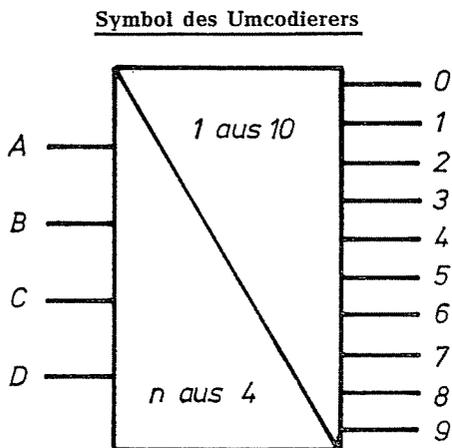
A	B	C	D	0	1	2	3	4	5	6	7	8	9
0	0	1	1	1	0	0	0	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0	0	0	0
0	1	0	1	0	0	1	0	0	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	0	0	1	0	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	0	0	0	1	0	0
1	0	1	1	0	0	0	0	0	0	0	0	1	0
1	1	0	0	0	0	0	0	0	0	0	0	0	1

Tabelle 51



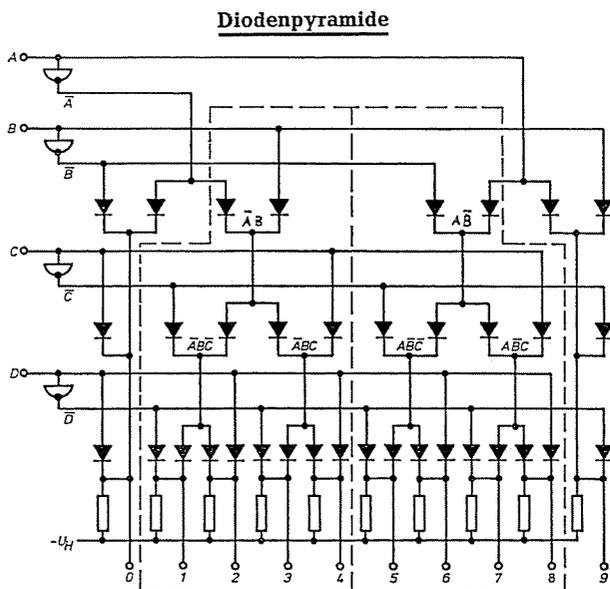
Da jeder Ausdruck nur aus einer UND-Verknüpfung besteht, sind Vereinfachungen mit den bisher besprochenen Methoden nicht möglich. Auf die Darstellung des Schaltnetzes kann hier verzichtet werden, weil es nur aus zehn nebeneinanderliegenden UND-Gliedern mit je 4 Eingängen besteht. Für die Darstellung der Schaltung in Diodentechnik zeichnet man eine Matrix, die aus den sich senkrecht kreuzenden Eingangs- und Ausgangsleitungen gebildet wird (Abb. 106). Für die Diodenmatrix gilt wieder die negative Zuordnung. Jede Ausgangsleitung ist über vier Dioden mit vier Eingangsleitungen verbunden, z.B. die Ausgangsleitung 2 mit den Eingangsleitungen  $\bar{A}$ , B,  $\bar{C}$  und D (vgl.  $2 = \bar{A} B \bar{C} D$ ).

Jede der senkrechten Ausgangsleitungen ist also der Ausgang eines UND-Gliedes mit vier Eingängen. Für jede der zehn Eingangskombinationen des Drei-Exzeßcodes ist nur ein UND-Glied erfüllt. Abb. 107 zeigt das Symbol eines Umcodierers. Die Angabe n aus 4 kennzeichnet in diesem Beispiel den Eingangscode und besagt, daß die Codezeichen aus vier Elementen bestehen, von denen bei den einzelnen Zeichen eine unterschiedliche Anzahl (0 bis 4) im Zustand 1 sein kann.



(Abb. 107)

Gegenüber der Diodenmatrix lassen sich durch Verwendung einer Diodenpyramide (Abb. 108) einige Dioden einsparen. Die Bezeichnung Diodenpyramide hat man gewählt, weil jede Diodenreihe, von unten nach oben gesehen, immer weniger Dioden enthält.



(Abb. 108)

Während die Diodenmatrix 40 Dioden benötigt, kommt die Diodenpyramide mit 36 aus. Die Einsparung erfolgt in den beiden gestrichelt umrandeten Viererblöcken (Abb. 108). Bei der Diodenmatrix sind für vier Ausgänge  $4 \cdot 4 = 16$  Dioden erforderlich, bei der Pyramide nur 14. Werden statt einer Pyramide je Viererblock drei Pyramiden verwendet, so lassen sich noch einmal zwei Dioden einsparen; dann sind nur noch 12 erforderlich. Die Minimierung der Diodenmatrix durch Pyramidenbildung beruht auf der Vermaschung des Schaltnetzes, also auf der gleichzeitigen Ausnutzung einiger Dioden für mehrere Ausgänge.

**2. Beispiel:** Es ist ein Schaltnetz zu entwerfen, das Zeichen aus dem 1-aus-10-Code in die entsprechenden Zeichen des 2-aus-5-Codes umsetzt. Das Schaltnetz soll in Diodentechnik aufgebaut werden.

**Funktionstabelle**

0	1	2	3	4	5	6	7	8	9	$Z_7$	$Z_4$	$Z_2$	$Z_1$	$Z_0$
1	0	0	0	0	0	0	0	0	0	1	1	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	1	0
0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	0	0	0	0	0	1	0	1	0
0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
0	0	0	0	0	0	0	1	0	0	1	0	0	0	1
0	0	0	0	0	0	0	0	1	0	1	0	0	1	0
0	0	0	0	0	0	0	0	0	1	1	0	1	0	0

Tabelle 52

Als erstes wird wieder die Funktionstabelle aufgestellt (Tabelle 52); dann sind die disjunktiven Normalformen für die fünf Ausgänge aufzustellen. Da beim 1-aus-10-Code nur immer ein Eingang im Zustand 1 ist, brauchen die anderen Eingänge, die im Zustand 0 sind, nicht berücksichtigt zu werden. Der Ausdruck für  $Z_7$  lautet daher:

$$Z_7 = 0 \vee 7 \vee 8 \vee 9 \text{ statt}$$

$$Z_7 = 0 \bar{1} \bar{2} \bar{3} \bar{4} \bar{5} \bar{6} \bar{7} \bar{8} \bar{9} \vee \dots$$

Durch das Weglassen der Eingänge im Zustand 0 erhält man bedeutend einfachere Ausdrücke, verzichtet damit aber auch auf die beim 1-aus-10-Code mögliche Fehlererkennung. Für die fünf Ausgänge gilt:

$$Z_0 = 1 \vee 2 \vee 4 \vee 7$$

$$Z_1 = 1 \vee 3 \vee 5 \vee 8$$

$$Z_2 = 2 \vee 3 \vee 6 \vee 9$$

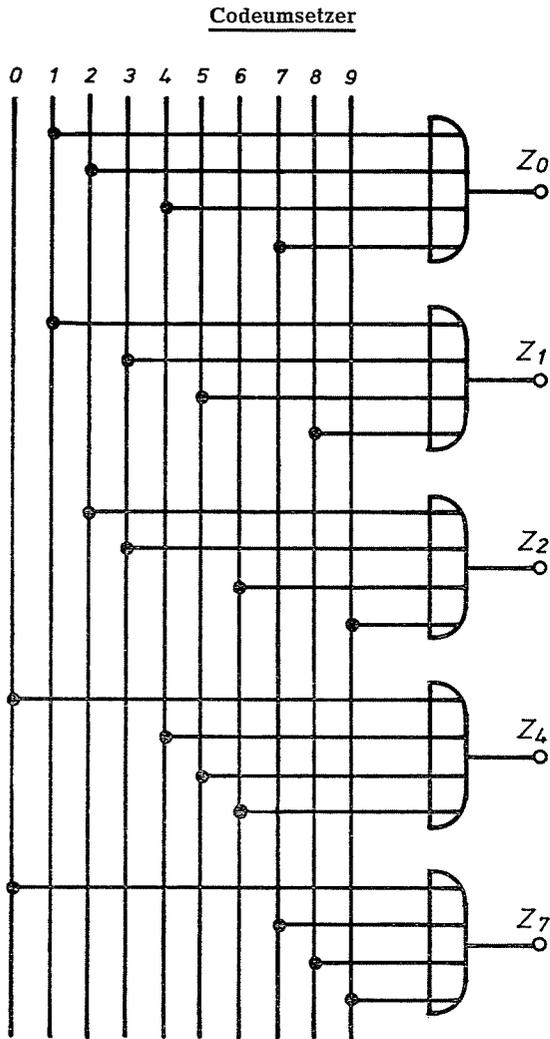
$$Z_4 = 0 \vee 4 \vee 5 \vee 6$$

$$Z_7 = 0 \vee 7 \vee 8 \vee 9$$

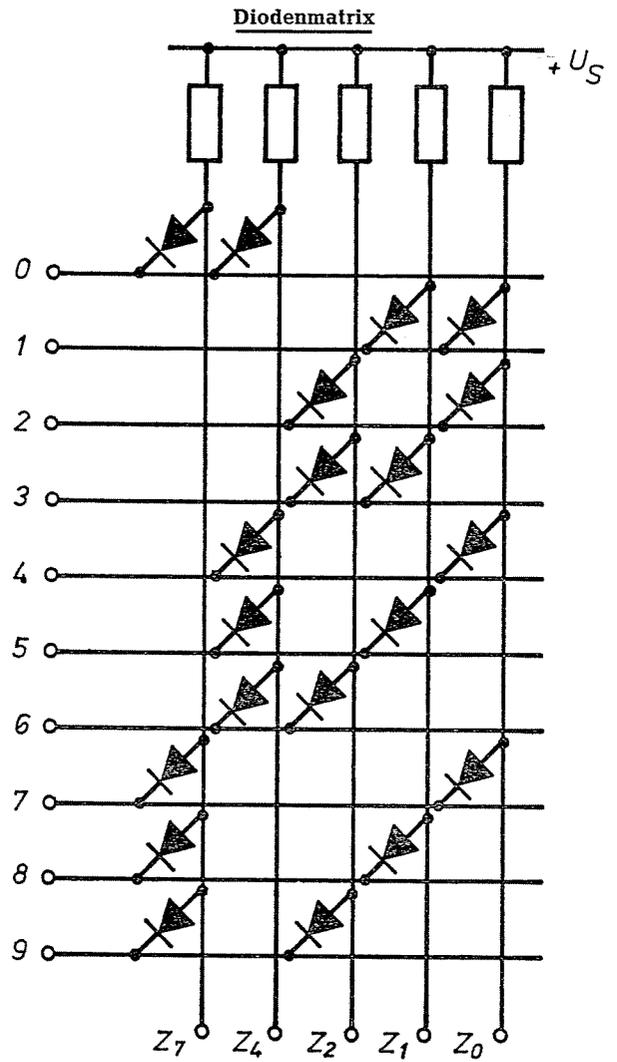
Abb. 109 zeigt das Schaltnetz des Codeumsetzers; es besteht aus fünf ODER-Gliedern mit je vier Eingängen. Ein Vergleich mit dem 1. Beispiel zeigt, daß das entstehende Schaltnetz nur UND-Glieder enthält, wenn der 1-aus-10-Code der Ausgangscode ist, und nur ODER-Glieder, wenn der 1-aus-10-Code der Eingangscode ist. In Abb. 110 ist die Diodenmatrix dieses Codeumsetzers dargestellt; sie enthält 20 Dioden, die die fünf ODER-Glieder mit vier Eingängen bilden. Da von den fünf schaltalgebraischen Ausdrücken für die fünf Ausgänge keine in wenigstens zwei Variablen übereinstimmen, läßt sich diese Diodenmatrix nicht vereinfachen.

**3. Beispiel:** Es ist ein Schaltnetz zu entwerfen, das Zeichen aus dem Drei-Exzeßcode in die entsprechenden Zeichen des 2-aus-5-Codes umsetzt. Das Schaltnetz soll in Diodentechnik aufgebaut werden.

Diese Aufgabe unterscheidet sich von den beiden ersten Beispielen dadurch, daß weder am Eingang noch am Ausgang des Umcodierers der 1-aus-10-Code oder ein anderer 1-aus-n-Code vorliegt. Dadurch wird ein mindestens zweistufiges Schaltnetz erforderlich, der Umcodierer also umfangreicher. Wir werden drei verschiedene Lösungen erarbeiten und sie auf ihren Aufwand und ihre Eigenschaften hin vergleichen.



(Abb. 109)



(Abb. 110)

1. Lösung: Tabelle 53 zeigt wieder die zugehörige Funktionstabelle. Als nächstes werden für die fünf Ausgänge die disjunktiven Normalformen der Funktionstabelle entnommen und so weit wie möglich vereinfacht:

$$Z_0 = \bar{A} B \bar{C} \bar{D} \vee \bar{A} B \bar{C} D \vee \bar{A} B C D \vee A \bar{B} C \bar{D}$$

Das ergibt:

$$\begin{aligned} Z_0 &= \bar{A} B \bar{C} \vee \bar{A} B D \vee A \bar{B} C \bar{D} \\ Z_1 &= \bar{A} B \bar{C} \bar{D} \vee \bar{A} B C \bar{D} \vee \bar{A} B \bar{C} D \vee A \bar{B} C D \\ &= \bar{A} B \bar{D} \vee \bar{A} B \bar{C} \bar{D} \vee A \bar{B} C D \\ Z_2 &= \bar{A} B \bar{C} D \vee \bar{A} B C \bar{D} \vee \bar{A} B \bar{C} D \vee A \bar{B} C \bar{D} \\ Z_4 &= \bar{A} \bar{B} C D \vee \bar{A} B C D \vee \bar{A} B \bar{C} \bar{D} \vee A \bar{B} C \bar{D} \\ &= \bar{A} C D \vee A \bar{B} \bar{C} \\ Z_7 &= \bar{A} \bar{B} C D \vee \bar{A} B \bar{C} \bar{D} \vee \bar{A} B C D \vee A \bar{B} C \bar{D} \\ &= \bar{B} C D \vee A \bar{B} C \vee A B \bar{C} \bar{D} \end{aligned}$$

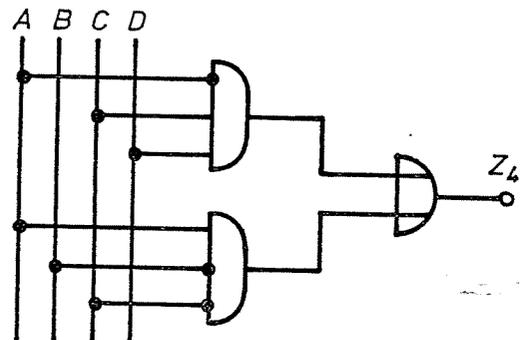
Aus den ersten beiden Ausdrücken läßt sich  $\bar{A} B \bar{C}$  ausklammern, aus den beiden mittleren  $\bar{A} B D$ .

**Funktionstabelle**

A	B	C	D	Z <sub>7</sub>	Z <sub>4</sub>	Z <sub>2</sub>	Z <sub>1</sub>	Z <sub>0</sub>
0	0	1	1	1	1	0	0	0
0	1	0	0	0	0	0	1	1
0	1	0	1	0	0	1	0	1
0	1	1	0	0	0	1	1	0
0	1	1	1	0	1	0	0	1
1	0	0	0	0	1	0	1	0
1	0	0	1	0	1	1	0	0
1	0	1	0	1	0	0	0	1
1	0	1	1	1	0	0	1	0
1	1	0	0	1	0	1	0	0

Tabelle 53

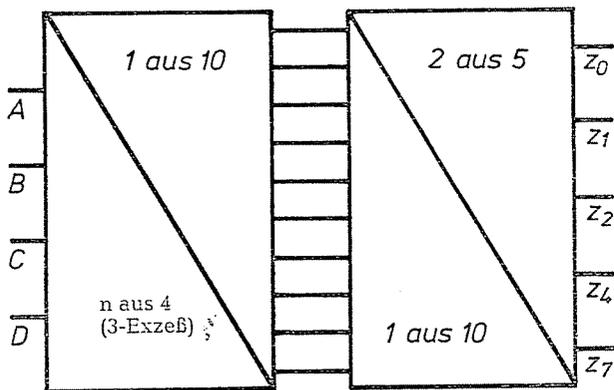
**Schaltnetz für Z<sub>4</sub>**



(Abb. 111)

Für jeden Ausgang ergibt sich ein Schaltnetz aus über ein ODER-Glied zusammengefaßten UND-Gliedern; Abb. 111 zeigt das Schaltnetz für den Ausgang  $Z_4$ . Der Leser möge sich zur Übung die Schaltnetze für die anderen vier Ausgänge selbst aufzeichnen. Der Aufwand für das gesamte Schaltnetz ist relativ hoch. Als Maß für den Schaltungsaufwand soll hier die Zahl der Dioden dienen, die für den Aufbau des Schaltnetzes in Diodentechnik erforderlich ist. Für jeden Eingang eines UND-Gliedes wird eine Diode benötigt und für das folgende ODER-Glied so viele, wie der Ausdruck UND-Glieder enthält. Daher sind erforderlich: für  $Z_0$  13, für  $Z_1$  14, für  $Z_2$  20, für  $Z_4$  8 und für  $Z_7$  13 Dioden, insgesamt also 68 Dioden.

Zweistufige Codeumsetzung



(Abb. 112)

2. Lösung: Im 1. Beispiel wurde ein Codeumsetzer entwickelt, der den Drei-Exzeßcode in den 1-aus-10-Code umsetzt, im 2. Beispiel einer, der dem 1-aus-10-Code den 2-aus-5-Code zuordnet. Wenn man jetzt die Ausgänge der ersten Diodenmatrix (Abb. 106) mit den Eingängen der zweiten Diodenmatrix (Abb. 110) verbindet, so ergibt sich ein zweistufiger Codeumsetzer für die Umwandlung des Drei-Exzeßcodes in den 2-aus-5-Code (Abb. 112). Die genaue Reihenfolge ist Drei-Exzeßcode  $\rightarrow$  1-aus-10-Code  $\rightarrow$  2-aus-5-Code. Elektrisch ist diese Lösung mit der 1. Lösung gleichwertig; in beiden Fällen durchläuft jedes Signal ein UND- und ein ODER-Glied. Der Aufwand der zweistufigen Codeumsetzung ist hier sogar noch kleiner als bei der 1. Lösung. Für die erste Diodenmatrix sind 40, für die zweite 20, insgesamt also nur 60 Dioden erforderlich. Das liegt daran, daß jedes UND-Glied der ersten Matrix für zwei Ausgänge der zweiten Matrix verwendet wird; z.B. führt das UND-Glied  $\bar{A} \bar{B} C D$  zum Ausgang 0 der ersten Matrix (Abb. 106); der Eingang 0 der zweiten Matrix ist über Dioden sowohl mit dem Ausgang  $Z_7$  als auch mit dem Ausgang  $Z_4$  verbunden.

3. Lösung: Bei den ersten beiden Lösungen wurde nur von den zehn Eingangskombinationen des Drei-Exzeßcodes ausgegangen. Bei vier Elementen je Zeichen sind aber 16 verschiedene Kombinationen möglich. Bei den Lösungen 1 und 2 sind alle Ausgänge  $Z_0$  bis  $Z_7$  im Zustand 0, wenn an den Eingängen eine der sechs nicht ausgenutzten Kombinationen (eine der sechs Pseudotetraden) liegt. Wenn durch den gesamten Aufbau der Schaltung sichergestellt ist, daß die Pseudotetraden nie am Eingang anliegen, oder daß, wenn eine anliegt, der Zustand am Ausgang nicht ausgewertet wird, also belanglos ist, dann können die sechs Pseudotetraden zur Vereinfachung der Schaltfunktionen mit herangezogen werden. Die Ausgangskombination für eine Pseudotetrade wird beliebig immer gerade so gewählt, daß eine möglichst weitgehende Vereinfachung möglich ist. In Tabelle 54 sind die Pseudotetraden mit eingetragen. Die zugehörigen Ausgangszustände sind mit x gekennzeichnet; man bezeichnet sie als unbestimmte Funktionswerte.

Das Arbeiten mit unbestimmten Funktionswerten läßt sich am besten mit der Karnaughtafel zeigen. Abb. 113 zeigt die Karnaughtafel mit den eingetragenen Zuständen für den Ausgang  $Z_0$ .

Beim Einzeichnen der Zusammenfassungen werden jetzt die unbestimmten Funktionswerte miterfaßt (dann sieht man sie als 1 an) oder weggelassen ( $x = 0$ ), und zwar so, daß sich möglichst wenige und große Zusammenfassungen ergeben. Die Zusammenfassungen müssen alle 1 umfassen. Bei  $Z_0$  setzen wir, wie Abb. 113 zeigt, für fünf unbestimmte Funktionswerte die 1, für einen die 0 ein. Für  $Z_0$  liest man ab:

$$Z_0 = \bar{A} \bar{C} \vee B D \vee A C \bar{D}$$

Karnaughtafel für  $Z_0$

	AB	$\bar{A}\bar{B}$	$\bar{A}B$	AB	$A\bar{B}$
CD	00	01	11	10	
$\bar{C}\bar{D}$	00	1	9	5	0
$\bar{C}D$	01	X	2	X	6
CD	11	0	4	1	X
$C\bar{D}$	10	X	3	0	X
					7

(Abb. 113)

Funktionstabelle

	A	B	C	D	$Z_7$	$Z_4$	$Z_2$	$Z_1$	$Z_0$
0	0	0	0	0	x	x	x	x	x
1	0	0	0	1	x	x	x	x	x
2	0	0	1	0	x	x	x	x	x
3	0	0	1	1	1	1	0	0	0
4	0	1	0	0	0	0	0	1	1
5	0	1	0	1	0	0	1	0	1
6	0	1	1	0	0	0	1	1	0
7	0	1	1	1	0	1	0	0	1
8	1	0	0	0	0	1	0	1	0
9	1	0	0	1	0	1	1	0	0
	1	1	0	1	x	x	x	x	x
	1	1	1	0	x	x	x	x	x
	1	1	1	1	x	x	x	x	x

Tabelle 54

Karnaughtafel für  $Z_7$

	AB	$\bar{A}\bar{B}$	$\bar{A}B$	AB	$A\bar{B}$
CD	00	01	11	10	
$\bar{C}\bar{D}$	00	X	9	1	5
$\bar{C}D$	01	X	2	0	X
CD	11	1	4	0	X
$C\bar{D}$	10	X	3	0	X
					7

(Abb. 114)

Karnaughtafel für  $Z_1$  bis  $Z_4$

$CD \backslash AB$	$\bar{A}\bar{B}$	$\bar{A}B$	$AB$	$A\bar{B}$
$\bar{C}\bar{D} 00$	X	1	9	5
$\bar{C}D 01$	X	2	X	6
$CD 11$	0	4	X	8
$C\bar{D} 10$	X	3	X	7

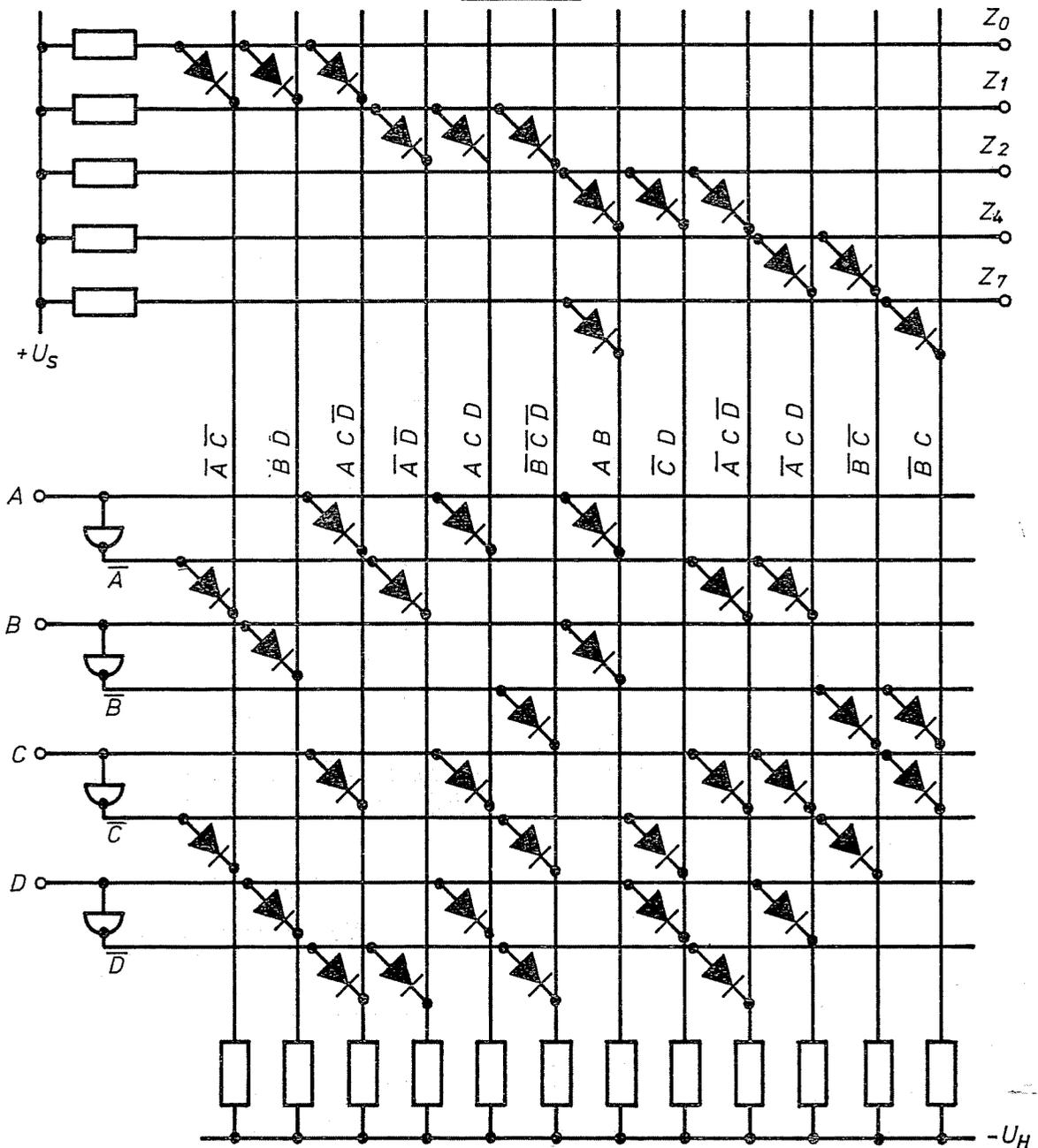
(Abb. 115)

Aus Abb. 114 kann man für  $Z_7$  entnehmen:  $Z_7 = AB\bar{V}\bar{B}C$ . Der Leser möge sich in die Karnaughtafel in Abb. 115, die die unbestimmten Funktionswerte bereits enthält, mit Bleistift nacheinander die Zustände von  $Z_1$ ,  $Z_2$  und  $Z_4$  eintragen und mit Hilfe der Zusammenfassungen die für  $Z_1$ ,  $Z_2$  und  $Z_4$  angegebenen Ausdrücke überprüfen. Zur Vereinfachung ist in jedem Feld die zugehörige Dezimalziffer eingetragen.

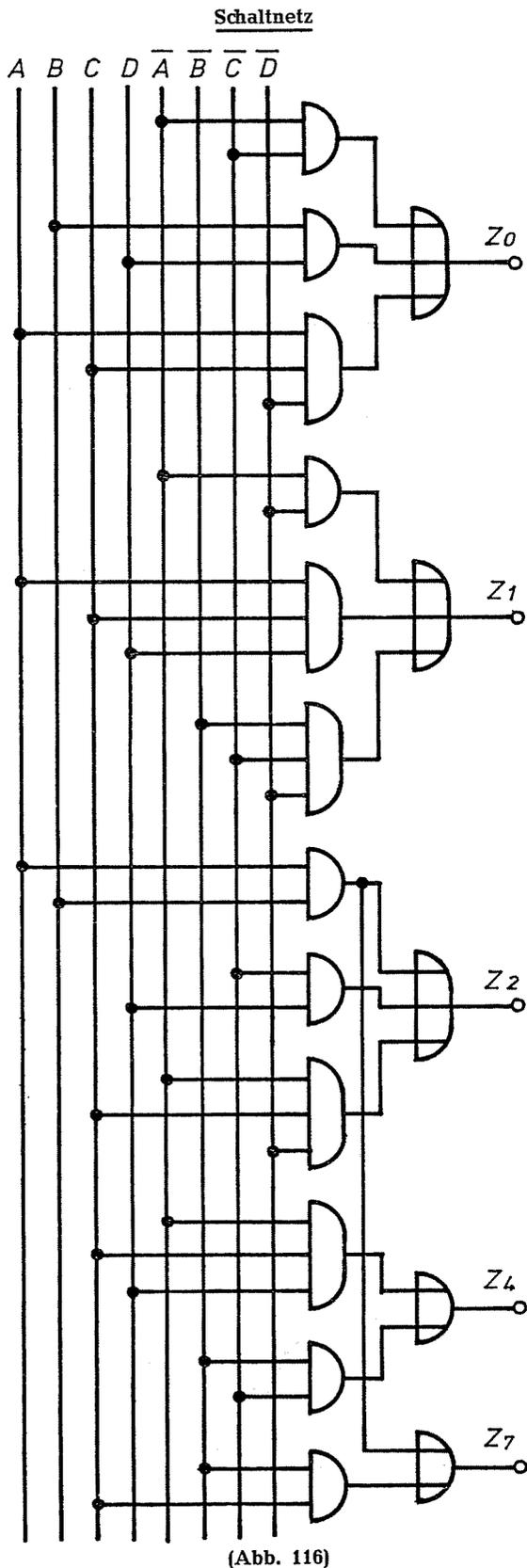
$$\begin{aligned}
 Z_0 &= \bar{A}\bar{C} \vee B\bar{D} \vee A\bar{C}\bar{D} \\
 Z_1 &= \bar{A}\bar{D} \vee A\bar{C}D \vee \bar{B}C\bar{D} \\
 Z_2 &= AB \vee \bar{C}D \vee \bar{A}C\bar{D} \\
 Z_4 &= \bar{A}CD \vee \bar{B}C \\
 Z_7 &= AB \vee \bar{B}C
 \end{aligned}$$

Abb. 116 zeigt das zugehörige Schaltnetz, Abb. 117 die zweistufige Diodenmatrix.  $Z_2$  und  $Z_7$  enthalten beide das UND-Glied  $AB$ , das daher nur einmal aufgebaut zu werden braucht.

Diodenmatrix

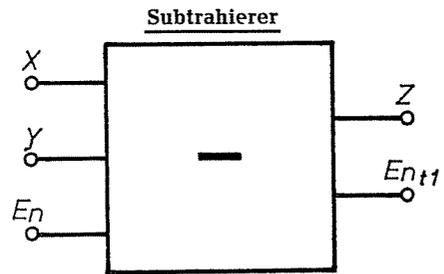


(Abb. 117)



In dieser Diodenmatrix sind nur 42 Dioden erforderlich, also bedeutend weniger als bei den ersten Lösungen. Diese Schaltung kann aber nur da eingesetzt werden, wo sichergestellt ist, daß nie eine Pseudotetrade am Eingang liegt oder daß beim Anliegen einer Pseudotetrade die sinnlose Ausgangskombination nicht ausgewertet wird.

**4. Beispiel:** Es ist ein 1-Bit-Vollsubtrahierer zu entwerfen, also ein Schaltnetz, das eine Dualziffer von einer anderen unter Berücksichtigung der Entlehnung subtrahieren kann; Abb. 118 zeigt das Blockschaltbild.



(Abb. 118)

Mit Hilfe der Rechenregeln aus Abschn. 1.2.3. wird die Funktionstabelle aufgestellt (Tabelle 55); sie gilt für die Rechenoperation  $x - y - E_n$ . Das Ergebnis ist Z;  $E_{n+1}$  ist die Entlehnung aus der folgenden Stelle.

**Funktionstabelle**

X	Y	$E_n$	Z	$E_{n+1}$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Tabelle 55

Die vollständigen disjunktiven Normalformen für Z und  $E_{n+1}$  lauten:

$$Z = \bar{X}\bar{Y}E_n \vee \bar{X}Y\bar{E}_n \vee X\bar{Y}\bar{E}_n \vee XYE_n$$

$$E_{n+1} = \bar{X}\bar{Y}E_n \vee \bar{X}Y\bar{E}_n \vee \bar{X}Y E_n \vee XY E_n$$

**Karnaughtafel für Z**

$X Y$	$\bar{X}\bar{Y}$	$\bar{X}Y$	$XY$	$X\bar{Y}$
$E_n$	0 0	0 1	1 1	1 0
$\bar{E}_n$	0	0	1	0
$E_n$	1	1	0	1

(Abb. 119)

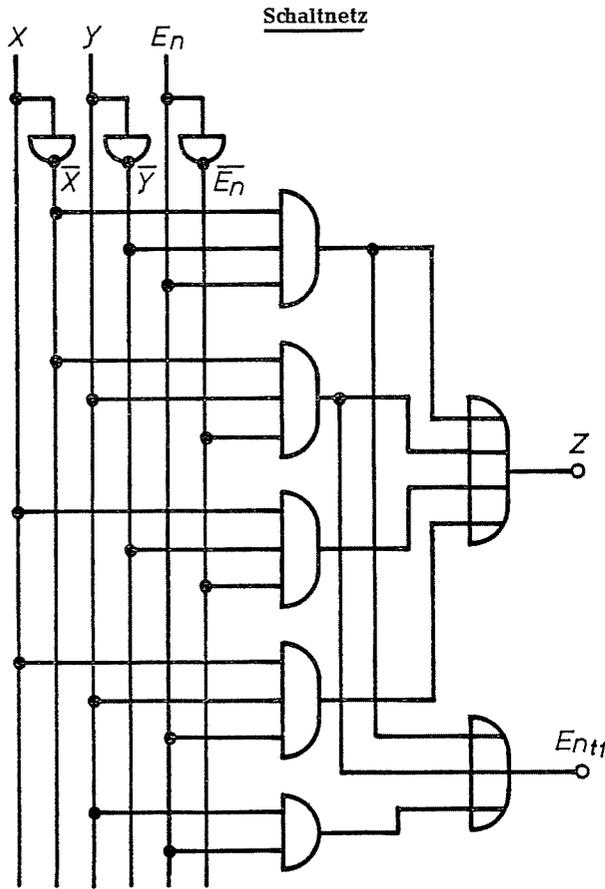
Der Ausdruck für Z läßt sich nicht vereinfachen, wie auch die Karnaughtafel (Abb. 119) zeigt. Dagegen ist der Ausdruck für  $E_{n+1}$  durch Ausklammern oder mit Hilfe der Karnaughtafel (Abb. 120) stark zu vereinfachen:

$$E_{n+1} = \bar{X}Y \vee \bar{X}E_n \vee YE_n$$

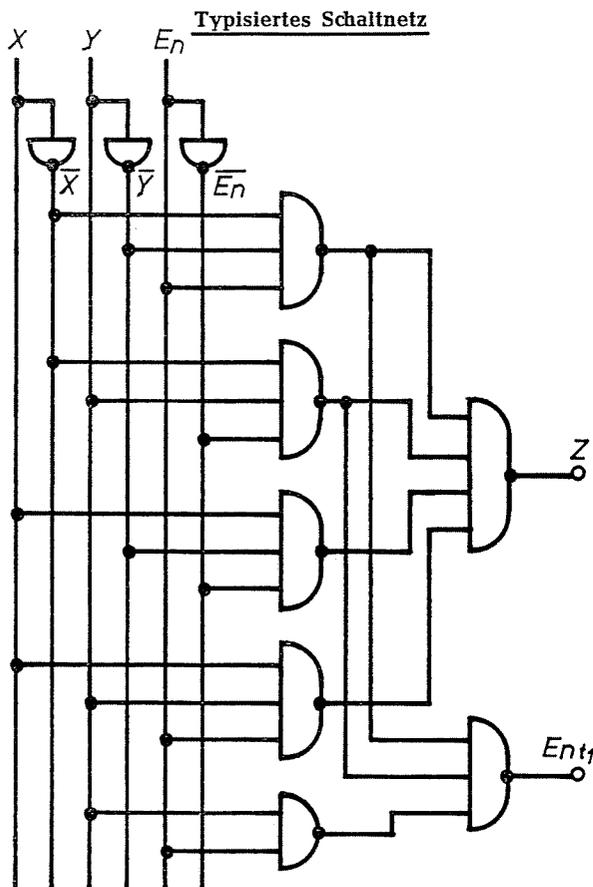
**Karnaughtafel für  $E_{n+1}$**

$X Y$	$\bar{X}\bar{Y}$	$\bar{X}Y$	$XY$	$X\bar{Y}$
$E_n$	0 0	0 1	1 1	1 0
$\bar{E}_n$	0	0	1	0
$E_n$	1	1	1	0

(Abb. 120)



(Abb. 121)



(Abb. 122)

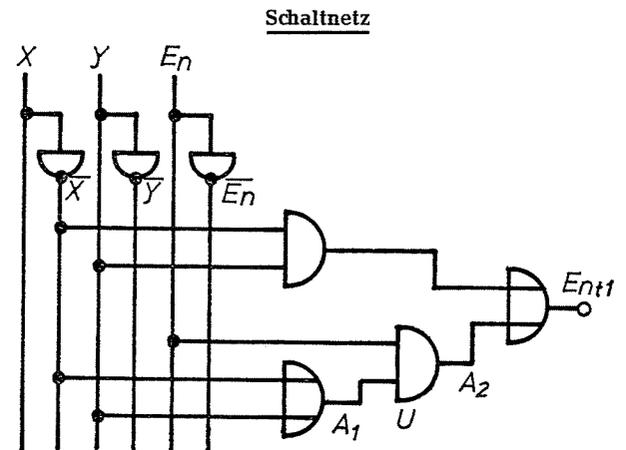
In diesem Beispiel bedeutet der minimierte Ausdruck für  $E_{n+1}$  einen Mehraufwand. Die ersten beiden und der letzte Minterm von  $E_{n+1}$  stimmen mit denen von  $Z$  überein, so daß es ein geringerer Aufwand ist, die UND-Glieder von  $Z$  mitzubenutzen. Nur das dritte und vierte Glied von  $E_{n+1}$  werden zu  $Y E_n$  vereinfacht. Abb. 121 zeigt das Schaltnetz aus UND- und ODER-Gliedern, Abb. 122 das nach der Regel aus Abschn. 1.6.2. typisierte Schaltnetz.

Der vereinfachte Ausdruck für  $E_{n+1}$  lautet:

$$E_{n+1} = \bar{X} Y \vee \bar{X} E_n \vee Y E_n$$

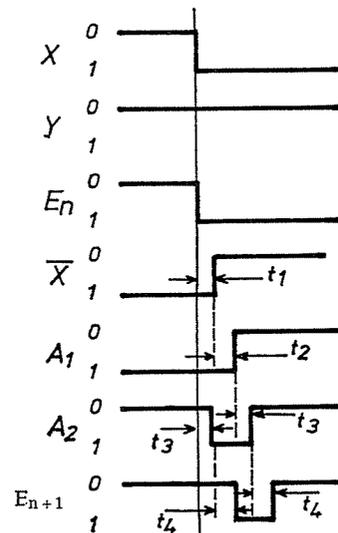
Wenn aus irgendwelchen Gründen das Schaltnetz für  $E_{n+1}$  extra aufgebaut werden soll, also nicht mit  $Z$  vermascht, so läßt sich noch ein Eingang eines Verknüpfungsgliedes einsparen, wenn man aus den ersten beiden Ausdrücken  $\bar{X}$  oder aus den letzten beiden  $E_n$  ausklammert.

$$E_{n+1} = \bar{X} (Y \vee E_n) \vee Y E_n = \bar{X} Y \vee E_n (\bar{X} \vee Y)$$



(Abb. 123)

**Impulsdiagramm für 000 → 101**

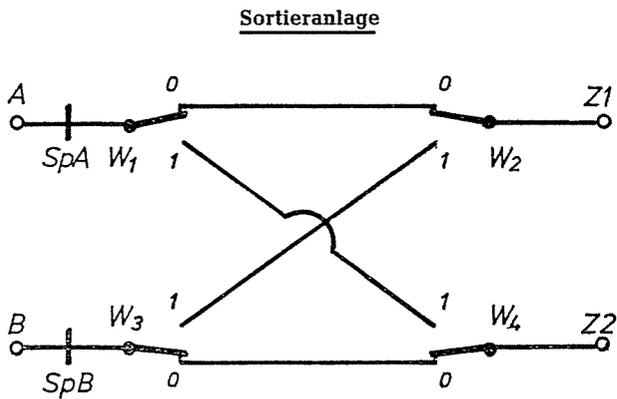


(Abb. 124)

In Abb. 123 ist das Schaltnetz für den letzten Ausdruck dargestellt, in Abb. 124 das Impulsdiagramm für den Fall, daß der Eingang vom Zustand 000 in den Zustand 101 übergeht. In beiden Fällen muß  $E_{n+1}$  nach Tabelle 55 0 sein. Durch die unterschiedlich vielen Verknüpfungen entsteht am Ausgang ein kurzer 1-Impuls:  $X$  und  $E_n$  gehen gleichzeitig in den Zustand 1 über.  $\bar{X}$  wird durch die Schaltzeit der Negation  $t_1$  erst etwas später 0, der Ausgang  $A_1$  des ODER-Gliedes um noch eine weitere

Schaltzeit  $t_2$  später. Für diese Zeit liegt an beiden Eingängen des UND-Gliedes der Zustand 1, damit um die Schaltzeit  $t_3$  des UND-Gliedes ( $t_3 = t_{ein} = t_{aus}$ ) verzögert auch an  $A_2$  und um die Schaltzeit  $t_4$  des ODER-Gliedes ( $t_4 = t_{ein} = t_{aus}$ ) auch an  $E_{n+1}$ .

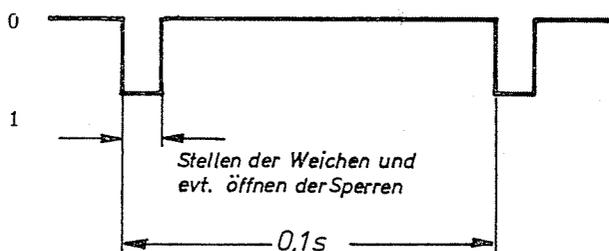
Am Ausgang des Schaltnetzes entsteht ein unerwünschter 1-Impuls. Er kann nur vermieden werden, wenn jedes Signal durch gleichviele Verknüpfungsglieder mit gleichen Schaltzeiten läuft. Da dies schwer zu erreichen ist, nimmt man die unerwünschten Impulse oft in Kauf und sorgt z.B. durch einen gemeinsamen Takt dafür, daß zum Zeitpunkt des Auftretens des unerwünschten Impulses der Zustand am Ausgang nicht ausgewertet wird.



(Abb. 125)

5. Beispiel: Es ist das Schaltnetz für die Steuerung einer Sortieranlage zu entwerfen (Abb. 125). Die Sortieranlage hat zwei Zugänge A und B. Über beide laufen in ungeordneter Folge zwei Güter 1 und 2 in die Sortieranlage. Das Gut 1 soll die Sortieranlage am Abgang Z1 verlassen, das Gut 2 am Abgang Z2. Die Laufzeit eines Gutes durch die Sortieranlage beträgt weniger als 0,1s; die Schaltfolge wird deswegen durch eine Taktfrequenz von 10 Hz gesteuert. An den Zugängen A und B sind die Sperren  $SpA$  und  $SpB$  angebracht, die zu Beginn eines jeden Taktes kurz öffnen können, um ein Gut in die Sortieranlage zu lassen. Die Sperren dürfen aber nur dann kurz öffnen, wenn ein Weg über die Weichen zum gewünschten Abgang möglich ist. Liegt an beiden Zugängen gerade das gleiche Gut (an beiden Gut 1 oder an beiden Gut 2), so hat der Zugang A Vorrang. Zugang B muß mindestens einen Takt warten ( $SpB$  darf nicht öffnen, weil der Weg an Weiche 2 oder Weiche 4 unterbrochen ist). Liegt an einem Zugang kein Gut, so soll die Sperre ebenfalls geschlossen bleiben. Die Zugänge sind so aufgebaut, daß nie zwei Güter gleichzeitig an einem Zugang liegen können. Abb. 126 zeigt die Form der Taktimpulse.

**Taktimpulse**



(Abb. 126)

Die gegebene Aufgabe muß als erstes in einer Funktionstabelle dargestellt werden. Wir haben die vier Eingangsvariablen  $A_1, A_2, B_1$  und  $B_2$ .  $A_1$  ( $A_2$ ) ist im Zustand 1, wenn am Zugang 1 das Gut 1 (2) liegt, und 0, wenn es nicht anliegt. Entsprechendes gilt für die Eingangsvariablen  $B_1$  und  $B_2$ . Das Schaltnetz muß sechs Ausgänge haben, und zwar  $W_1, W_2, W_3$  und  $W_4$ , die Signale zur Steuerung der vier Weichen  $W_1$  bis  $W_4$ , und  $SpA$  und  $SpB$  zur Steuerung der Sperren. Die Bedeutung von 0 und 1 für die Weichensignale  $W_1$  bis  $W_4$  ist in Abb. 125 eingetragen. Liegt z.B. Gut 2 am Zugang 1, so müssen mit dem nächsten Taktimpuls die Weichen  $W_1$  und  $W_4$  einen 1-Impuls erhalten. Damit eine Sperre während des Taktimpulses kurz geöffnet werden kann, muß am entsprechenden Ausgang  $SpA$  oder  $SpB$  des Schaltnetzes 1 anliegen.

**Funktionstabelle**

A1	A2	B1	B2	$W_1$	$W_2$	$W_3$	$W_4$	$SpA$	$SpB$
0	0	0	0	x	x	x	x	0	0
0	0	0	1	x	x	0	0	0	1
0	0	1	0	x	1	1	x	0	1
0	0	1	1	x	x	x	x	x	x
0	1	0	0	1	x	x	1	1	0
0	1	0	1	1	x	x	1	1	0
0	1	1	0	1	1	1	1	1	1
0	1	1	1	x	x	x	x	x	x
1	0	0	0	0	0	x	x	1	0
1	0	0	1	0	0	0	0	1	1
1	0	1	0	0	0	x	x	1	0
1	0	1	1	x	x	x	x	x	x
1	1	0	0	x	x	x	x	x	x
1	1	0	1	x	x	x	x	x	x
1	1	1	0	x	x	x	x	x	x
1	1	1	1	x	x	x	x	x	x

Tabelle 56

Tabelle 56 zeigt die Funktionstabelle. Von den bei vier Eingangsvariablen möglichen 16 Kombinationen sind nur die neun unterstrichenen durch die Aufgabenstellung möglich. Bei den sieben nicht unterstrichenen Kombinationen müßten an einem Zugang oder beiden zwei Güter gleichzeitig anliegen. Diese Kombinationen können zur Vereinfachung mit herangezogen werden. Für alle Ausgänge ist hier der unbestimmte Funktionswert x eingetragen (vgl. 3. Beispiel, 3. Lösung). Wie die Ausgangszustände für die übrigen Eingangskombinationen zu ermitteln sind, soll an drei Beispielen gezeigt werden: 0000, an beiden Zugängen liegt kein Gut; die Sperren sollen nicht öffnen, also  $SpA$  und  $SpB$  sind 0; wie die vier Weichen stehen ist gleichgültig,  $W_1$  bis  $W_4$  erhalten den unbestimmten Funktionswert x. 0101, an beiden Zugängen liegt Gut 2, Zugang A hat Vorrang, daher ist  $SpA$  1 und  $SpB$  0; damit das Gut 2 von A nach  $Z_2$  kommt, müssen die Weichen  $W_1$  und  $W_4$  mit 1 angesteuert werden; die Stellung der Weichen  $W_2$  und  $W_3$  ist für diesen Fall ohne Belang, also erhalten  $W_2$  und  $W_3$  x. 1001, am Zugang A liegt Gut 1, am Zugang B Gut 2; beide können gleichzeitig transportiert werden, daher sind  $SpA$  und  $SpB$  1; die Weichen müssen alle in Stellung 0 liegen.

Aus der Funktionstabelle werden dann mit Hilfe der Karnaughtafeln die einfachsten schaltalgebraischen Ausdrücke für  $W_1$  bis  $SpB$  ermittelt. In Abb. 127 und 128 sind die Karnaughtafeln für  $W_1$  und  $SpA$  dargestellt. Abb. 129 ist wieder eine nichtausgefüllte Karnaughtafel, in die Sie nacheinander mit Bleistift die Zustände für die anderen Ausgänge eintragen können, um die angegebenen Ausdrücke selbst zu ermitteln.

$W_1 = \overline{A_1}$   
 $W_2 = \overline{A_1}$   
 $W_3 = B_1$   
 $W_4 = A_2$   
 $SpA = A_1 \vee A_2$   
 $SpB = \overline{A_1} B_1 \vee \overline{A_2} B_2$

**Karnaughtafel für W1**

	$\overline{A_1}\overline{A_2}$	$\overline{A_1}A_2$	$A_1\overline{A_2}$	$A_1A_2$
	0 0	0 1	1 1	1 0
$\overline{B_1} \overline{B_2} 0 0$	X	1	X	0
$\overline{B_1} B_2 0 1$	X	1	X	0
$B_1 B_2 1 1$	X	X	X	X
$B_1 \overline{B_2} 1 0$	X	1	X	0

(Abb. 127)

**Karnaughtafel für SpA**

	$\overline{A_1}\overline{A_2}$	$\overline{A_1}A_2$	$A_1\overline{A_2}$	$A_1A_2$
	0 0	0 1	1 1	1 0
$\overline{B_1} \overline{B_2} 0 0$	0	1	X	1
$\overline{B_1} B_2 0 1$	0	1	X	1
$B_1 B_2 1 1$	X	X	X	X
$B_1 \overline{B_2} 1 0$	0	1	X	1

(Abb. 128)

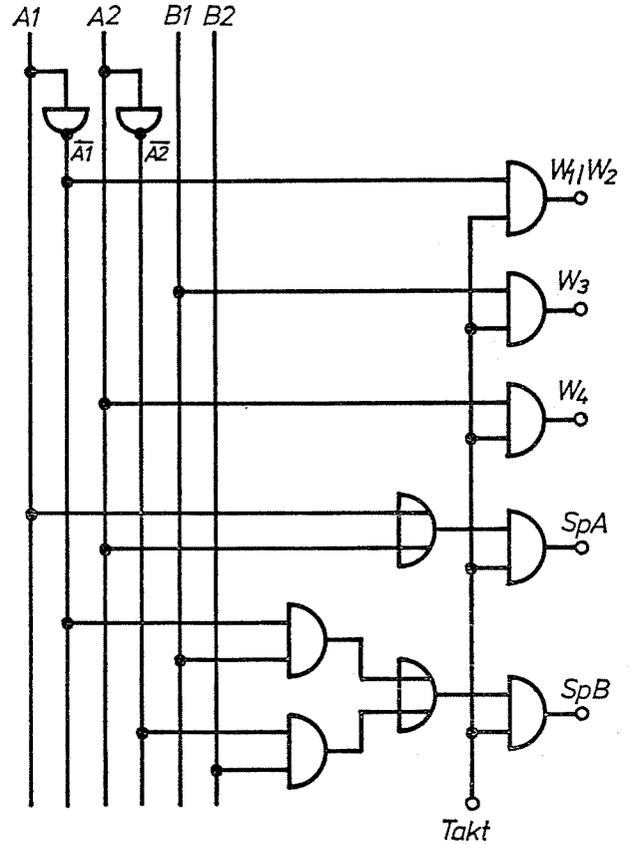
**Karnaughtafel**

	$\overline{A_1}\overline{A_2}$	$\overline{A_1}A_2$	$A_1\overline{A_2}$	$A_1A_2$
	0 0	0 1	1 1	1 0
$\overline{B_1} \overline{B_2} 0 0$				
$\overline{B_1} B_2 0 1$				
$B_1 B_2 1 1$				
$B_1 \overline{B_2} 1 0$				

(Abb. 129)

Wegen der vielen unbestimmten Funktionswerte ergeben sich sehr einfache Ausdrücke für die sechs Ausgänge. Das Schaltnetz ist in Abb. 130 dargestellt.  $W_1$  und  $W_2$  werden vom gleichen Ausgang gesteuert, weil  $W_1 = W_2$  ist. Vor allen Ausgängen liegt ein UND-Glied, das dafür sorgt, daß die Ausgänge nur während des kurzen Taktimpulses angesteuert werden.

**Schaltnetz**



(Abb. 130)

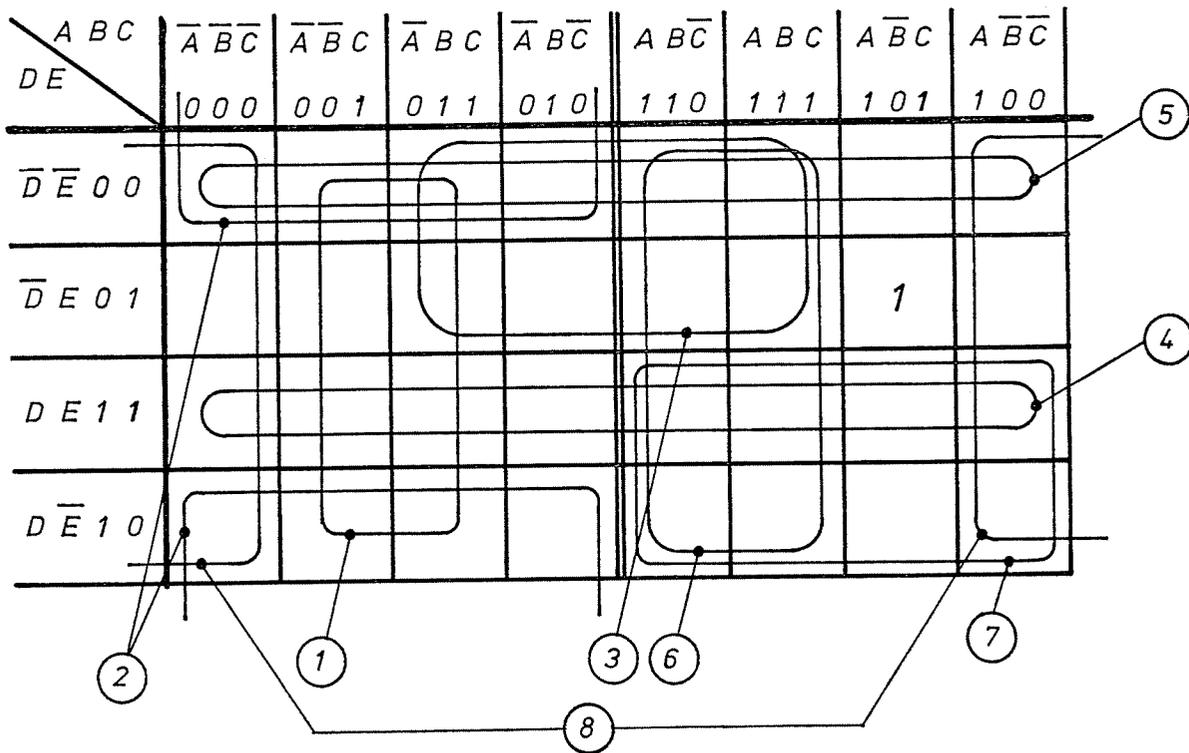
6. Beispiel: Am Montag morgen unterhalten sich während der Frühstückspause Anton, Bernhard, Christoph, Dieter und Erich über das Fußballspiel der Eintracht vom Samstag. Ein hinzukommender Kollege fragt, wer von ihnen eigentlich im Stadion war. Er erhält folgende Antwort:

1. Wenn Christoph draußen war oder wenn Erich nicht da war, dann war Anton im Stadion.
2. Wenn Bernhard im Stadion war, dann auch Erich.
3. Entweder war Dieter im Stadion oder Erich.
4. Wenn Anton draußen war, waren Bernhard und Dieter nicht da.
5. Von Bernhard und Christoph war wenigstens einer da.

Wer war im Stadion?

Obwohl diese Aufgabe nichts mit Schaltungstechnik zu tun hat, läßt sie sich mit Hilfe der Schaltalgebra lösen. Dazu verwenden wir für die fünf Personen als Kurzzeichen die oben fettgedruckten Anfangsbuchstaben. Die Anwesenheit im Stadion wird durch den Zustand 1 gekennzeichnet, die Abwesenheit durch den Zustand 0. Wenn die Aufgabe eindeutig lösbar ist, dann muß sich aus den angegebenen Bedingungen ein schaltalgebraischer Ausdruck entwickeln lassen, bei dem nur für eine Eingangskombination Z den Zustand 1 hat. Diese Eingangskombination ist dann die Lösung.

**Karnaughtafel**



(Abb. 131a)

Bei diesen Aufgaben wird nicht unmittelbar die Kombination gesucht, bei der Z gleich 1 ist, sondern man liest aus den Bedingungen alle Kombinationen ab, bei denen Z 0 ist bzw.  $\bar{Z}$  gleich 1. Aus der ersten Aussage ist zu entnehmen: Wenn Christoph draußen war, muß auch Anton da gewesen sein.  $\bar{Z}$  ist also 1 bei  $C\bar{A}$ ; ebenso, wenn Erich nicht draußen war, muß Anton da gewesen sein:  $\bar{Z}$  ist also auch 1 bei  $\bar{E}A$ .

Die zweite Aussage ergibt: Wenn Bernhard im Stadion war und Dieter nicht, dann ist Z gleich 0; also ist  $\bar{Z}$  gleich 1 bei  $B\bar{D}$ . Nach der dritten Aussage war entweder Dieter oder Erich im Stadion (Antivalenz). Z ist also 0, wenn beide da waren oder beide nicht da waren:  $\bar{Z}$  ist 1 bei  $DE$  oder  $\bar{D}\bar{E}$ . Nach der vierten Aussage ist  $\bar{Z}$  gleich 1, wenn Anton und Bernhard (AB) oder Anton und Dieter (AD) im Stadion waren. Aus Punkt 5 ist zu entnehmen, daß  $\bar{Z}$  gleich 1 ist, wenn weder Bernhard noch Christoph da waren ( $\bar{B}\bar{C}$ ). Faßt man alles zusammen, so ergibt sich für  $\bar{Z}$ :

$$\bar{Z} = C\bar{A} \vee \bar{E}A \vee B\bar{D} \vee DE \vee \bar{D}\bar{E} \vee AB \vee AD \vee \bar{B}\bar{C}$$

①   ②   ③   ④   ⑤   ⑥   ⑦   ⑧

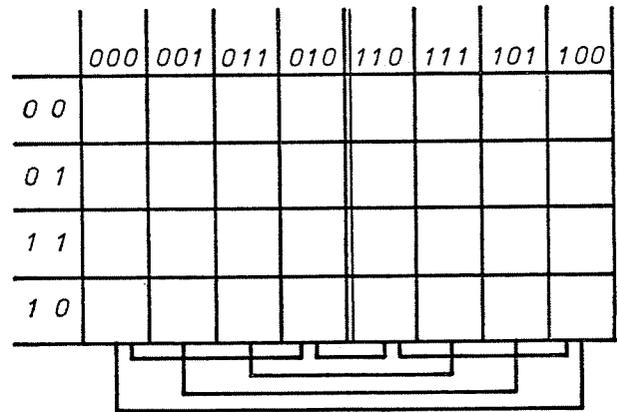
Die rechnerische Vereinfachung dieses Ausdrucks ist sehr umständlich, daher wird die Karnaughtafel verwendet. Der Ausdruck für  $\bar{Z}$  muß dabei alle Felder bis auf eins umfassen; das fehlende Feld ist die Lösung. Abb. 131a enthält alle Überdeckungen von  $\bar{Z}$ . Die Abbildung zeigt gleichzeitig, wie eine Karnaughtafel für 5 Variablen aussieht.

Das einzige nicht überdeckte Feld ist 10101, d.h.,  
 $Z = A \bar{B} C \bar{D} E$ .

Also waren Anton, Christoph und Erich im Stadion.

Bei fünf Variablen hat jedes Minterm fünf benachbarte Minterme. Die deswegen in einer Karnaughtafel für fünf Variablen zusätzlich bestehenden Zusammenfassungsmöglichkeiten sind in Abb. 131b durch die Klammern am unteren Rand gekennzeichnet.

**Karnaughtafel für fünf Variable**



(Abb. 131b)

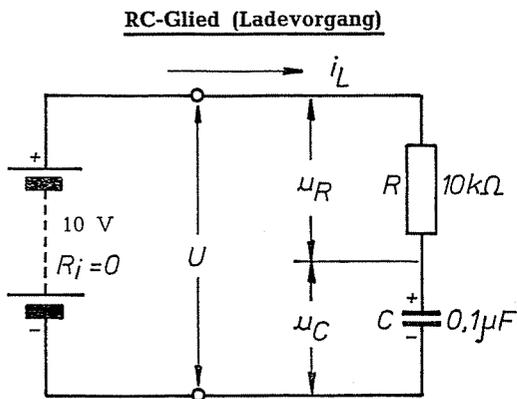
**3. Impulsformer**

Rechtecke und Nadelimpulse sind die am häufigsten in der binären Digitaltechnik vorkommenden Impulsspannungen und -ströme. Dieser Abschnitt behandelt die wichtigsten Schaltungen, die zu den genannten Impulsformen führen. Dies sind **RC-Glieder** zur Umformung von Rechtecken in Nadelimpulse und umgekehrt und der sogenannte **Schmitt-Trigger** zur Formung von Rechteckspannungen aus beliebigen anderen Spannungsformen.

### 3.1. Schaltungen mit RC-Gliedern

#### 3.1.1. Vorgänge am RC-Glied

RC-Glieder sind Schaltungen, die im einfachsten Fall aus einem ohmschen Widerstand  $R$  und einer Kapazität  $C$  bestehen. Für die hier beschriebenen Impulsformer sind  $R$  und  $C$  immer in Reihe geschaltet (Abb. 132).



(Abb. 132)

##### 3.1.1.1. Ladevorgang

Beim Anlegen einer Gleichspannung  $U$  an das RC-Glied nach Abb. 132 wird der Kondensator  $C$  über den Widerstand  $R$  aufgeladen. Im Einschaltmoment verhält sich der ungeladene Kondensator wie ein Kurzschluß, so daß bei Beginn des Ladevorgangs ein Ladestrom  $i_{L0}$  fließt, der nur durch  $R$  begrenzt wird.

$$i_{L0} = \frac{U}{R}$$

Für die in Abb. 132 angegebenen Zahlenwerte beträgt der Ladestrom  $i_{L0}$  bei Beginn der Ladung:

$$i_{L0} = \frac{U}{R} = \frac{10 \text{ V}}{10 \text{ k}\Omega} = \underline{\underline{1 \text{ mA}}}$$

Mit zunehmender Ladung sinkt der Ladestrom  $i_L$  ab und die Ladespannung  $u_C$  am Kondensator  $C$  steigt an. Beide Größen ändern sich nach einer **e-Funktion**. Die zeitabhängigen Größen ( $i_L$  und  $u_C$ ) nähern sich in gleichen Zeitabschnitten um gleiche Prozentsätze dem Endwert.

- a) Ladestrom  $i_L$ : Der Endzustand des Ladestroms ist 0; der Kondensator ist dann aufgeladen. In der Zeit  $\tau$ , deren Größe später definiert wird, nähert sich der Ladestrom vom Maximalwert  $i_{L0}$  ausgehend um 63 % dem Endwert 0; nach der Zeit  $\tau$  beträgt also der restliche Ladestrom  $i_{L1}$  nur noch 37 % von  $i_{L0}$ .

$$i_{L1} = 0,37 \cdot i_{L0} = 0,37 \cdot \frac{U}{R}$$

Nach weiteren  $\tau$  Sekunden, also nach einer Gesamtzeit von  $2 \cdot \tau$ , beträgt der verbleibende Ladestrom  $i_{L2}$  nur noch 37 % des Stroms  $i_{L1}$ .

$$i_{L2} = 0,37 \cdot i_{L1}$$

$$i_{L2} = 0,37 \cdot (0,37 i_{L0}) = 0,37^2 i_{L0}$$

$$i_{L2} = 0,135 \cdot i_{L0} = 0,135 \cdot \frac{U}{R}$$

Nach weiteren  $\tau$  Sekunden (vom Anfang an nach einer Zeit  $3 \cdot \tau$ ) beträgt der Ladestrom  $i_{L3}$  noch 37 % des vorherigen Stroms  $i_{L2}$ .

$$i_{L3} = 0,37 \cdot i_{L2}$$

$$i_{L3} = 0,37^3 \cdot i_{L0}$$

$$i_{L3} = 0,05 \cdot i_{L0} = 0,05 \cdot \frac{U}{R}$$

Betrachtet man immer zeitliche Abschnitte mit jeweils  $\tau$  Sekunden, so verringert sich der Restwert des Ladestroms in jedem Abschnitt auf 37 % des vorherigen Wertes. Theoretisch nimmt also der Ladestrom nie auf 0 ab. Nach fünf derartigen Zeitabschnitten (nach  $5 \cdot \tau$ ) ist der Restwert  $i_{L5}$  jedoch kleiner als 1 % des anfänglichen Ladestroms  $i_{L0}$ .

$$i_{L5} = 0,37^5 \cdot i_{L0}$$

$$i_{L5} = 0,007 \cdot i_{L0} = 0,007 \cdot \frac{U}{R}$$

$$i_{L5} \approx 0$$

Man kann für die Praxis annehmen, daß der Ladestrom  $i_{L5}$  annähernd 0 und damit die Ladung des Kondensators beendet ist.

- b) Kondensatorspannung  $u_C$ : Der Endwert der Spannung  $u_C$  ist gleich der angelegten Gleichspannung  $U$ . In der Zeit  $\tau$  ist von Ladungsbeginn an die Spannung  $u_C$  von  $u_{C0} = 0 \text{ V}$  um 63 % des Endwertes auf  $u_{C1}$  angestiegen.

$$u_{C1} = 0,63 U$$

Es fehlen also noch 37 % vom Endwert  $U$ .

$$u_{C1} = U - 0,37 \cdot U$$

$$u_{C1} = (1 - 0,37) \cdot U$$

$$u_{C1} = 0,63 U$$

Nach einem weiteren Zeitabschnitt mit der Länge  $\tau$ , also nach insgesamt  $2 \cdot \tau$ , hat sich die Spannung um 63 % des noch fehlenden Betrags der Entspannung  $U$  genähert.

$$u_{C2} = (1 - 0,37^2) \cdot U$$

$$u_{C2} = (1 - 0,135) \cdot U$$

$$u_{C2} = 0,865 U$$

Für die Kondensatorspannung  $u_{C3}$  nach der Zeit  $3 \cdot \tau$  gilt entsprechend:

$$u_{C3} = (1 - 0,37^3) \cdot U$$

$$u_{C3} = (1 - 0,05) \cdot U$$

$$u_{C3} = 0,95 U$$

Nach der Zeit  $5 \cdot \tau$ , also nach der angenommenen Beendigung des Ladevorgangs, beträgt  $u_{C5}$ :

$$u_{C5} = (1 - 0,37^5) \cdot U$$

$$u_{C5} = (1 - 0,007) \cdot U$$

$$u_{C5} = 0,993 U$$

$$u_{C5} \approx U$$

Die Ladespannung des Kondensators ist also auf mehr als 99 % des theoretischen Endwertes angestiegen.

Die Zeit  $\tau$  ist eine Größe, die von R und C abhängig ist. Sie wird als **Zeitkonstante** bezeichnet und ergibt sich aus der Formel:

$$\tau = R \cdot C$$

$\tau$  errechnet sich in Sekunden (s), wenn R in  $\Omega$  und C in  $F = \frac{s}{\Omega}$  eingesetzt wird.

Für die Werte des RC-Gliedes nach Abb. 132 beträgt die Zeitkonstante  $\tau$ :

$$\tau = R \cdot C = 10 \cdot 10^3 \Omega \cdot 0,1 \cdot 10^{-6} F$$

$$\tau = 10^{-3} \Omega \cdot \frac{s}{\Omega} = 10^{-3} s$$

$$\tau = \underline{\underline{1 \text{ ms}}}$$

Die Tabelle 57 faßt die unter a) und b) beschriebenen zeitabhängigen Werte für  $i_L$  und  $u_C$  zusammen.

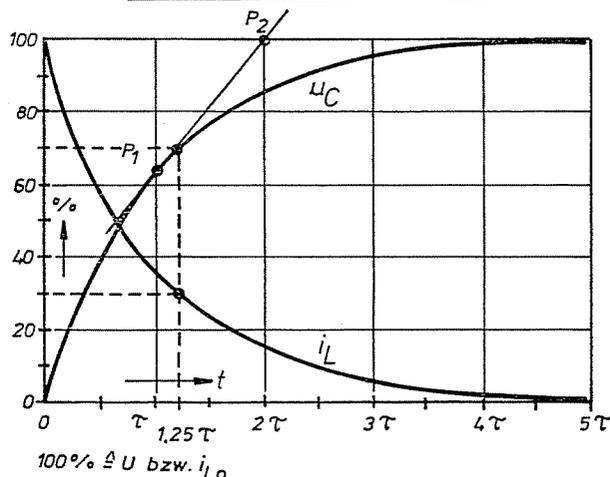
Zeitabhängigkeit von  $i_L$  und  $u_C$

Ladezeit	$i_L$ in % von $i_{L0}$	$u_C$ in % von U
0	100	0
$\tau$	37	63
$2 \cdot \tau$	13,5	86,5
$3 \cdot \tau$	5	95
$4 \cdot \tau$	1,8	98,2
$5 \cdot \tau$	$0,7 \approx 0$	$99,3 \approx 100$

Tabelle 57

Übernimmt man die Werte aus der Tabelle 57 in eine grafische Darstellung (Abb. 133), so sind die zeitabhängigen Änderungen von  $i_L$  und  $u_C$  leicht zu überblicken. Die sich ergebenden Kurven sind die typischen Ladekurven eines Kondensators. Aus der Mathematik sind die Kurven als e-Funktionen bekannt.

Ladevorgang eines Kondensators



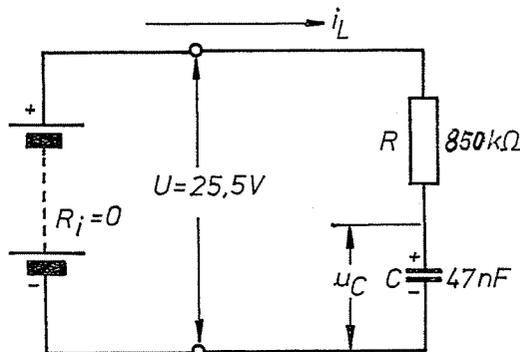
(Abb. 133)

Legt man an einzelne Punkte der Kurven Tangenten, dann zeigen diese jeweils den Anstieg der Kurve in dem Punkt, in dem die Tangente eingezeichnet ist.

Tangentenkonstruktion (vgl. Abb. 133): Der Punkt für einen bestimmten Zeitwert der Kurve (z.B.  $P_1$  der  $u_C$ -Kurve für  $t_1 = \tau$ ) wird mit dem Punkt  $P_2$  auf der Linie für den Endwert verbunden (z.B. bei  $u_C$  ist der Endwert U), der um die Zeitkonstante  $\tau$  weiter rechts liegt als der Punkt  $P_1$ . Zum Beispiel ist  $t_1 = \tau$  für  $P_1$ , deshalb ist  $t_2 = t_1 + \tau = 2\tau$  für  $P_2$ .

**Rechenbeispiel:** Ein Kondensator  $C = 47 \text{ nF}$  wird durch eine Spannung  $U = 25,5 \text{ V}$  aus einer Gleichspannungsquelle mit  $R_i = 0$  über den Widerstand  $R = 850 \text{ k}\Omega$  aufgeladen.

Rechenbeispiel Kondensatorladung



(Abb. 134)

a) Bestimmung des Ladestroms  $i_{L0}$  bei Beginn der Ladung:

$$i_{L0} = \frac{U}{R} = \frac{25,5 \text{ V}}{850 \text{ k}\Omega} =$$

$$i_{L0} = \frac{25,5 \text{ V}}{850 \cdot 10^3 \Omega} = 0,03 \cdot 10^{-3} \text{ A}$$

$$i_{L0} = \underline{\underline{30 \mu\text{A}}}$$

b) Bestimmung der Zeitkonstanten  $\tau$  und der praktischen Ladungsdauer  $t_L$ :

$$\tau = R \cdot C = 850 \cdot 10^3 \Omega \cdot 47 \cdot 10^{-9} F$$

$$\tau = 40000 \cdot 10^{-6} s = 40 \cdot 10^{-3} s$$

$$\tau = \underline{\underline{40 \text{ ms}}}$$

$$t_L = 5 \cdot \tau = 5 \cdot 40 \text{ ms}$$

$$t_L = \underline{\underline{200 \text{ ms} = 0,2 \text{ s}}}$$

- c) Bestimmung von Ladestrom und Kondensatorspannung einer Ladezeit von 80 ms:

Die Ladezeit von 80 ms entspricht  $2 \cdot \tau$ .

$$\begin{aligned} i_{L2} &= 0,37^2 \cdot i_L = 0,135 \cdot i_{L0} \\ i_{L2} &= 0,135 \cdot 30 \mu\text{A} = \underline{\underline{4,05 \mu\text{A}}} \\ u_{2C} &= (1 - 0,37^2) \cdot U = 0,865 U \\ u_{L2} &= 0,865 \cdot 25,5 \text{ V} = \underline{\underline{22,1 \text{ V}}} \end{aligned}$$

- d) Bestimmung des Ladestroms und der Kondensatorspannung nach 50 ms Ladezeit:

Die Ladezeit von 50 ms entspricht nicht einem ganzzahligen Vielfachen von  $\tau$ . Die Ermittlung der für die Berechnung notwendigen Prozentsätze wird deshalb in Abb. 133 vorgenommen.

$$50 \text{ ms} = 1,25 \cdot \tau$$

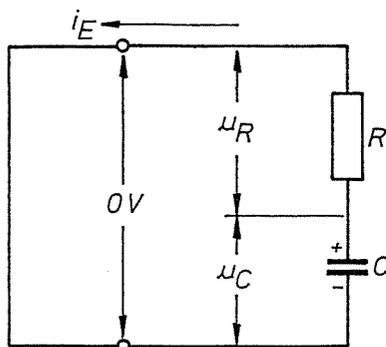
Für  $t_x = 1,25 \cdot \tau$  ist nach Abb. 133

$$\begin{aligned} i_{Lx} &\approx 0,3 \cdot i_{L0} \quad (30\%) \\ \text{und} \\ u_{Cx} &\approx 0,7 \cdot U \quad (70\%) \\ i_{Lx} &= 0,3 \cdot 30 \mu\text{A} = \underline{\underline{9 \mu\text{A}}} \\ u_{Cx} &= 0,7 \cdot 25,5 \text{ V} = \underline{\underline{17,8 \text{ V}}} \end{aligned}$$

### 3.1.1.2. Entladungsvorgang

Die Entladung eines auf  $U = u_{C0}$  aufgeladenen Kondensators beginnt in dem Moment, indem die beiden Anschlußpunkte des RC-Gliedes kurzgeschlossen werden (Abb. 135). Die Kondensatorspannung  $u_C$  treibt den Entladestrom  $i_E$ .

RC-Glied (Entladevorgang)



(Abb. 135)

Der Entladestrom  $i_E$  fließt in Gegenrichtung zum vorangegangenen Ladestrom  $i_L$  und nimmt zu Beginn der Entladung den Maximalwert  $i_{E0}$  an.

$$i_{E0} = \frac{u_{C0}}{R}$$

Mit fortschreitender Entladung nimmt  $i_E$  nach einer e-Funktion ab. Gleichzeitig wird die zu

Beginn der Entladung am Kondensator herrschende Spannung  $u_C$  abgebaut. Nach  $\tau$  Sekunden betragen der Entladestrom  $i_{E1}$  wie auch die Kondensatorspannung  $u_{C1}$  nur noch 37 % der Anfangswerte.

$$\begin{aligned} i_{E1} &= 0,37 \cdot i_{E0} \\ u_{C1} &= 0,37 \cdot u_{C0} \end{aligned}$$

Die Restwerte von je 37 % werden nach weiteren Zeitabschnitten  $\tau$  um jeweils weitere 63 % verringert, so daß nach einer Gesamtzeit von  $2 \cdot \tau$  sich folgende Werte einstellen.

$$\begin{aligned} i_{E2} &= 0,37 \cdot i_{E1} \\ i_{E2} &= 0,37^2 \cdot i_{E0} \\ i_{E2} &= 0,135 \cdot i_{E0} \\ u_{C2} &= 0,135 \cdot u_{C0} \end{aligned}$$

Mit fortschreitender Entladezeit nähern sich  $i_E$  und  $u_C$  den Werten 0; sie betragen nach  $5 \cdot \tau$ :

$$\begin{aligned} i_{E5} &= 0,007 \cdot i_{E0} \approx 0 \\ u_{C5} &= 0,007 \cdot u_{C0} \approx 0 \end{aligned}$$

In der folgenden Tabelle sind alle Werte für um  $\tau$  steigende Entladezeiten zusammengestellt.  $\tau$  ist dabei wieder gleich dem Produkt aus R und C.

Zeitabhängigkeit von  $i_E$  und  $u_C$

Entladezeit	$i_E$ in % von $i_{E0}$	$u_C$ in % von $u_{C0}$
0	100	100
$\tau$	37	37
$2 \cdot \tau$	13,5	13,5
$3 \cdot \tau$	5	5
$4 \cdot \tau$	1,8	1,8
$5 \cdot \tau$	$0,7 \approx 0$	$0,7 \approx 0$

Tabelle 58

Abb. 136 zeigt die typischen Entladekurven eines Kondensators unter Berücksichtigung der entgegengesetzten Entladestromrichtung.

**Rechenbeispiel:** Ein auf eine Spannung von  $u_{C0} = 250 \text{ V}$  aufgeladener Kondensator wird über einen Widerstand  $R = 2,2 \text{ k}\Omega$  entladen. Die Kapazität des Kondensators beträgt  $47 \mu\text{F}$ ; die Schaltung entspricht Abb. 137.

- a) Bestimmung des maximalen Entladestroms  $i_{E0}$  bei Beginn der Entladung:

$$i_{E0} = \frac{u_{C0}}{R} = \frac{250 \text{ V}}{2,2 \text{ k}\Omega}$$

$$i_{E0} = \underline{\underline{113 \text{ mA}}}$$

- b) Bestimmung der Entladedauer  $t_E$  unter der Annahme, daß nach  $5 \cdot \tau$  der entladene Zustand erreicht ist:

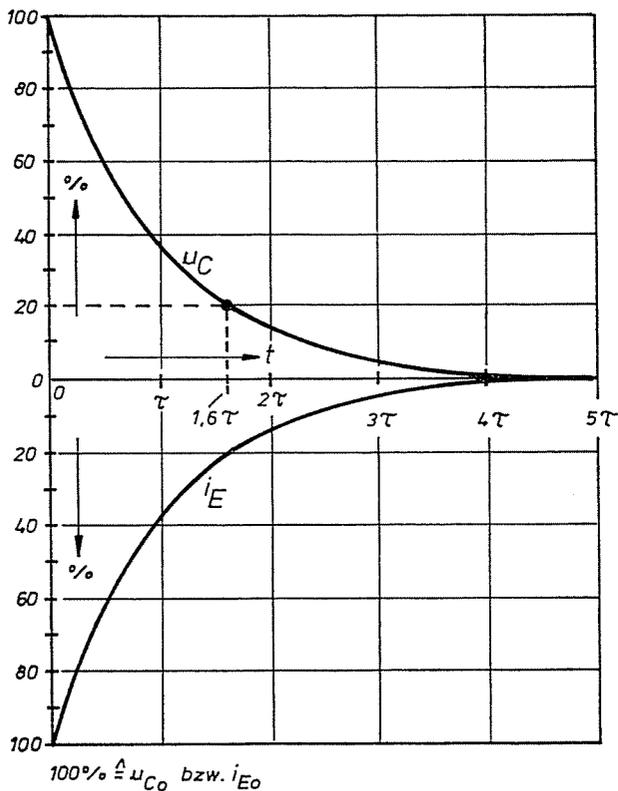
$$\tau = R \cdot C = 2,2 \cdot 10^3 \Omega \cdot 47 \cdot 10^{-6} \text{ F}$$

$$\tau = 103 \cdot 10^{-3} \text{ s} = \underline{\underline{103 \text{ ms}}}$$

$$t_E = 5 \cdot \tau = 5 \cdot 103 \text{ ms} = 515 \text{ ms}$$

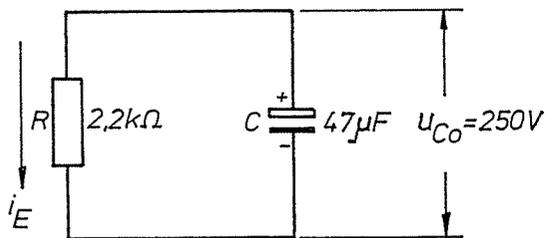
$$t_E = \underline{\underline{0,515 \text{ s}}}$$

### Entladevorgang eines Kondensators



(Abb. 136)

### Rechenbeispiel Kondensatorentladung



(Abb. 137)

- c) Bestimmung der Dauer  $t_x$ , nach der die Kondensatorspannung auf  $u_{Cx} = 50 \text{ V}$  abgesunken ist:

$$u_{C0} = 250 \text{ V} = 100 \%$$

$$u_{Cx} = 50 \text{ V} = \frac{50}{250} \cdot 100 \% = 20 \%$$

Aus der Entladekurve (Abb. 136) kann entnommen werden, daß eine verbleibende Spannung  $u_{Cx}$  von 20 % des Anfangswertes nach ca.  $1,6 \cdot \tau$  Sekunden am Kondensator liegt.

$$t_x = 1,6 \cdot \tau$$

$$t_x = 1,6 \cdot 103 \text{ ms} = \underline{\underline{165 \text{ ms}}}$$

### 3.1.1.3. Spannungsverteilung

Bei der Aufladung eines Kondensators C über einen Widerstand R fließt der zeitabhängige Ladestrom  $i_L$ . Er erzeugt an R einen Spannungsabfall  $u_R$ , der ebenfalls zeitabhängig ist.

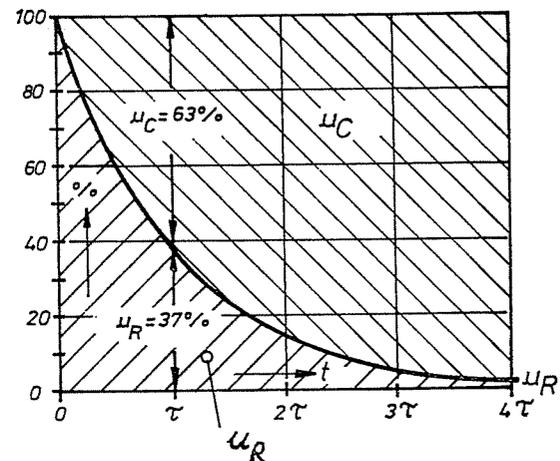
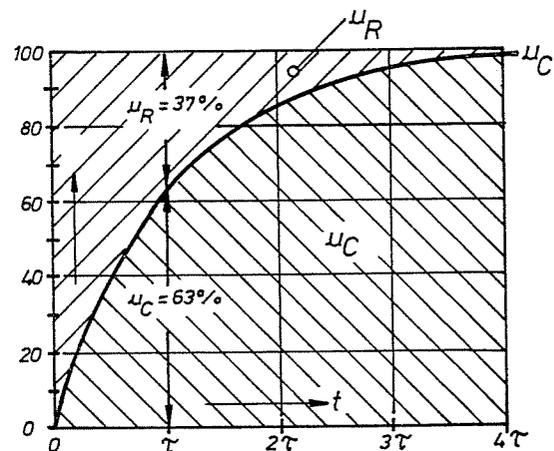
$$u_R = i_L \cdot R$$

Nach dem 2. Kirchhoffschen Gesetz ist die Summe aller Spannungsabfälle in einem Stromkreis gleich der stromtreibenden Spannung. Für das RC-Glied nach Abb. 132 gilt also für den Aufladevorgang bei jedem beliebigen Zeitpunkt t:

$$u_R + u_C = U$$

Die Spannungen  $u_R$  und  $u_C$  haben dabei gleiche Richtung. Wenn  $u_C$  bei der Aufladung im Laufe der Zeit ansteigt, dann fällt  $u_R$ . In Abb. 138 sind  $u_C$  und  $u_R$  gegenübergestellt.

### $u_C$ und $u_R$ bei Ladevorgang



(Abb. 138)

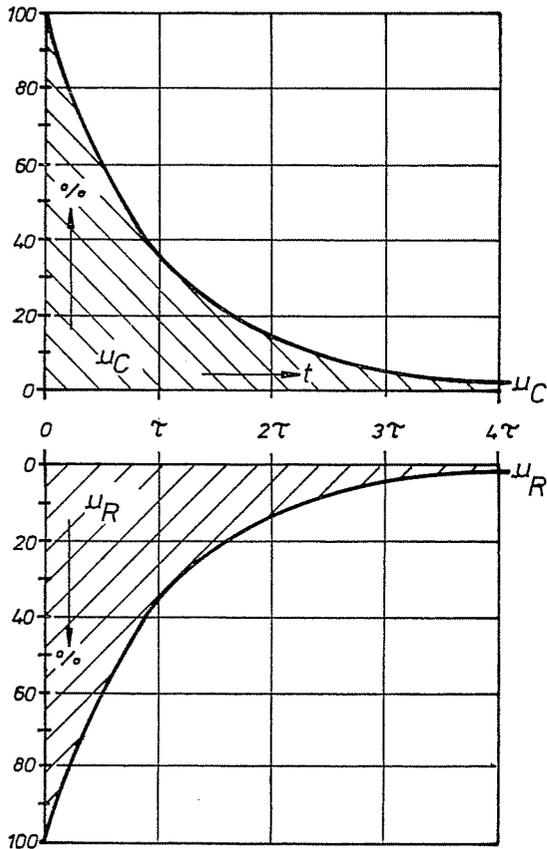
Während des Entladevorgangs ist die Kondensatorspannung  $u_C$  die treibende Spannung. Sie verursacht den Entladestrom  $i_E$ , der in Gegenrichtung zum Ladestrom fließt. Der durch  $i_E$  an R entstehende Spannungsabfall  $u_R$  ist dem bei der Aufladung ebenfalls entgegengerichtet. Nach Abb. 135 gilt:

$$u_C = u_R$$

$$u_C - u_R = 0$$

$u_R$  ist wie  $u_C$  zeitabhängig (vgl. Abb. 139).

**$u_C$  und  $u_R$  bei Entladevorgang**

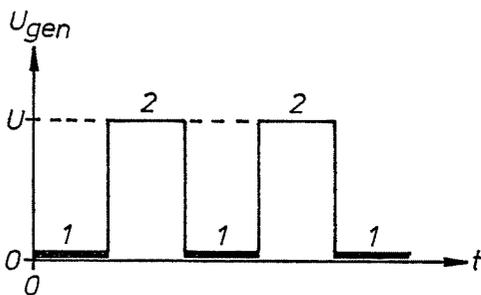
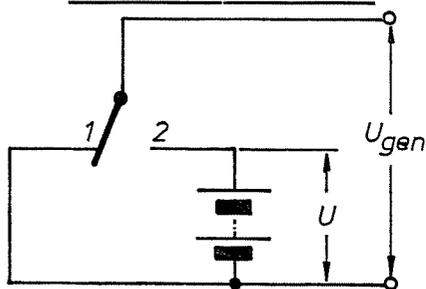


(Abb. 139)

**3.1.1.4. Ansteuerung durch Rechteckspannung**

Für die folgenden Überlegungen sei angenommen, daß ein RC-Glied aus einem Generator gespeist wird, dessen Spannung abwechselnd

**Rechteckerzeugung (Prinzip)**

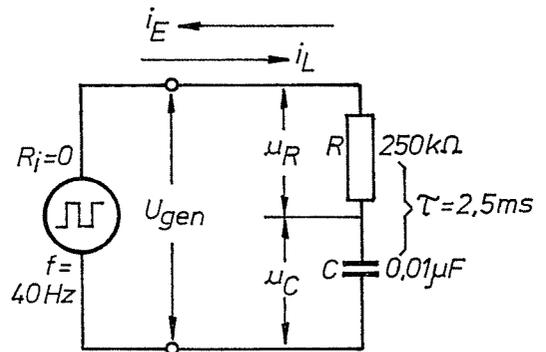


(Abb. 140)

0 V und U bei einem Innenwiderstand von annähernd 0  $\Omega$  beträgt. Ein solcher Generator ist ein Rechteckgenerator; der Rhythmus der Wechsel zwischen 0 V und U ist durch die Frequenz gegeben. Abb. 140 zeigt ein einfaches Ersatzschaltbild des Rechteckgenerators.

Eine weitere Annahme ist, daß die Dauer einer Halbperiode (0-V-Phase bzw. U-Phase) gleich  $5 \cdot \tau$  des angeschlossenen RC-Gliedes ist. Abb. 141 zeigt die gesamte Anordnung.

**RC-Glied (Rechteckansteuerung)**

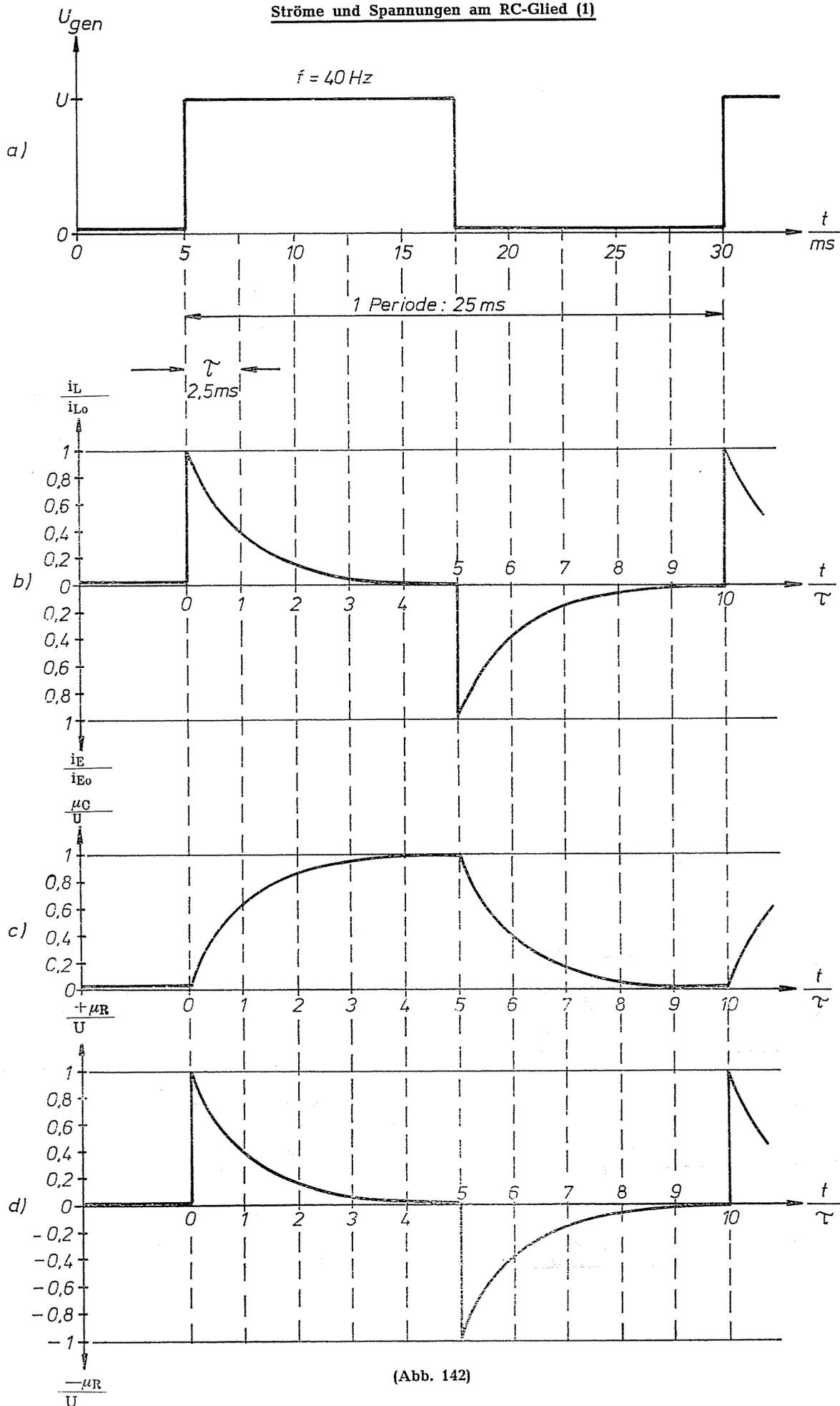


(Abb. 141)

Im Moment der Anschaltung des Generators an das RC-Glied beträgt die Generatorspannung  $U_{gen}$  gerade 0 V; der Kondensator ist entladen. Der Wechsel der Generatorspannung von 0 V auf U entspricht dem Einschaltmoment. Dabei fließt der maximale Ladestrom  $i_{L0}$ , der mit zunehmender Ladung abnimmt und schließlich 0 wird. Der darauffolgende Wechsel der Generatorspannung von U auf 0 V ist der Beginn der Kondensatorentladung, bei der ein gleich großer aber in Gegenrichtung fließender Entladestrom  $i_{E0}$  entsteht. Die Eingangsrechteckspannung  $U_{gen}$ , die fließenden Ströme  $i_L$  bzw.  $i_E$  und die Spannungen am Kondensator ( $u_C$ ) und Widerstand ( $u_R$ ) sind in Abb. 142, zeitgerecht untereinander angeordnet, dargestellt.

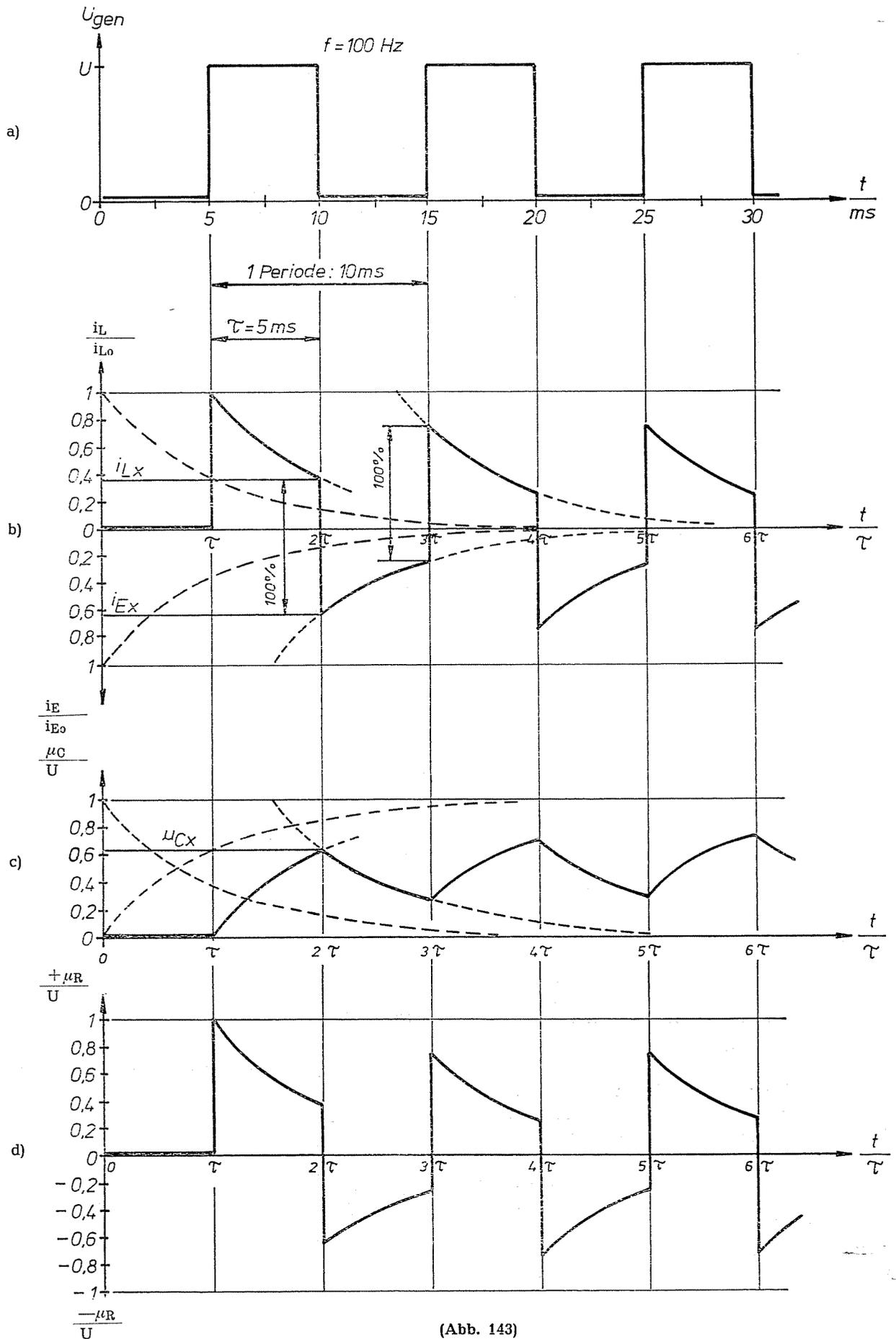
Die Verhältnisse bei der Ansteuerung eines RC-Gliedes mit einer Rechteckspannung, deren Halbperiode kleiner als  $5 \tau$  ist, zeigen die in Abb. 143 zusammengestellten Kurven. Da die Aufladephase bereits vor dem Abklingen des Ladestroms auf 0 beendet ist, hat die Kondensatorspannung noch nicht den Maximalwert erreicht. Der sich nun anschließende Entladevorgang geht also von einer geringeren Kondensatorspannung  $u_{Cx}$  und von einem noch fließenden Ladestrom  $i_{Lx}$  aus. Der Sprung der Eingangsspannung  $U_{gen}$  von U auf 0 V verursacht einen Sprung des Stroms um 100 % in negativer Richtung. Der sich einstellende Entladestrom  $i_{Ex}$  kann den Wert 100 % nicht erreichen, da der unmittelbar vorher fließende Ladestrom  $i_{Lx}$

**Ströme und Spannungen am RC-Glied (1)**



(Abb. 142)

## Ströme und Spannungen am RC-Glied (2)



(Abb. 143)

nicht 0 war. Ebenso verhält es sich bei einer beginnenden Ladung, wenn die Entladung noch nicht abgeschlossen ist. Der Strom ändert sich sprunghaft um 100 % in positiver Richtung. Die Spannung  $u_R$  am Widerstand entsteht als Spannungsabfall durch  $i_L$  bzw.  $i_E$ ; das Kurvenbild für  $u_R$  ist also identisch mit der Stromkurve.

Die nicht bei 100 % bzw. 0 beginnenden Lade- und Entladekurven sind jeweils Kurvenausschnitte der vollen in den Abb. 143b und c gestrichelt eingezeichneten Kurven. Die Konstruktion ist also durch Parallelverschiebung der gestrichelt gezeichneten Kurven durch die jeweiligen Anfangswerte möglich.

**Die bei RC-Gliedern fließenden Ströme und entstehenden Spannungen sind zeitabhängige Größen.** (Die Zeitabhängigkeit basiert auf der für Kondensatorlade- und entladevorgänge gültigen e-Funktion!)

**In einem Zeitabschnitt  $\tau$  (Zeitkonstante) nähert sich eine zeitabhängige Größe um jeweils 63 % dem angestrebten Endwert.**

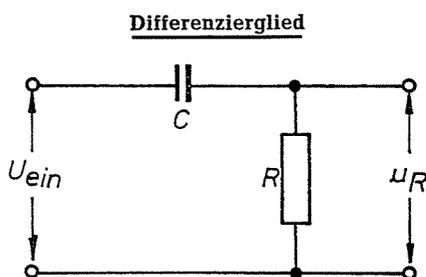
Die Zeitkonstante  $\tau$  ist abhängig von R und C; es gilt:

$$\tau = R \cdot C$$

**Als Dauer für einen abgeschlossenen Lade- oder Entladevorgang wird in der Praxis meistens  $5 \tau$  angenommen.**

### 3.1.2. Differenzierglied (Hochpaß)

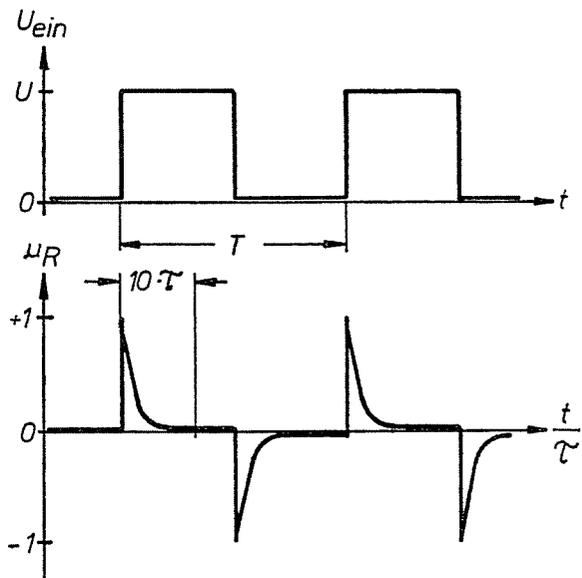
Ein Differenzierglied ist ein RC-Glied in Reihenschaltung, bei dem der Spannungsabfall  $u_R$  am Widerstand R als Ausgangsspannung abgegriffen wird (Abb. 144).



(Abb. 144)

Eine an den Eingang angelegte Rechteckspannung  $U_{ein}$  führt zu sich ständig abwechselnden Lade- und Entladevorgängen des Kondensators C. Die Ströme  $i_L$  und  $i_E$  erzeugen an R Spannungsabfälle  $u_R$  wechselnder Richtung, die als Ausgangsspannung abgegriffen werden. In Abb. 145 ist die Ausgangsspannung  $u_R$  eines RC-Gliedes mit einer Zeitkonstanten  $\tau$  dargestellt, die gegenüber der Periodendauer T der Eingangsrechteckspannung  $U_{ein}$  sehr klein ist.

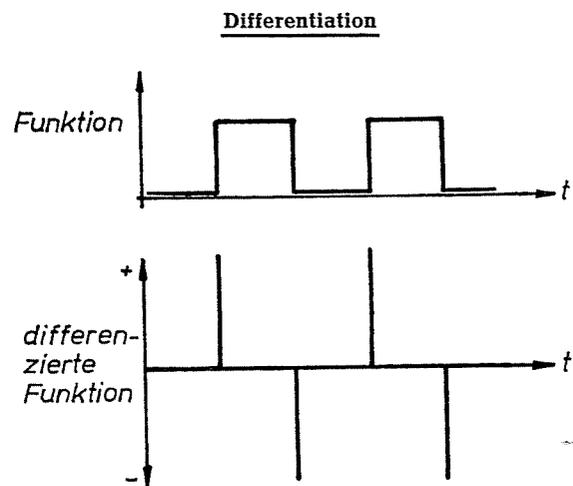
### Ausgangsspannung eines Differenziergliedes ( $\tau \ll T$ )



(Abb. 145)

Lade- und Entladestrom und der daraus resultierende Spannungsabfall  $u_R$  klingen also in jeder Halbwelle der Eingangsspannung auf 0 ab. Jeder Spannungssprung der Eingangsspannung verursacht einen schmalen nadelförmigen Ausgangsimpuls. Ein Ausgangsimpuls ist positiv, wenn sich die Eingangsspannung in positiver Richtung ändert und negativ, wenn der Eingangsspannungssprung negativ ist. Dieser Vorgang wird als **Differentiation** bezeichnet.

Die Differentiation ist in der Mathematik die Bestimmung des Anstiegs einer Funktion (Differentialrechnung). Eine Rechteckfunktion z.B. hat an den ansteigenden Flanken einen unendlich großen positiven Anstieg und an den abfallenden Flanken einen unendlich großen negativen Anstieg. Zwischen den Rechteckflanken ist der Anstieg 0. Bei der Differentiation ergeben sich also im mathematischen Sinn an den Flanken unendlich große positive und negative Werte und dazwischen 0 (Abb. 146).

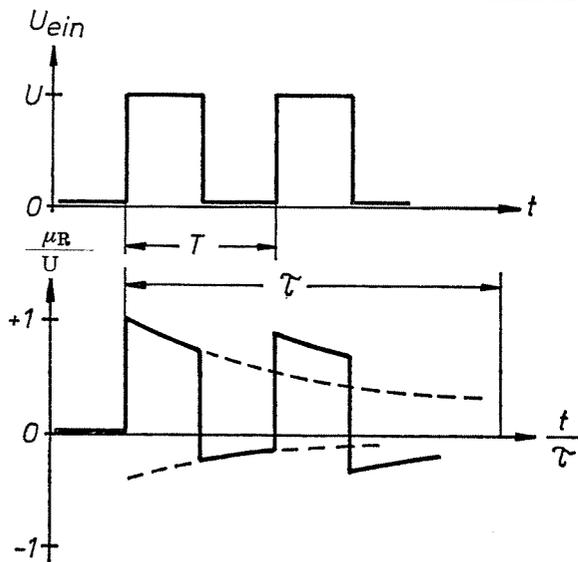


(Abb. 146)

Wie Abb. 145 zeigt, kommt die Ausgangsspannung eines RC-Gliedes mit einer gegenüber  $T$  sehr kleinen Zeitkonstanten  $\tau$  der differenzierten Funktion nach Abb. 146 sehr nahe.

Bei RC-Gliedern mit großen Zeitkonstanten ( $\tau > T$ ) werden die Lade- und Entladevorgänge in allen Halbwellen nicht abgeschlossen. Die zeitabhängigen Größen ( $i_L$  und  $i_E$ ) ändern sich um so weniger, je größer die Zeitkonstante  $\tau$  gegenüber der Periodendauer  $T$  der Eingangsspannung ist. In Abb. 147 ist die Ausgangsspannung eines RC-Gliedes mit einer sehr großen Zeitkonstanten dargestellt. Man erkennt sehr gut, daß die Kurvenform der Eingangsspannung (Rechteck) zum Ausgang hin kaum verändert wird. Nach Beendigung des Einschwingvorgangs liegen die Ausgangswechsel symmetrisch zur Zeitachse wie die Nadelimpulse in Abb. 145.

#### Ausgangsspannung eines Differenziergliedes ( $\tau > T$ )



(Abb. 147)

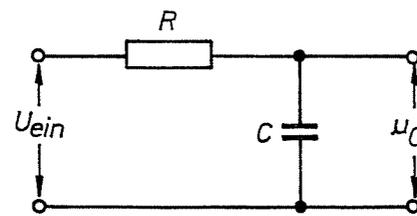
Bei der Ausgangsspannung  $u_R$  nach Abb. 147 kann von einer Differentiation keine Rede mehr sein, denn die Rechteckspannung passiert das RC-Glied **ohne merkliche Verzerrung**. Da dies nur für **hohe Frequenzen** (Periodendauer  $T$  sehr klein) der Fall ist, wird die Schaltung bei dieser Anwendung als **Hochpaß** bezeichnet.

**RC-Glieder mit einem parallel zu R liegenden Ausgang verformen Rechtecke zu Nadelimpulsen, wenn  $\tau \ll T$  ist (Differenzierglied), und verändern die Kurvenform nicht merklich, wenn  $\tau > T$  ist (Hochpaß).**

#### 3.1.3. Integrierglied (Tiefpaß)

Die Ausgangsspannung eines als Integrierglied geschalteten RC-Gliedes wird an der Kapazität  $C$  abgegriffen (Abb. 148).

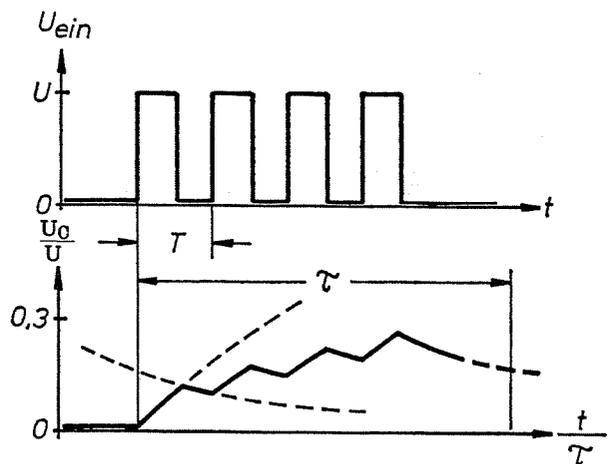
#### Integrierglied



(Abb. 148)

Eine angelegte Eingangsrechteckspannung  $U_{\text{ein}}$  verursacht eine Auf- und Entladung des Kondensators. Dabei steigt während der Aufladung  $u_C$  an und fällt bei der Entladung wieder ab. Ist die Periodendauer  $T$  der Rechteckschwingung kleiner als die Zeitkonstante  $\tau$ , so werden die Auf- und Entladevorgänge nicht beendet, sondern jeweils weit vor dem Erreichen des Endwertes abgebrochen (Abb. 149).

#### Integrierglied mit Rechteckspannung ( $\tau > T$ )

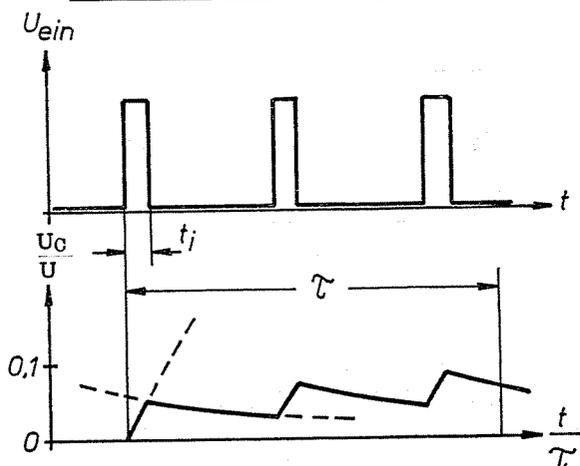


(Abb. 149)

Die Kondensatorspannung nimmt mit jedem Impuls etwas zu, da die Aufladung in diesem Bereich bei gleichen Zeitabschnitten schneller vor sich geht als die Entladung. Man nennt dieses Zusammenfügen von Impulsen zu einer zusammenhängenden Spannungszeitfläche **Integration**. Die Integration ist die Umkehrung der Differentiation.

Noch deutlicher stellt sich die Integration durch ein RC-Glied mit parallel zu  $C$  geschaltetem Ausgang heraus, wenn statt einer symmetrischen Rechteckspannung kurze Impulse an den Eingang angelegt werden. Die dabei entstehende Ausgangsspannung ist in Abb. 150 dargestellt. Voraussetzung für die Integration ist eine gegenüber der Impulsdauer  $t_i$  lange Zeitkonstante  $\tau$  des Integriergliedes.

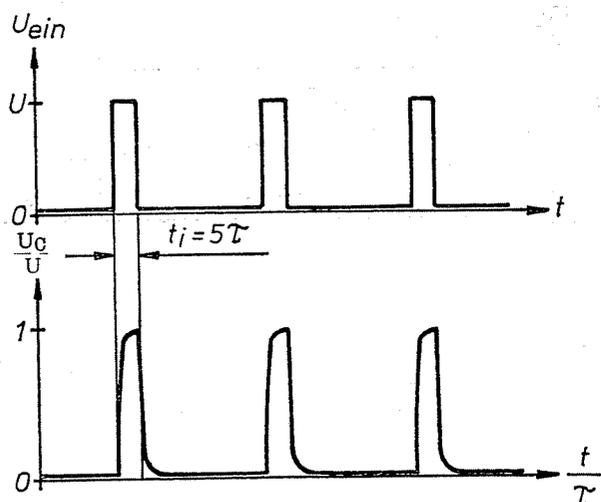
### Integrierglied mit Eingangsimpulsen ( $\tau \gg t_i$ )



(Abb. 150)

Ist jedoch die Zeitkonstante  $\tau$  kleiner als  $t_i$ , dann ergibt sich eine Ausgangsspannung, die den Eingangsimpulsen ähnlich ist. Eingangsimpulse mit **niedrigen Impulsfrequenzen** ( $t_i$  sehr groß) passieren also das Integrierglied **ohne nennenswerte Verformung**. Deshalb wird oft die Bezeichnung **Tiefpaß** anstelle von Integrierglied verwendet. Abb. 151 zeigt die Eingangs- und Ausgangsspannung eines Integriergliedes für  $\tau < t_i$ .

### Integrierglied mit Eingangsimpulsen ( $\tau < t_i$ )



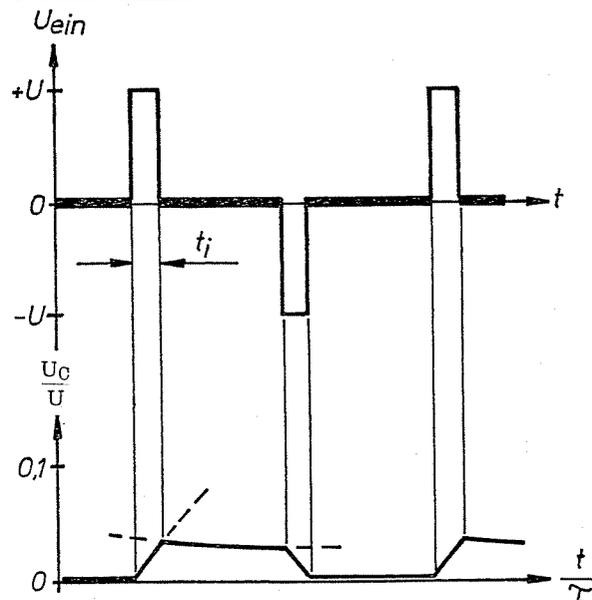
(Abb. 151)

RC-Glieder mit einem parallel zu C liegenden Ausgang verformen Nadelimpulse zu mit jedem Impuls etwas ansteigenden Spannungen, wenn  $\tau \gg t_i$  ist (Integrierglied), und verändern die Impulsform nicht wesentlich, wenn  $\tau < t_i$  ist (Tiefpaß).

Liegen am Eingang eines Integriergliedes abwechselnd positive und negative Nadelimpulse und ist  $\tau \gg t_i$ , dann ergibt sich am Ausgang eine annähernd rechteckförmige Spannung (Abb.

152). Ein positiver Impuls lädt den Kondensator C auf eine gewisse von  $\tau$  abhängige Spannung  $u_{C1}$  auf. Durch die große Zeitkonstante bleibt die Spannung auch während der Impulspause fast ohne Verringerung erhalten. Bei einem darauf folgenden negativen Eingangsimpuls wird die Kondensatorspannung wieder abgebaut. Diese Vorgänge wiederholen sich bei allen positiven und negativen Eingangsimpulsen, so daß schließlich am Ausgang eine annähernde Rechteckspannung entsteht.

### Integration positiver und negativer Impulse ( $\tau \gg t_i$ )



(Abb. 152)

Vergleicht man die Abb. 145 und 152, so ist leicht die unterschiedliche Wirkung von Differenzier- und Integriergliedern zu erkennen:

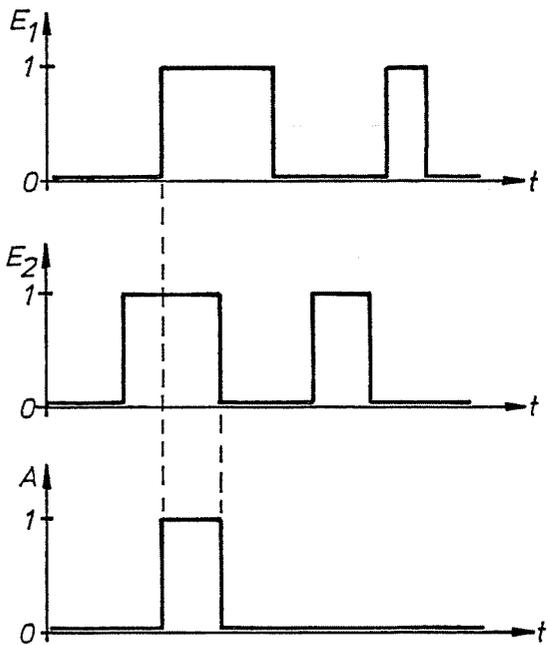
**Differenzierglieder formen Rechteckspannungen in positive und negative Nadelimpulse, während Integrierglieder positive und negative Nadelimpulse in Rechtecke umwandeln.**

### 3.1.4. Anwendungsbeispiele

#### 3.1.4.1. Dynamischer Eingang bei Verknüpfungsgliedern

In der Schaltungstechnik mit Verknüpfungsgliedern ist es oft so, daß bestimmte Schaltfunktionen nur sehr kurzzeitig erfüllt sein sollen, insbesondere, wenn ein zeitlicher Rhythmus beim Arbeitsablauf einer elektronischen Anlage genau eingehalten werden muß. Die Schaltbefehle solcher Anlagen sind deshalb oft nur sehr schmale Nadelimpulse. Ein einfaches Beispiel soll das verdeutlichen. Die Schaltfunktion einer UND-Schaltung mit zwei Eingängen ist erfüllt, solange an beiden Eingängen ( $E_1$  und  $E_2$ ) das Signal 1 steht (Abb. 153).

**UND-Schaltung: Impulsdiagramm**

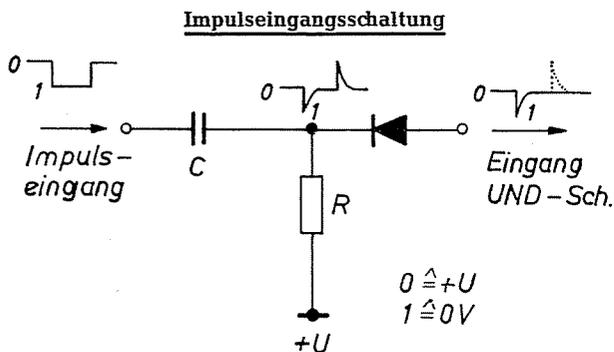


(Abb. 153)

Soll die Schaltfunktion jedoch nur für einen kurzen Moment, z.B. den Einschaltmoment eines Eingangssignals (z.B. Signal an  $E_1$ ), erfüllt sein, dann wird in diese Eingangsleitung ein Differenzierglied eingeschaltet. Der differenzierende Eingang wird **dynamischer Eingang** genannt, weil er dann nur noch auf Potentialsprünge anspricht. Das Differenzierglied erzeugt bei jedem Potentialwechsel des Eingangssignals Nadelimpulse. Unter der Annahme

$$\left. \begin{array}{l} 0 \hat{=} +U \\ 1 \hat{=} 0V \end{array} \right\} \text{negative Logik}$$

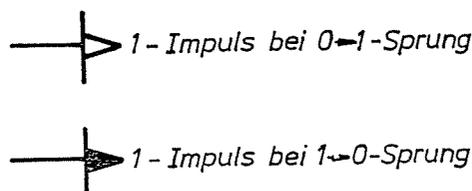
ergibt ein Potentialsprung  $0 \rightarrow 1$  einen negativen und ein Potentialsprung  $1 \rightarrow 0$  einen positiven Impuls. Da in einer Schaltung nur Impulse einer Polarität verarbeitet werden, wird das Differenzierglied durch eine Diode erweitert, die Impulse der unerwünschten Polarität sperrt (Abb. 154).



(Abb. 154)

Der in Abb. 154 dargestellte Impulseingang bringt nur negative Impulse (1-Impulse) an den Eingang der eigentlichen Verknüpfung, während alle positiven Impulse durch die Diode D gesperrt werden. Liegt am zweiten Eingang der Verknüpfung ständig 1, dann liefert der Ausgang immer dann kurze 1-Impulse, wenn das Eingangssignal am dynamischen Eingang zu einem für die Diode durchlässigen Impuls differenziert wird. Denkbar wäre auch eine Schaltungsanordnung die bei Potentialsprüngen  $1 \rightarrow 0$  am dynamischen Eingang ausgangseitige 1-Impulse erzeugt. Beide dynamischen Eingangsarten werden durch unterschiedliche Symbole dargestellt (Abb. 155).

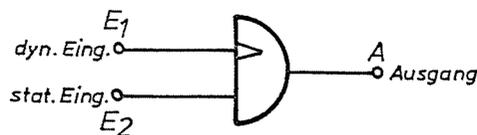
**Dynamische Eingangssymbole**



(Abb. 155)

Eine UND-Schaltung mit einem dynamischen und einem statischen Eingang wird oft auch **Impulstor** genannt. Abb. 156 zeigt das Symbol eines Impulstors mit einem dynamischen Eingang, der bei  $0 \rightarrow 1$  wirksam wird; das dazugehörige Impulsdiagramm bringt Abb. 157 auf Seite 82.

**Impulstor ( $0 \rightarrow 1$ )**



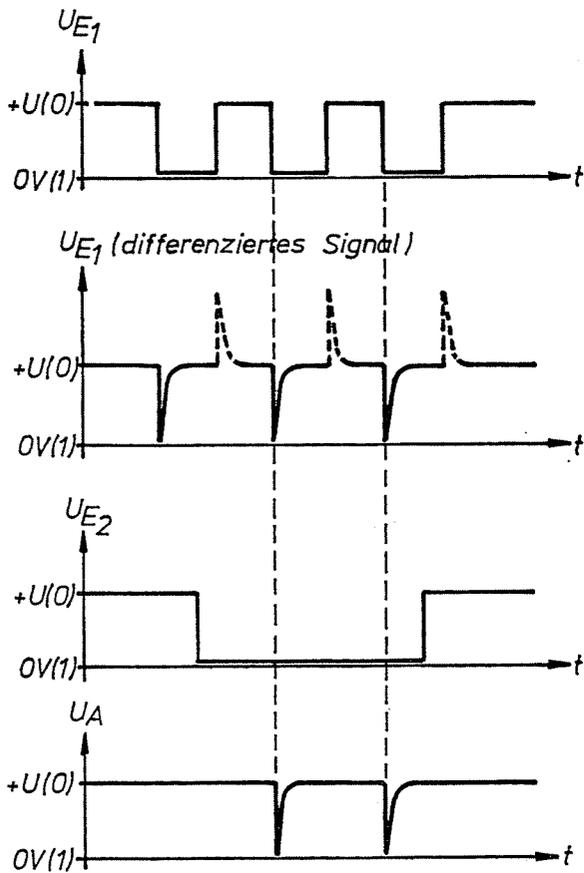
(Abb. 156)

Eine UND-Schaltung mit dynamischem Eingang ergibt am Ausgang einen 1-Impuls, wenn am dynamischen Eingang ein Potentialsprung ( $0 \rightarrow 1$  oder  $1 \rightarrow 0$ , je nach Schaltung) und gleichzeitig am statischen Eingang eine 1 anliegt.

**3.1.4.2. Frequenzmessung mit Zeigerinstrument**

Ein Verfahren zur Frequenzmessung mit einer Anzeige durch Zeigerinstrumente (z.B. Drehspulmeßwerke) beruht auf der Wirkung des Differenziergliedes. Legt man an den Differenziergang eine Rechteckspannung, so wird diese in positive und negative Nadelimpulse umgeformt. Die Breite der Nadelimpulse wird dabei durch die Zeitkonstante  $\tau_d$  des Differenziergliedes bestimmt, während die Impulsamplitude von der Amplitude der Rechteckspannung abhängig ist.

**Impulsdiagramm zu Abb. 156**

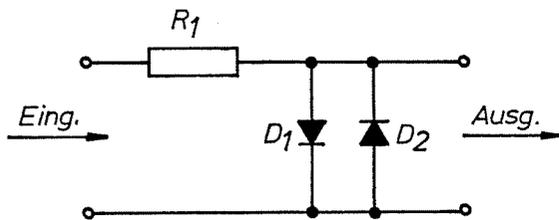


(Abb. 157)

Eine wichtige Voraussetzung für die richtige Frequenzbestimmung ist die von der Meßfrequenz unabhängige konstant bleibende Impulsamplitude. Deshalb befindet sich im Eingang der Schaltung ein Amplitudenbegrenzer, der vor der Differenzierung alle angelegten Rechteckspannungen auf eine konstante Amplitude bringt.

Die einfachste Möglichkeit einer Amplitudenbegrenzung ist die Antiparallelschaltung zweier Dioden (entsprechend Gehörschutzgleichrichter); Abb. 158 stellt diese Anordnung dar.

**Einfacher Amplitudenbegrenzer**

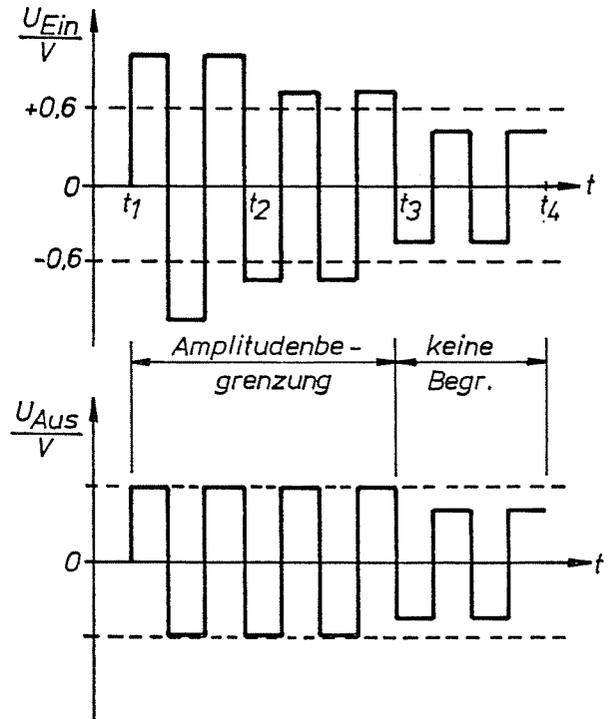


(Abb. 158)

Bei jeder Eingangshalbwelle wird eine der beiden Dioden  $D_1$  oder  $D_2$  durchlässig. Dabei entsteht an ihr ein Spannungsabfall, der der Diffusionsspannung der verwendeten Diode entspricht. Der Vorwiderstand  $R_1$  begrenzt den Durchlaßstrom der jeweils leitenden Diode auf einen für die Diode gefahrlosen Wert. Die Ausgangsspannung des Amplitudenbegrenzers kann nur dann auf einen von der

Diffusionsspannung abhängigen Wert begrenzt werden, wenn die Eingangsspannung so groß ist, daß die Dioden leitend werden. Abb. 159 zeigt die Ausgangsspannung eines Amplitudenbegrenzers bei drei verschiedenen Eingangsspannungen.

**Amplitudenbegrenzung**



(Abb. 159)

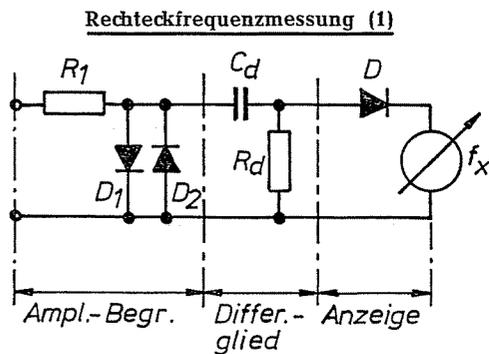
Der Amplitudenbegrenzer ist mit zwei Siliziumdioden bestückt. Damit liegt die Diffusionsspannung jeder Diode bei 0,6 V. In der Zeitspanne  $t_1$  bis  $t_3$  liegt die Amplitude der Eingangsspannung höher, so daß eine Begrenzung bei 0,6 V stattfindet, während in der Zeit von  $t_3$  bis  $t_4$  die Amplitude der Eingangsspannung kleiner ist, also die Dioden nicht leitend werden und somit keine Begrenzung zu erreichen ist.

**Für eine auf eine konstante Größe begrenzte Ausgangsamplitude muß die Amplitude der Eingangsspannung eines Amplitudenbegrenzers immer größer sein als die konstante Ausgangsamplitude.**

Die auf einen konstanten Maximalwert begrenzte Rechteckspannung wird im anschließenden Differenzierglied differenziert. Mit der Frequenz der Rechteckspannung ändert sich der zeitliche Abstand der Nadelimpulse. Bringt man nur die positiven oder nur die negativen Impulse durch das Zwischenschalten einer Diode auf ein sehr empfindliches Spannungsmeßgerät, dann schlägt es bei jedem Impuls kurzzeitig aus. Infolge der Trägheit eines Zeigerinstruments kann der Zeiger den kurzen Impulsen nicht folgen; er stellt sich also auf einen mittleren Wert ein. Der Zeigerausschlag ist groß, wenn die Impulsfolgefrequenz groß ist und klein, wenn die Impulsfolgefrequenz klein ist.

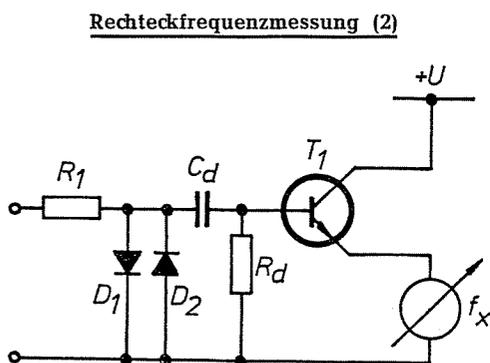
**Der Zeigerausschlag ist der Impulsfolgefrequenz annähernd proportional.**

Aus dem Zeigerausschlag kann also auch auf die Rechteckfrequenz geschlossen werden. Durch entsprechende Eichung des Meßinstruments ist die Frequenz direkt ablesbar. Abb. 160 zeigt die Prinzipschaltung, bestehend aus Amplitudenbegrenzer, Differenzglied und Anzeigeinstrument.



(Abb. 160)

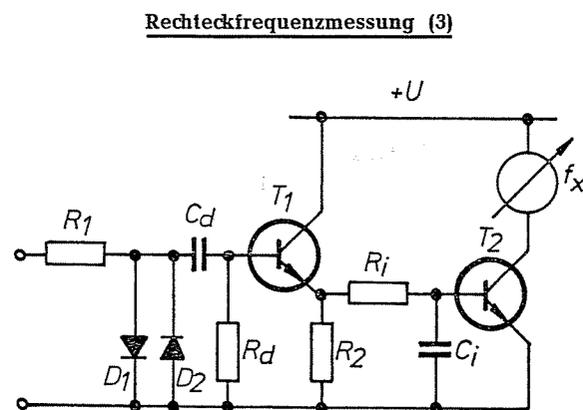
Drehspulmeßwerte mit einer entsprechenden Anzeigeempfindlichkeit sind sehr teuer. Man schaltet daher meistens im Anschluß an das Differenzglied einen Transistorverstärker, der die Aufgabe hat, ein weniger empfindliches und damit niederohmigeres Meßwerk an den Ausgang des Differenzgliedes anzupassen. Der Transistor ist als Emitterfolger geschaltet, er hat also einen sehr hohen Eingangswiderstand und einen niedrigen Ausgangswiderstand.



(Abb. 161)

Der Transistor in der Schaltung nach Abb. 161 ist ohne Eingangsspannung gesperrt; das Meßgerät zeigt keinen Ausschlag. Von den bei der Differenzierung entstehenden positiven und negativen Impulsen werden für den NPN-Transistor nur die positiven wirksam; sie steuern den Transistor leitend für die kurze Dauer des Nadelimpulses. Während der negativen Impulse bleibt der Transistor gesperrt. Die in der Schal-

tung nach Abb. 160 zur Sperrung der negativen Impulse notwendige Diode kann hier also entfallen. Nachteilig bei dieser und der vorher dargestellten Schaltung ohne Transistor ist, daß bei sehr niedrigen Frequenzen die Impulspausen im Verhältnis zu den Impulsbreiten sehr groß sind und damit die Trägheit des Meßinstruments nicht mehr für einen gleichmäßigen Ausschlag ausreicht. Um diesen Nachteil auszuweichen, wird anstelle des Meßwerkes ein Integrierglied geschaltet. Durch die Integration werden die einzelnen Impulse zu einer zusammenhängenden Spannungszeitfläche umgeformt. Abb. 162 zeigt die um ein Integrierglied und um einen Verstärkertransistor erweiterte Frequenzmeßschaltung.



(Abb. 162)

Jeder am Emitterwiderstand  $R_2$  auftretende positive Impuls verursacht eine Aufladung der Kapazität  $C_i$  des Integriergliedes. In den Impulspausen wird zwar  $C_i$  wieder entladen, jedoch geht die Entladung in diesem unteren Bereich sehr viel langsamer vor sich, so daß am Kondensator bei Eintreffen des nächsten Impulses noch eine Restspannung steht, die nun aufgestockt wird. Nach mehreren Impulsen baut sich am Kondensator  $C_i$  eine Spannung auf, die nur geringfügigen Änderungen unterworfen ist und von der Impulsfolgefrequenz abhängt (vgl. hierzu Abb. 149 und 150!). Die mittlere Kondensatorspannung steuert den Transistor  $T_2$  entsprechend ihrer Größe in einen teilweise leitenden Zustand und verursacht so einen Kollektorstrom, der einen Ausschlag des Instruments zur Folge hat. Durch günstige Dimensionierung des Integriergliedes bleibt der Zeiger des Meßwerkes auch bei niedrigen Frequenzen ruhig.

Für die Dimensionierung des Differenzier- und Integriergliedes gelten folgende Gesichtspunkte:

- a) **Differenzierglied:** Für die höchste zu messende Frequenz  $f_{\max}$  sollen bei der Differenzierung noch Impulse entstehen, deren abfallende Flanken bis 0 reichen; deshalb ist für die Zeitkonstante  $\tau_a$  anzusetzen:

$$\tau_a \leq \frac{1}{10} \cdot T_{\min}$$

$$T_{\min} = \frac{1}{f_{\max}}$$

Der Faktor  $\frac{1}{10}$  entsteht aus der Überlegung, daß von der kürzesten Periodendauer  $T_{\min}$  nur eine Halbwelle wegen der anschließenden Gleichrichtung wirksam wird, und mindestens  $5 \tau$  zur vollständigen Auf- und Entladung des Kondensators erforderlich sind. Der Belastungswiderstand des Differenziergliedes soll gegenüber dem Widerstand  $R_d$  im Differenzierglied möglichst groß sein. In der Schaltung nach Abb. 160 wird er durch den Innenwiderstand des Meßwerkes und in den Schaltungen der Abb. 161 und 162 durch den Eingangswiderstand des Transistorverstärkers gebildet, der durch die Verwendung eines Emitterfolgers sehr hoch ist.

b) **Integrierglied:** Für die niedrigste zu messende Frequenz  $f_{\min}$  sollen die zu integrierenden Impulse noch einwandfrei in zusammenhängende Spannungszeitflächen umgeformt werden. Dazu muß die Zeitkonstante  $\tau_i$  des Integriergliedes größer als die Zeitintervalle zwischen den einzelnen Impulsen, also größer als die Periodendauer der kleinsten zu messenden Frequenz sein.

$$\tau_i > T_{\max}$$

$$T_{\max} = \frac{1}{f_{\min}}$$

Der Abschlußwiderstand des Integriergliedes soll möglichst groß gegenüber dem Widerstand  $R_i$  im Integrierglied sein. In der Schaltung nach Abb. 162 wird der Abschlußwiderstand durch den Eingangswiderstand des Transistors  $T_2$  gebildet.

### 3.2. Schmitt-Trigger

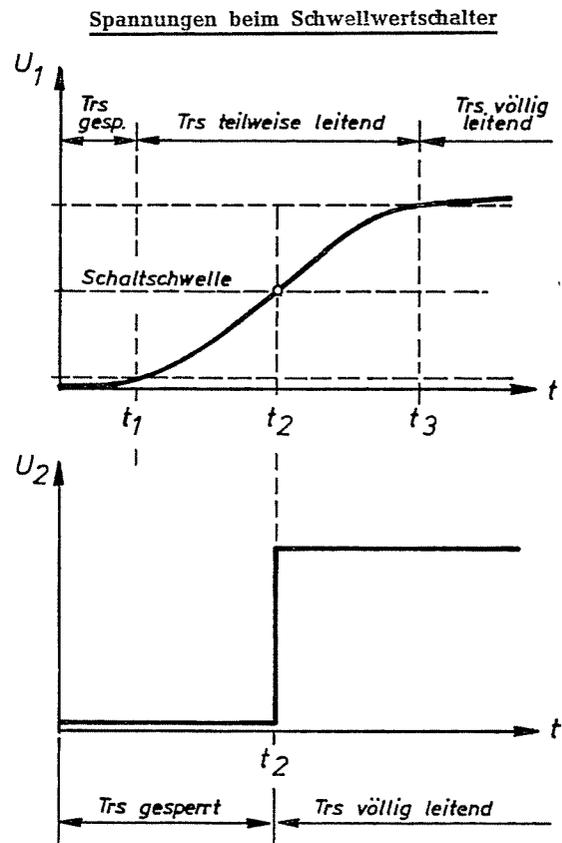
#### 3.2.1. Aufgaben des Schmitt-Triggers

Der Schmitt-Trigger besteht aus zwei Transistoren, von denen immer einer leitend und der andere gesperrt ist. Schmitt-Trigger sind in die Reihe der **Kippschaltungen** einzuordnen; das sind Schaltungen, deren Transistoren, durch den Schaltungsaufbau bedingt, nur die beiden extremen Leitzustände gesperrt und völlig leitend annehmen können. Der Schmitt-Trigger wird als Schwellwertschalter (Annäherungsschalter, Grenzwertgeber) und als Rechteckformer verwendet.

##### 3.2.1.1. Schwellwertschalter

Schalttransistoren sind der Gefahr einer Überlastung ausgesetzt, wenn sie in einen teilweise leitenden Arbeitsbereich gesteuert werden. Bei der Ansteuerung einer Transistorschaltstufe durchläuft der Arbeitspunkt immer den gesamten Bereich zwischen dem gesperrten und völlig leitenden Zustand. Das kann vermieden werden, wenn die **stetige Spannungsänderung** in eine

**sprunghafte Spannungsänderung** umgewandelt wird. Diese Aufgabe kommt dem Schmitt-Trigger zu. Abb. 163 zeigt Eingangs- und Ausgangsspannung eines Schmitt-Triggers.

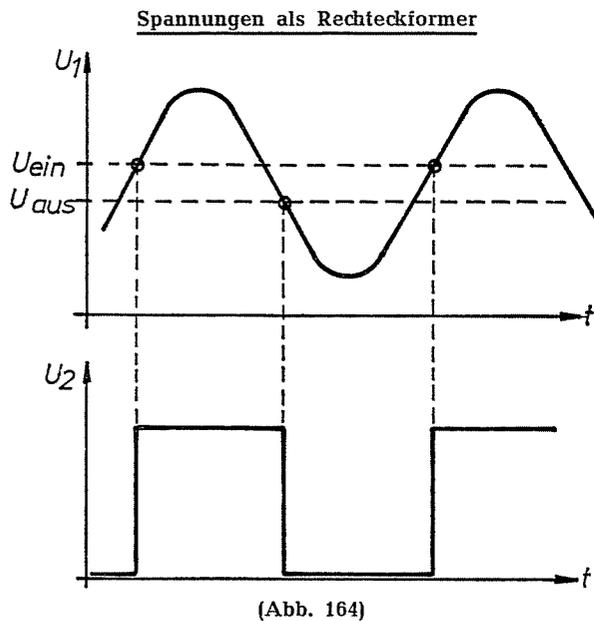


(Abb. 163)

Erreicht die Eingangsspannung des Schmitt-Triggers einen bestimmten Wert, die sogenannte **Schaltsschwelle**, dann ändert sich die bis dahin gleichbleibende Ausgangsspannung sprunghaft von einem auf den anderen Extremwert. Wird eine Transistorschaltstufe direkt mit der Spannung  $U_1$  betrieben, dann ergibt sich für den Schalttransistor ein Ansteigen der Verlustleistung in der Zeit zwischen  $t_1$  und  $t_3$  (Abb. 163), da hier der teilweise leitende Bereich durchlaufen wird. Dagegen können sich bei einer Ansteuerung mit der Ausgangsspannung  $U_2$  des Schmitt-Triggers nur die beiden extremen Leitzustände einstellen. Der Übergang vom gesperrten in den völlig leitenden Zustand (Kippvorgang) findet zum Zeitpunkt  $t_2$  sprunghaft statt. Die Spannung, die den Kippvorgang auslöst, ist schaltungsabhängig und in gewissen Grenzen einstellbar. Der Schmitt-Trigger dient also als spannungsabhängiger Schalter. Er wird überall da eingesetzt, wo sich langsam ändernde Spannungen beim Erreichen eines bestimmten Grenzwertes einen Schaltvorgang auslösen sollen.

### 3.2.1.2. Rechteckformer

Bewegt sich die Eingangsspannung des Schmitt-Triggers ständig in steigender und fallender Richtung durch die Schaltschwelle, so kippt er jedesmal aus der einen Extremlage in die andere und umgekehrt. Mit einem Schmitt-Trigger ist es also möglich, aus einer Wechselspannung beliebiger Kurvenform eine Rechteckspannung herzustellen. Er wird zum Beispiel benutzt, um aus einer Sinusspannung eine Rechteckspannung zu gewinnen. Abb. 164 zeigt die rechteckförmige Ausgangsspannung  $U_2$ , die sich aus einer sinusförmigen Eingangsspannung  $U_1$  ergibt.



Aus Abb. 164 geht hervor, daß sich die Schaltspannung  $U_{\text{ein}}$  der Schaltschwelle bei steigender Eingangsspannung (Einschaltspannung) von der Schaltspannung  $U_{\text{aus}}$ , der Ausschaltspannung bei fallender Eingangsspannung, unterscheidet. Die Schaltspannung  $U_{\text{ein}}$  ist etwas größer als  $U_{\text{aus}}$ .

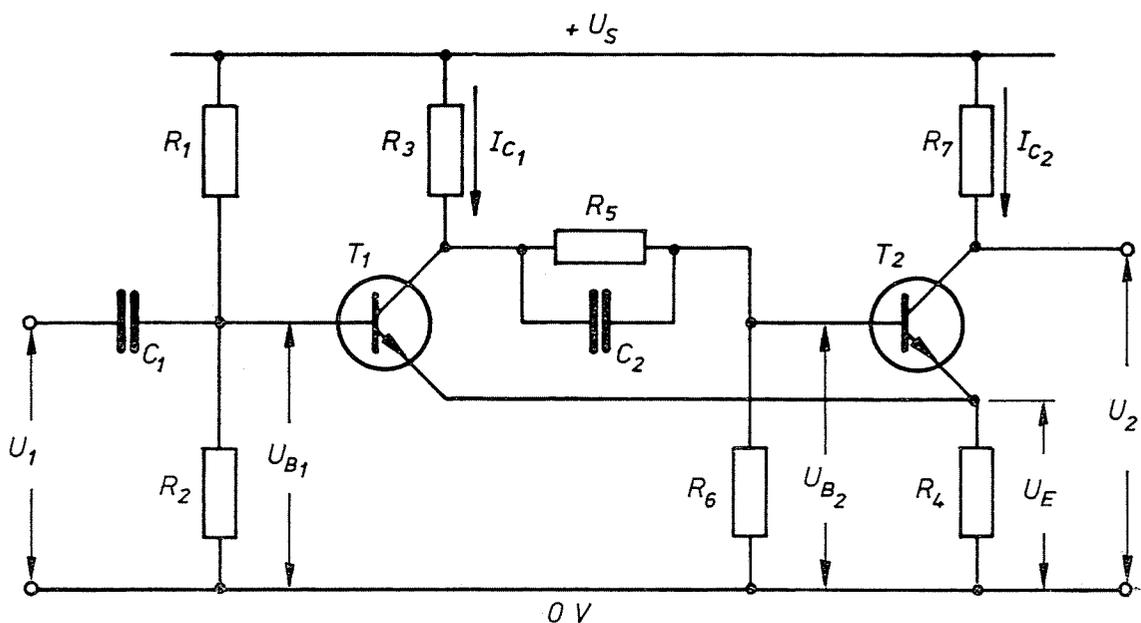
Wie man sieht, kann das Schaltverhalten des Schmitt-Triggers mit dem eines einfachen Relais verglichen werden. Ein Relais benötigt zum sicheren Anzug eine gewisse Spannung, die sogenannte Ansprechspannung. Eine etwas kleinere Spannung hält das Relais im angezogenen Zustand und bei einer Spannung, die nur noch etwa 50 % der Ansprechspannung ist, der sogenannten Abfallspannung, fällt das Relais wieder ab. Die Einschaltspannung des Schmitt-Triggers entspricht der Ansprechspannung des Relais und die Ausschaltspannung der Abfallspannung, jedoch ist die Differenz zwischen beiden Werten beim Schmitt-Trigger sehr klein.

### 3.2.2. Schaltung und Wirkungsweise

Die am weitesten verbreitete Schaltung des Schmitt-Triggers besteht aus einem zweistufigen gleichstromgekoppelten Transistorverstärker, bei dem außerdem die Emitter beider Transistoren über einen gemeinsamen Emitterwiderstand mit Masse verbunden sind (Abb. 165).

Ohne Eingangssignal befindet sich die Schaltung im Ruhezustand, für den  $T_1$  gesperrt und  $T_2$  leitend angenommen sei. Der Emitterstrom von  $T_2$  erzeugt am gemeinsamen Emitterwiderstand  $R_4$  einen Spannungsabfall  $U_E$ , der die Emitterpotentiale beider Transistoren positiv (etwa +1 V) werden läßt. Das am Basisspannungsteiler  $R_1/R_2$  für den Transistor  $T_1$  erzeugte Basispotential  $U_{B1}$  ist weniger positiv als das Emitterpotential, so daß also  $T_1$  gesperrt bleibt. Sein

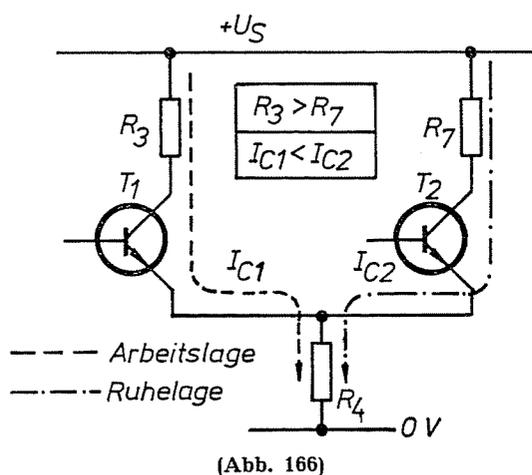
#### Schaltung des Schmitt-Triggers



Kollektorpotential ist annähernd gleich der Betriebsspannung  $+U_S$ . Dieses wird durch den Basisspannungsteiler  $R_5/R_6$  abgegriffen und hält den Transistor  $T_2$  im leitenden Zustand. Das Basispotential  $U_{B2}$  ist dadurch positiver als das Emitterpotential.

Wird durch eine von außen über den Eingang zugeführte **positive Spannung** die Basisspannung von  $T_1$  so weit angehoben, daß der Transistor leitend wird, dann fällt das Kollektorpotential ab, wodurch auch das Basispotential  $U_{B2}$  abfällt. Der Kollektorstrom des 2. Transistors wird geringer und schließlich zu 0, wenn  $T_1$  völlig leitend gesteuert ist. Bei diesem Vorgang ist der gemeinsame Emitterwiderstand zu beachten, über den die Ströme beider Transistoren fließen. Wird nämlich der Strom und damit der Spannungsabfall an diesem Widerstand während des Umkippens kleiner, dann steigt die Basis-Emitter-Spannung (Differenz zwischen  $U_E$  und  $U_{B1}$ ) von  $T_1$  an und die Leitendsteuerung des  $T_1$  wird beschleunigt. Der Kippvorgang geht so schnell vor sich, daß er praktisch keine Zeit in Anspruch nimmt. Außerdem bewirkt der parallel zu  $R_5$  geschaltete Kondensator  $C_2$  ein beschleunigtes Schalten von  $T_2$ . Der Stromabfall im Emitterwiderstand  $R_4$  beim Kippvorgang kann erreicht werden, wenn der Arbeitswiderstand  $R_3$  des  $T_1$  etwas größer gewählt wird als der Arbeitswiderstand  $R_7$  des 2. Transistors (Abb. 166).

Stromverhältnisse des Schmitt-Triggers



Selbst bei gleichgroßen Widerständen  $R_3$  und  $R_7$  tritt dieser Effekt noch auf, da dem Strom  $I_{C1}$  am Kollektor ein Teil abgezweigt wird, der über den Basisspannungsteiler  $R_5/R_6$  abfließt. Die gerade herrschende Eingangsspannung, bei der  $T_1$  leitend wird, ist als **Einschaltsschwelle** definiert. Sie ist abhängig vom Widerstandsverhältnis des Eingangsteilers  $R_1/R_2$ .

Bei nach 0 hin fallender Eingangsspannung wird  $T_1$  wieder gesperrt. Das Kollektorpotential steigt wieder an und steuert über  $R_5/R_6$  den Transistor  $T_2$  durch. Dabei steigt der Strom im Emitterwiderstand und beschleunigt durch die Potentialverschiebung am Emitter die Sperrung von  $T_1$ . Die Schaltung kippt also schlagartig in den ursprünglichen Zustand zurück. Die Größe der momentanen Eingangsspannung, bei der der Rückkippvorgang stattfindet, ist um einige Millivolt geringer als die beim Kippen in die Arbeitslage; sie wird **Ausschaltsschwelle** genannt.

### 3.2.3. Verschiedene Ausführungsformen

Neben dem unter 3.2.2. beschriebenen Schmitt-Trigger, dessen Ruhelage (ohne Eingangssignal) durch den gesperrten Transistor  $T_1$  und leitenden Transistor  $T_2$  (Ausgangsspannung  $\sim 0$  V) gekennzeichnet ist, findet man häufig den gleichen in derselben Schaltungsanordnung, jedoch mit umgekehrter Ruhelage. Durch einen entsprechend dimensionierten Basisspannungsleiter  $R_1/R_2$  wird  $T_1$  leitend; hierbei ist:

$$U_{B1} > U_E.$$

Ein Kippvorgang setzt ein, wenn an den Eingang eine **negative Spannung** angelegt wird, die sich dem Basisruhepotential überlagert und diesem entgegenwirkt.

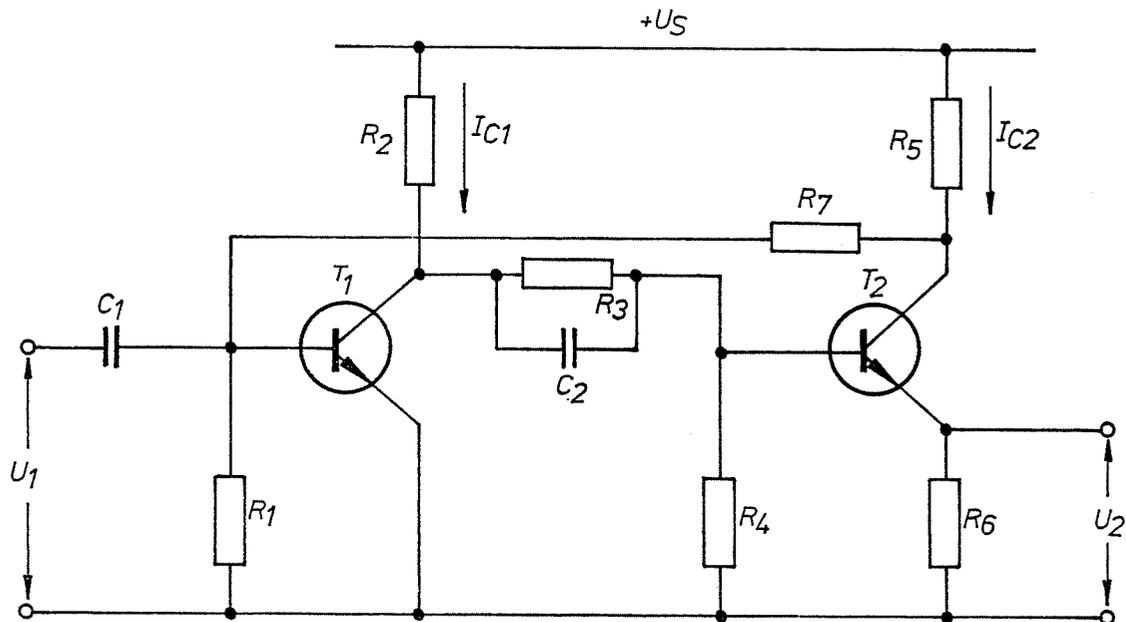
Schmitt-Trigger werden auch oft mit PNP-Transistoren bestückt. Die Schaltungen und deren Wirkungsweisen gleichen denen mit NPN-Transistoren, wenn man die im Abschnitt 3.2.2. erwähnten positiven Potentiale durch negative ersetzt. Ist in der Ruhelage Transistor  $T_1$  gesperrt, so setzt ein Kippvorgang beim Anlegen einer negativen Eingangsspannung ein, während ein in Ruhelage leitender Transistor  $T_1$  durch eine positive Eingangsspannung gesperrt wird.

Schmitt-Trigger nach Abb. 165, ob sie mit NPN- oder PNP-Transistoren bestückt sind, weisen zwei entscheidende Nachteile auf.

- Der Kollektorwiderstand (Arbeitswiderstand) von  $T_2$  liegt in der Größenordnung von  $1 \text{ k}\Omega$ . Der Ausgangswiderstand ist also verhältnismäßig hochohmig.
- Der in beiden Lagen stromdurchflossene gemeinsame Emitterwiderstand  $R_4$  erzeugt ständig einen Spannungsabfall, so daß die Ausgangsspannung in keiner Lage  $0 \text{ V}$  werden kann.

Beide Nachteile lassen sich ausschalten, wenn man den zweiten Transistor nicht in Emitter-schaltung (wie bei Abb. 165), sondern in Emitterfolgerschaltung betreibt. Die der Beschleunigung der Durchschaltung dienende Rückkopplung ist dann eine Spannungskopplung vom Kollektor  $T_2$  auf die Basis  $T_1$  (Abb. 167).

### Spannungsgekoppelter Schmitt-Trigger



(Abb. 167)

Die Ruhelage der Schaltung wird mit  $T_1$  gesperrt und  $T_2$  leitend angenommen. Der Arbeitswiderstand  $R_5$  ist gegenüber dem Emitterwiderstand  $R_6$  groß. Der bei leitendem  $T_2$  fließende Kollektorstrom  $I_{C2}$  erzeugt an  $R_5$  einen Spannungsabfall, um den die über  $R_7$  zurückgekoppelte Spannung kleiner als die Betriebsspannung ist. Damit ist  $T_1$  gesperrt. Der Spannungsabfall an  $R_6$  ist die Ausgangsspannung  $U_2$  der Schaltung. Sie ist wesentlich kleiner als die Betriebsspannung, da  $R_6 < R_5$  ist. Das ist gegenüber dem Schmitt-Trigger nach Abb. 165 ein Nachteil.

Legt man an den Eingang eine Spannung  $U_1$  an, die die Basis von  $T_1$  positiver werden läßt, dann wird  $T_1$  leitend und damit  $T_2$  gesperrt. Das Kollektorpotential an  $T_2$  wird positiver und trägt zum schnellen Leitendwerden von  $T_1$  bei, da es über  $R_7$  zurückgekoppelt wird. Die Ausgangsspannung  $U_2$  beträgt in diesem Falle 0 V, da  $R_6$  stromlos ist.

Für die Schaltung nach Abb. 167 ergeben sich ebenfalls verschiedene Schaltungsvarianten, wenn man durch entsprechende Dimensionierung erreicht, daß  $T_1$  in Ruhelage leitend ist oder die Transistoren durch PNP-Typen ersetzt. Je nach Schaltung und Transistorentypen werden Kippvorgänge durch positive oder negative Eingangsspannungsänderungen erreicht.

### 3.2.4. Anwendungsbeispiele

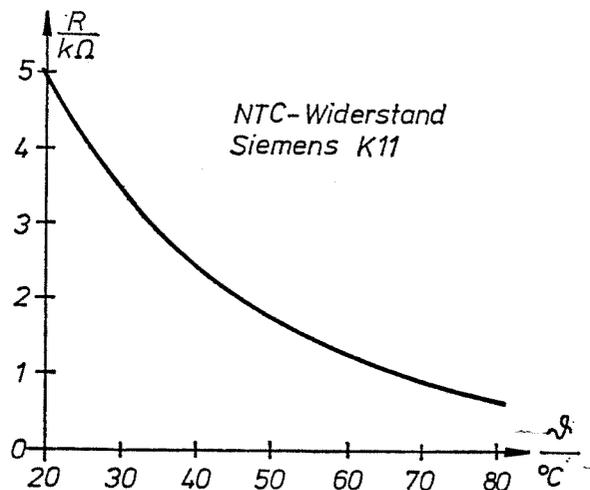
#### 3.2.4.1. Temperaturwächter

Ein in der Technik häufig auftretendes Problem ist die Überwachung von Temperaturen, z.B. die Überwachung der Umgebungstempera-

tur wärmegefährdeter Bauteile. Durch einen Schmitt-Trigger läßt sich diese Aufgabe elektronisch lösen, wenn in die Eingangsschaltung wärmeabhängige Widerstände (z.B. NTC-Widerstände) einbezogen werden. Abb. 169 stellt die Schaltung eines als Temperaturwächter ausgelegten Schmitt-Triggers dar, an dessen Ausgang ein Lampenverstärker angeschlossen ist. Die Lampe leuchtet in dem Moment auf, in dem die Temperatur an der Meßstelle (Lage des NTC-Widerstands) einen bestimmten, mit  $P_1$  vorgegebenen Grenzwert überschreitet.

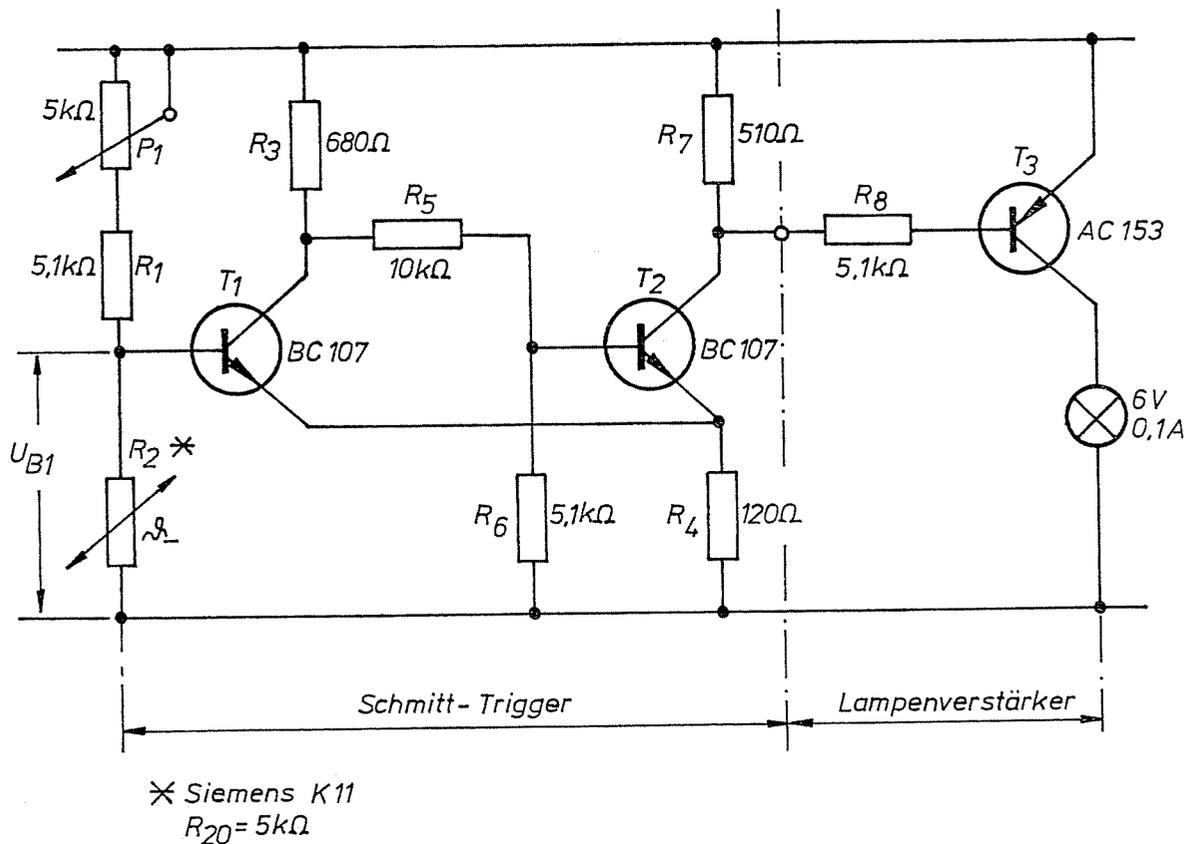
Der NTC-Widerstand ist Bestandteil des Basisspannungsteilers von  $T_1$ . Der in der Schaltung eingesetzte Typ hat einen Kaltwiderstand (bei  $20^\circ\text{C}$ ) von  $R_{20} = 5\text{ k}\Omega$  und einen Temperaturkoeffizienten von etwa  $-3,5\text{ \%/grad}$ ; seine Kennlinie ist in Abb. 168 gezeigt.

#### Kennlinie eines NTC-Widerstands



(Abb. 168)

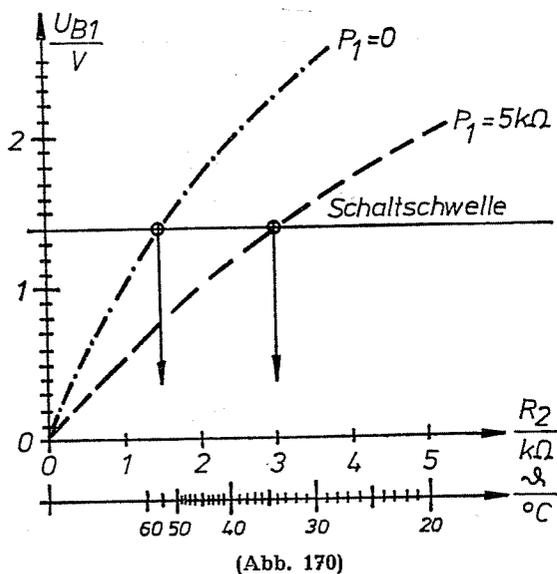
## Temperaturwächter



(Abb. 169)

Verringert sich mit der Temperatur der Wert des NTC-Widerstands  $R_2$ , so nimmt als Folge dieser Widerstandsänderung auch der Spannungsabfall  $U_{B1}$  ab. Nach den Gesetzen für unbelastete Spannungsteiler kann die abgegriffene Spannung  $U_{B1}$  für verschiedene temperaturabhängige Werte  $R_2$  und für verschiedene Einstellungen von  $P_1$  errechnet werden. Abb. 170 zeigt die Abhängigkeit der Spannung  $U_{B1}$  von  $R_2$  und damit von der Temperatur  $\vartheta$  für die beiden extremen Potentiometereinstellungen  $P_1 = 0$  und  $P_1 = 5 \text{ k}\Omega$ .

### Temperaturabhängigkeit des Eingangsteilers



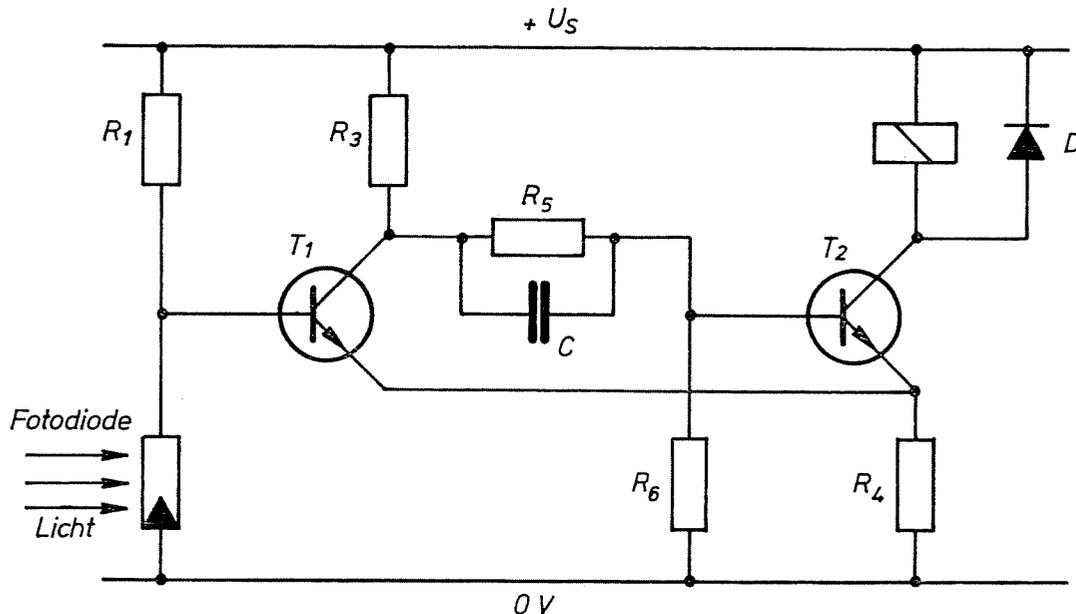
(Abb. 170)

Bei der angegebenen Dimensionierung liegt die Ausschaltsschwelle des Schmitt-Triggers bei etwa 1,4 V. Unterschreitet also die temperaturabhängige Spannung  $U_{B1}$  diesen Wert, dann kippt die Schaltung um. Das ist der Fall, wenn bei voll eingeschaltetem Potentiometer ( $P_1 = 5 \text{ k}\Omega$ ) der NTC-Widerstand einen Wert von  $3 \text{ k}\Omega$  annimmt, also bei einer Temperatur von etwa  $34^\circ \text{ C}$ , während bei der Einstellung  $P_1 = 0$  der NTC-Widerstand erst auf  $1,5 \text{ k}\Omega$  absinken muß, ehe der Trigger kippt. Dazu ist eine Temperatur von etwa  $55^\circ \text{ C}$  notwendig.

Durch die Einstellung von  $P_1$  kann die Ansprechtemperatur des Schmitt-Triggers variiert werden. Beim Überschreiten der eingestellten Temperatur kippt der Trigger in die Lage, in der Transistor  $T_1$  gesperrt und Transistor  $T_2$  leitend ist. Das Ausgangspotential (Kollektorpotential an  $T_2$ ) beträgt dann etwa +1 V und steuert den Lampenverstärker (PNP-Transistor  $T_3$ ) in den leitenden Zustand; die Lampe leuchtet auf.

### 3.2.4.2. Dämmerungsschalter

In der Beleuchtungstechnik für öffentliche Anlagen (z.B. Wege, Plätze, Treppenhäuser usw.) setzt sich immer mehr der sogenannte Dämmerungsschalter durch, eine Schaltung, die Beleuchtungskörper ohne äußeres Zutun bei zunehmender Dunkelheit einschaltet. Dämmerungsschalter bestehen in den meisten Fällen

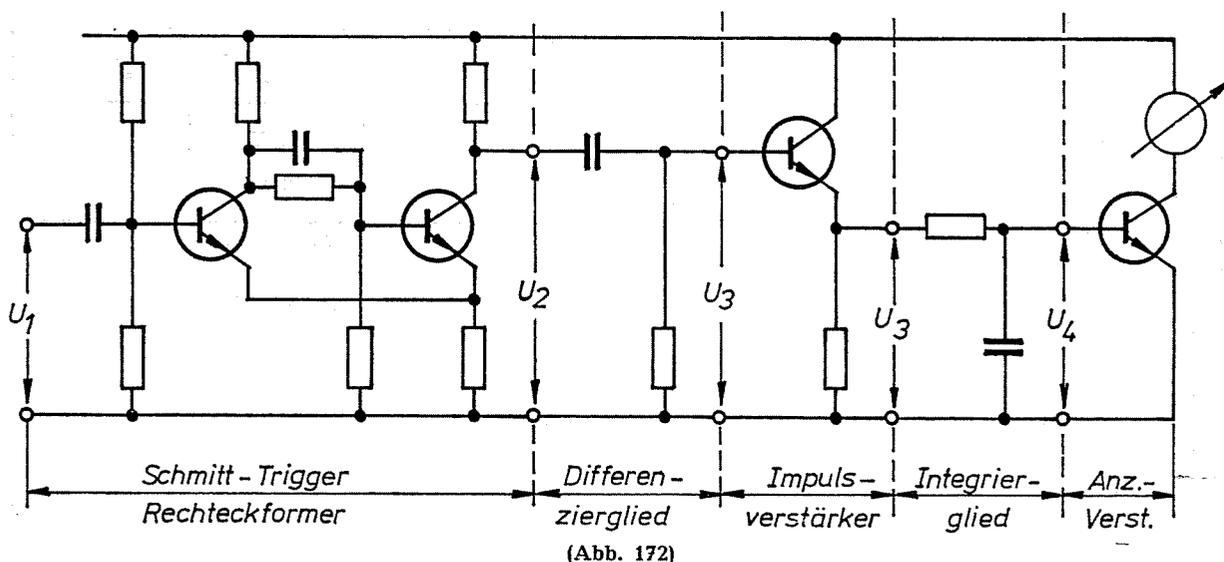
Dämmerungsschalter

(Abb. 171)

aus einem Schmitt-Trigger, der am Eingang mit einem lichtabhängigen Spannungsteiler beschaltet ist. Die Lichtabhängigkeit des Eingangsteilers ergibt sich z.B. durch Verwendung einer Fotodiode (Abb. 171).

Bei völliger Dunkelheit verhält sich die Fotodiode wie eine normale Diode in Sperrichtung, sie ist also sehr hochohmig ( $M\Omega$ -Bereich). Für diesen Fall ist die Fotodiode in der Schaltung (Abb. 171) praktisch wirkungslos, so daß Widerstand  $R_1$  als Basisvorwiderstand angesehen werden kann. An  $R_1$  entsteht durch den Basisstrom des Transistors  $T_1$  ein Spannungsabfall, der gerade so groß ist, daß  $T_1$  völlig leitend wird. Fällt in die Fotodiode Tageslicht ein, so wird sie sehr

niederohmig und verringert mit ihrem niedrigen Innenwiderstand die Basis-Emitter-Spannung des Transistors  $T_1$  so weit, daß er sperrt. In der Übergangszeit von Tag auf Nacht fällt auf die Fotodiode sich ständig vermindertes Licht. Der innere Widerstand der Diode nimmt daher ständig zu, was zu einer langsamen Zunahme der Basisspannung führt. Beim Durchlaufen der Einschaltchwelle kippt die Schaltung,  $T_1$  wird leitend und  $T_2$  gesperrt. Das Relais im Kollektorkreis von  $T_2$  fällt ab und schaltet mit Ruhekontakten die Beleuchtung ein. Die parallel zur Relaiswicklung liegende Diode dient als Freilaufdiode. Sie schützt den Transistor vor Überspannungen, die immer beim Ausschalten von Induktivitäten auftreten.

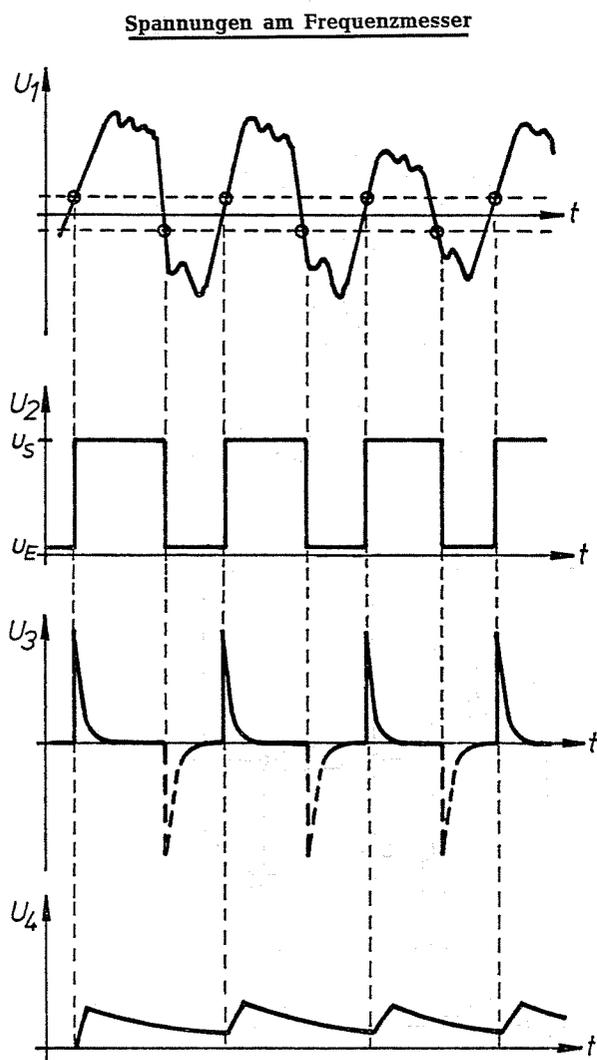
Frequenzmesser

(Abb. 172)

### 3.2.4.3. Rechteckformer

Aus Abschnitt 3.2.1.2. ist die Möglichkeit der Rechteckformung aus Wechselspannungen beliebiger Kurvenform mit Hilfe eines Schmitt-Triggers bekannt. Jeweils beim Überschreiten der Einschaltswelle und beim Unterschreiten der Ausschaltswelle ergibt sich ein Kipp- bzw. Rückkippvorgang, so daß die Ausgangsspannung ständig zwischen  $+U_E$  und  $+U_S$  wechselt. Setzt man einen Schmitt-Trigger vor den Eingang des in Abb. 162 dargestellten Frequenzmessers, so können damit Frequenzmessungen an Wechselspannungen beliebiger Kurvenform vorgenommen werden. Abb. 172 zeigt die Schaltung des Frequenzmessers.

Der Amplitudenbegrenzer vor dem Differenzierglied kann entfallen, da die Rechteckimpulse am Ausgang des Triggers immer gleiche Amplituden haben. Selbst stark verzerrte Wechselspannungen führen nach der Rechteckformung zu richtigen Meßergebnissen. In Abb. 173 sind die

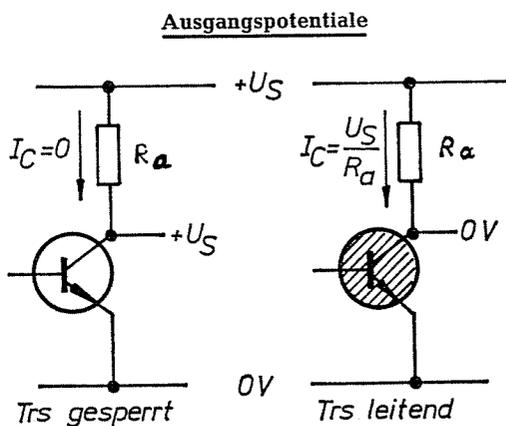


(Abb. 173)

Spannungen am Eingang des Schmitt-Triggers  $U_1$ , am Ausgang des Schmitt-Triggers  $U_2$ , am Ausgang des Differenziergliedes  $U_3$  und am Ausgang des Integriergliedes  $U_4$  dargestellt.

## 4. Kippschaltungen

Zur Gruppe der Kippschaltungen zählen alle Schaltungen, deren Ausgangspotentiale nur zwei sich voneinander unterscheidende Werte annehmen können. Der Übergang zwischen beiden Potentialen erfolgt **sprunghaft** und wird **Kippvorgang** genannt. Die beiden Ausgangspotentiale ergeben sich meistens als Kollektorpotentiale völlig leitender oder gesperrter Transistoren (Abb. 174) und sind entsprechend 0 V und  $+U_S$  (bei NPN-Transistoren).



(Abb. 174)

Ordnet man den beiden möglichen Potentialen die Binärsignale 0 und 1 zu, so gilt für die in diesem Buch festgelegte negative Logik:

Negative Logik mit NPN-Transistoren

Transistor	Ausgangspotential	Binärsignal
gesperrt	$+U_S$	0
leitend	0 V	1

Tabelle 59

In der Regel bestehen Kippschaltungen aus zwei Transistorschaltstufen, von denen eine leitend und die andere gesperrt ist. Während eines Kippvorgangs wechseln beide Transistorleitustände, d.h., der leitende Transistor wird gesperrt und gleichzeitig der gesperrte Transistor leitend. Nach der Art der Auslösung der Kippvorgänge unterscheidet man folgende Kippstufen:

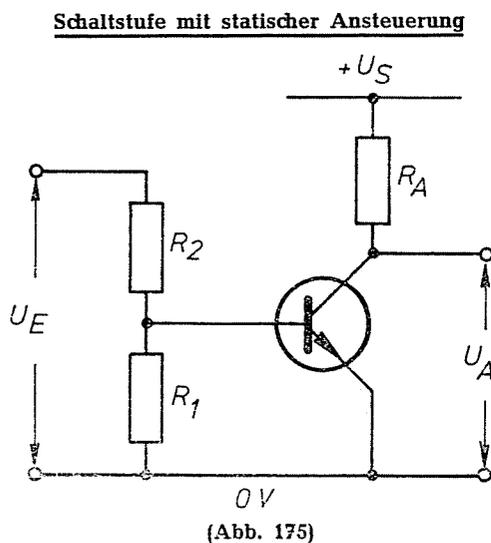
- a) **Bistabile Kippstufe**, auch bistabiler Multivibrator (BMV) oder in der Weiterführung dieses Buches meist Flipflop genannt: Kippvorgang (Ruhelage  $\rightarrow$  Arbeitslage) und Rückkippvorgang (Arbeitslage  $\rightarrow$  Ruhelage) werden von außen durch Gleichspannungen an **statischen Eingängen** oder durch Potentialsprünge (Impulse) an **dynamischen Eingängen** ausgelöst. Beide Lagen (Arbeitslage und Ruhelage) sind stabil
- b) **Monostabile Kippstufe**, auch als monostabiler Multivibrator oder Monoflop bezeichnet: Ein Kippvorgang (Ruhelage  $\rightarrow$  Arbeitslage) wird von außen wie bei a) eingeleitet, während der Rückkippvorgang (Arbeitslage  $\rightarrow$  Ruhelage) nach einer schaltungsabhängigen Zeit selbsttätig erfolgt. Die Arbeitslage ist nicht stabil. Die monostabile Kippstufe verfügt also nur über eine stabile Lage.
- c) **Astabile Kippstufe** oder astabiler Multivibrator: Beide Lagen sind instabil, d.h., Kippvorgänge und Rückkippvorgänge erfolgen ohne äußeren Anstoß. Die Zeit, für die sich eine Lage hält, ist abhängig von der Schaltungsdimensionierung.

#### 4.1. Schaltstufen der Kippschaltungen

In Kippschaltungen finden grundsätzlich zwei verschiedenartige Transistorschaltstufen Anwendung: Schaltstufen mit statischer und mit dynamischer Ansteuerung.

##### 4.1.1. Schaltstufe mit statischer Ansteuerung

Die im Abschn. 2. dieses Bandes ausführlich beschriebenen Transistorschaltstufen sind alle für statische Ansteuerung ausgelegt, d.h., der Leit-zustand der Transistoren hängt von einer am Eingang angelegten **Gleichspannung**  $U_E$  ab. Abb. 175 zeigt noch einmal die Grundschaltung.



Statische Ansteuerung

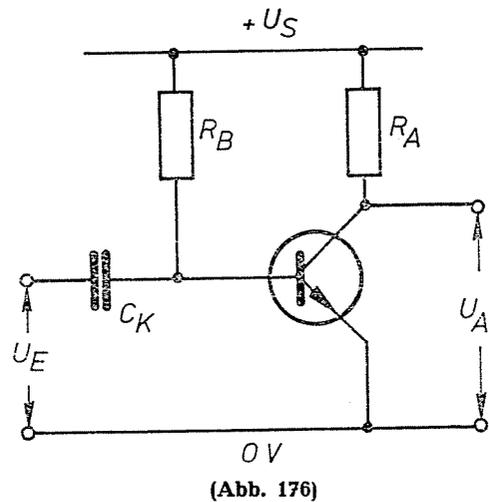
$U_E$	Transistor	$U_A$
0 V	gesperrt	$+U_S$
$+U_S$	leitend	0 V

Tabelle 60

##### 4.1.2. Schaltstufe mit dynamischer Ansteuerung

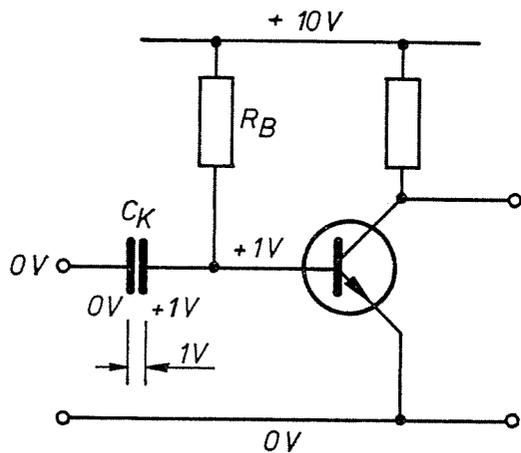
Transistorschaltstufen mit dynamischer Ansteuerung wurden bisher noch nicht behandelt, deshalb wird hierauf etwas näher eingegangen. Dynamische Ansteuerung bedeutet, daß der Transistorleit-zustand allein von **sprungartigen Spannungsänderungen (Impulsen)** beeinflusst wird. In Abb. 176 ist die Schaltung dargestellt. Charakteristisch für die dynamische Ansteuerung ist der Koppelkondensator  $C_K$  in der Eingangsleitung, der angelegte Gleichspannungen sperrt und aus den Potentialsprünge Impulse formt, die am Transistor wirksam werden. (Der Kondensator bildet zusammen mit dem Widerstand  $R_B$  und dem Basis-Emitter-Widerstand des Transistors ein Differenzglied.)

Schaltstufe mit dynamischer Ansteuerung



An der Basis des Transistors liegt über den Basisvorwiderstand  $R_B$  eine gegenüber dem Emitter positive Spannung (z.B.  $+1$  V), die den Transistor unabhängig von einer evtl. Gleichspannung am Eingang im leitenden Zustand hält. Eine Eingangs-Gleichspannung verursacht nur eine entsprechende Aufladung des Kondensators  $C_K$ . Wird angenommen, daß die Eingangsspannung  $U_E = 0$  V beträgt, so ergibt sich der in Abb. 177 dargestellte Ladezustand des Kondensators.

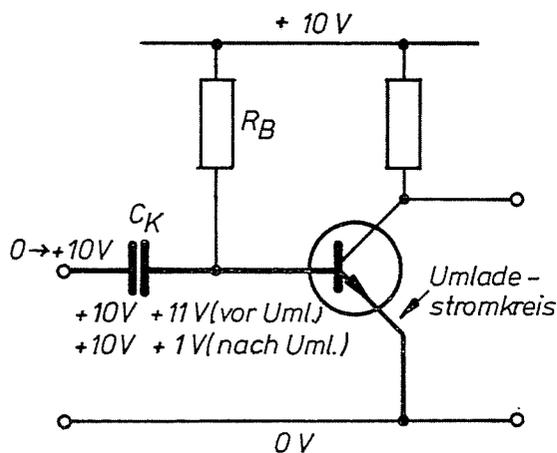
Eingangsspannung:  $U_E = 0 \text{ V}$



(Abb. 177)

Der Kondensator ist auf eine Spannung von 1 V mit positivem Potential an der Basis aufgeladen. Bei einem eingangsseitigen Potentialsprung von 0 V auf  $+U_S$  (angenommen mit 10 V) verschiebt sich das Potential beider Kondensatorplatten um 10 V in positiver Richtung auf +10 V bzw. 11 V (vgl. Abb. 178).

Eingangspotentialsprung: 0 V  $\rightarrow$  + 10 V

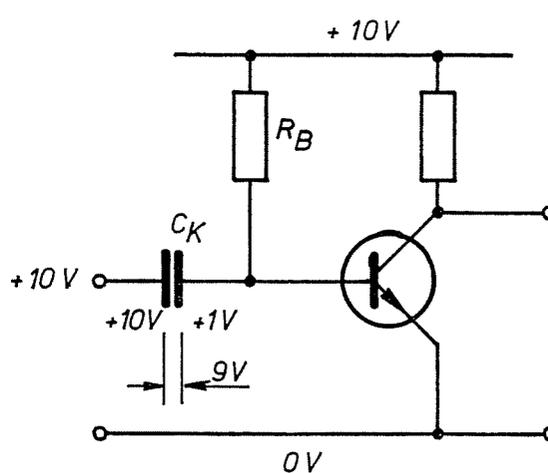


(Abb. 178)

Dieser Zustand bleibt jedoch nicht erhalten, denn  $C_K$  kann sich sehr schnell über die niederohmige Basis-Emitter-Strecke des leitenden Transistors umladen; es entsteht ein positiver Nadelimpuls. Nach der **sehr schnellen Umladung** hat das Potential der basisseitigen Kondensatorplatte wieder +1 V angenommen. Während und nach der Umladung des Kondensators  $C_K$  bleibt der Transistor leitend, da die Basis in jedem Falle positiver als der Emitter ist. Die Potentialverhältnisse in der Schaltung nach erfolgter Umladung bei einer Eingangsspannung  $U_E = 10 \text{ V}$  sind in Abb. 179 dargestellt.

Der Koppelkondensator ist dabei auf eine Spannung von 9 V aufgeladen.

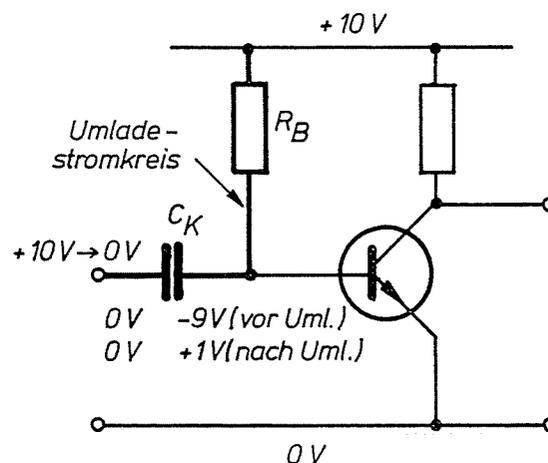
Eingangsspannung:  $U_E = 10 \text{ V}$



(Abb. 179)

Bei einem Potentialsprung  $+10\text{V} \rightarrow 0 \text{ V}$  am dynamischen Eingang ergibt sich eine Potentialverschiebung um 10 V in negativer Richtung an beiden Kondensatorbelägen. An der basisseitigen Platte ändert sich also das Potential von +1 V auf  $-9 \text{ V}$  (Abb. 180). Dabei wird der Transistor gesperrt.

Eingangspotentialsprung: + 10 V  $\rightarrow$  0 V



(Abb. 180)

Das negative Potential der basisseitigen Kondensatorplatte ändert sich während dieses zweiten **Umladevorgangs in der Zeit t** wieder auf +1 V. Nach Beendigung des Umladevorgangs, also nach der Zeit t, wird der Transistor wieder leitend. Dann ist der Zustand nach Abb. 177 wieder eingetreten. Die Zeit t ist abhängig von der Größe des Koppelkondensators  $C_K$  und des Basisvorwiderstands  $R_B$ , also von der Zeitkonstanten  $\tau$  im Umladestromkreis. Zur Berechnung der Zeit gilt die Näherungsformel:

$$t = 0,7 \cdot R_B \cdot C_K$$

Die Zeit  $t$  ergibt sich aus der Formel in Sekunden (s), wenn die Größe des Basisvorwiderstands  $R_B$  in Ohm ( $\Omega$ ) und die Kapazität des Koppelkondensators  $C_K$  in Farad (F) eingesetzt wird.

Die sich bei Transistorschaltstufen mit dynamischer Ansteuerung ergebenden, von der Eingangsspannung  $U_E$  abhängigen Leitzustände und Ausgangsspannungen  $U_A$  sind in der folgenden Tabelle zusammengefaßt.

Dynamische Ansteuerung

$U_E$	Transistor	$U_A$
0 V	leitend	0 V
0 V $\rightarrow$ + $U_S$	leitend	0 V
+ $U_S$	leitend	0 V
+ $U_S \rightarrow$ 0 V	gesperrt für die Zeit $t$	+ $U_S$

Tabelle 61

**Beispiel:** Bei einem dynamisch angesteuerten Schalttransistor (NPN-Typ) mit einem Basisvorwiderstand  $R_B = 500 \text{ k}\Omega$  und einem Koppelkondensator  $C_K = 0,1 \text{ }\mu\text{F}$  beträgt die Sperrzeit  $t$  bei einem negativen Eingangsimpuls (Potentialsprung +  $U_S \rightarrow 0$ ):

$$t = 0,7 \cdot R_B \cdot C_K$$

$$t = 0,7 \cdot 500 \cdot 10^3 \text{ }\Omega \cdot 0,1 \cdot 10^{-6} \text{ F}$$

$$t = 35 \cdot 10^{-3} \text{ s} = \underline{\underline{35 \text{ ms}}}$$

Eine mit den obengenannten Werten bestückte Transistorschaltstufe mit dynamischer Ansteuerung wird durch einen negativen Eingangsimpuls für 35 ms in den Sperrzustand gesteuert.

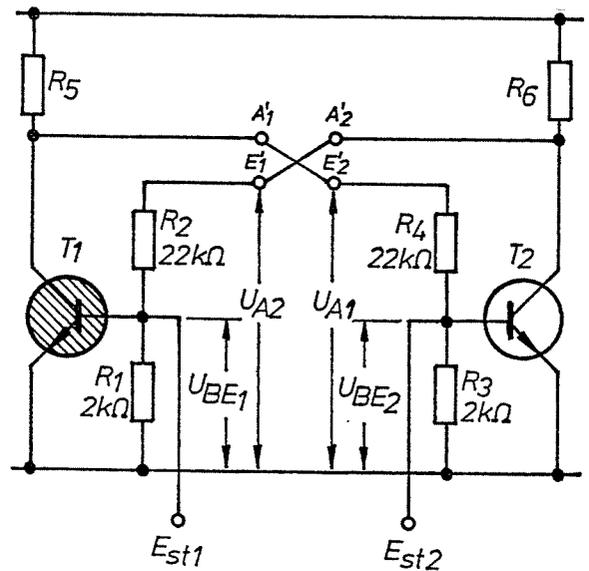
## 4.2. Bistabile Kippstufe (Flipflop)

### 4.2.1. Grundsaltung

Die bistabile Kippstufe entsteht durch Zusammenschaltung zweier Transistorschalter mit statischer Ansteuerung. Der Eingang  $E'_1$  der ersten Schaltstufe ist mit dem Ausgang  $A'_2$  der zweiten Schaltstufe und der Eingang  $E'_2$  der zweiten Schaltstufe mit dem Ausgang  $A'_1$  der ersten Schaltstufe verbunden (Abb. 181).

Zur Erklärung der Wirkungsweise wird Transistor  $T_1$  als leitend angenommen ( $T_1$  in Abb. 181 schraffiert) und diese Lage als Ruhelage der Schaltung festgelegt. Das Kollektorpotential  $U_{A1}$  von  $T_1$ , das gleichzeitig Eingangspotential der zweiten Schaltstufe ist, beträgt annähernd 0 Volt und sperrt den Transistor  $T_2$ . Dessen Kollektorpotential  $U_{A2}$  mit + $U_S$  dagegen hält  $T_1$  leitend. Dieser Zustand ist stabil und bleibt beliebig lange Zeit erhalten.

Bistabile Kippstufe (Grundsaltung)



(Abb. 181)

Für die Schaltungsdimensionierung nach Abb. 181 ergeben sich durch die Basisspannteiler die folgenden für beide Transistoren wirksamen Steuerspannungen  $U_{BE1}$  und  $U_{BE2}$ .  $U_{BE2}$  wird aus  $U_{A1}$  durch den Spannungsteiler  $R_3/R_4$  erzeugt:

$$U_{BE2} = \frac{R_3}{R_3 + R_4} \cdot U_{A1}$$

$$= \frac{2 \text{ k}\Omega}{2 \text{ k}\Omega + 22 \text{ k}\Omega} \cdot 0 \text{ V} = \underline{\underline{0 \text{ V}}}$$

Mit einer Basis-Emitter-Spannung von 0 V ist der Transistor  $T_2$  gesperrt.  $U_{BE1}$  wird aus  $U_{A2}$  durch den Spannungsteiler  $R_1/R_2$  erzeugt:

$$U_{BE1} = \frac{R_1}{R_1 + R_2} \cdot U_{A2}$$

$$= \frac{2 \text{ k}\Omega}{2 \text{ k}\Omega + 22 \text{ k}\Omega} \cdot 12 \text{ V} = \underline{\underline{1 \text{ V}}}$$

In der Berechnung von  $U_{BE1}$  wurde als  $U_{A2}$  die volle Speisespannung angenommen. Genaugenommen wird jedoch  $U_{A2}$  um den Spannungsabfall an  $R_6$  des über  $R_6 \rightarrow R_2 \rightarrow R_1$  fließenden Teilerstroms kleiner. Da im allgemeinen  $R_6$  viel kleiner als  $(R_1 + R_2)$  ist, kann dieser Spannungsabfall vernachlässigt werden.

Ein Kippen der Schaltung (Sperrung von  $T_1$  bzw. Durchsteuerung von  $T_2$ ) ist nur möglich, wenn einer der beiden Transistoren von außen über besondere Eingänge angesteuert wird. Bei diesen Eingängen unterscheidet man wie bei Schaltstufen zwischen statischer und dynamischer Ansteuerung. In der Grundsaltung nach Abb. 181 sind zwei statische Eingänge  $E_{st1}$  und  $E_{st2}$  vorhanden. Ein Kippvorgang aus der dargestellten Ruhelage kann über  $E_{st1}$  oder  $E_{st2}$  erreicht werden durch:

0 V an  $E_{st1}$   
(Basis des leitenden Transistors) oder

+ 1 V an  $E_{st2}$   
(Basis des gesperrten Transistors).

Wird z.B.  $T_1$  durch Anlegen von 0 V an  $E_{st1}$  gesperrt, wechselt  $U_{A1}$  von 0 V auf  $+U_S$  und steuert damit  $T_2$  über  $R_3/R_4$  in den leitenden Zustand. Die neue Lage wird als Arbeitslage bezeichnet; sie ist wie die Ruhelage stabil. Nach erfolgtem Kippvorgang kann das am Eingang  $E_{st1}$  stehende Signal, das den Kippvorgang auslöste, entfallen.

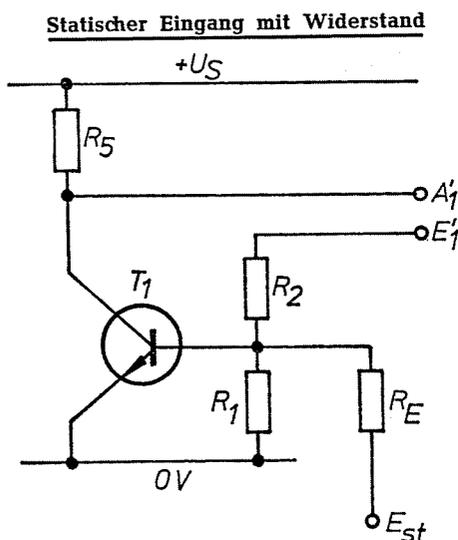
Für den Rückkippvorgang gelten die gleichen Kippbedingungen. Da beide Transistoren entgegengesetzte Leitzustände einnehmen, werden die statischen Eingänge entsprechend gewechselt, also:

0 V an  $E_{st2}$   
(Basis des leitenden Transistors) oder  
+ 1 V an  $E_{st1}$   
(Basis des gesperrten Transistors).

#### 4.2.2. Eingangsschaltungen

##### 4.2.2.1. Statische Eingänge

Die in der Grundschialtung der bistabilen Kippstufe (Abb. 181) dargestellten statischen Eingänge sind zur Ansteuerung mit 0 V und mit positiven Spannungen bis etwa + 1 V zu verwenden. Größere positive Spannungen führen zur Zerstörung der Transistoren, da diese direkt zwischen Basis und Emitter wirksam werden. Deshalb sind zum Schutze der Transistoren in den Eingangsleitungen meistens Widerstände (Abb. 182) oder Dioden (Abb. 183) eingeschaltet.



(Abb. 182)

Der statische Eingang, der durch einen Vorwiderstand  $R_E$  erweitert ist, läßt eine Leitendsteu-

erung eines gesperrten Transistors mit größeren positiven Spannungen zu, da die an  $E_{st}$  liegende Spannung nach dem Teilverhältnis

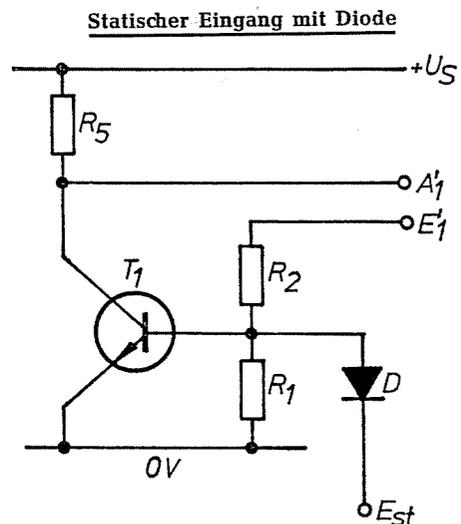
$$\frac{R_1}{R_1 + R_E}$$

auf eine gefahrlose Größe heruntergeteilt wird.

Die Sperrung eines leitenden Transistors mit 0 V an  $E_{st}$  ist in der Schaltung nach Abb. 182 nicht möglich, da  $R_E$  so groß ist, daß, durch den Spannungsabfall an  $R_E$  bedingt, das Basispotential immer positiver als 0 V ist und damit der Transistor leitend bleibt.

Um die Sperrung eines leitenden Transistors über  $E_{st}$  in der Schaltung nach Abb. 182 zu ermöglichen, müßte  $E_{st}$  mit einer negativen Spannung angesteuert werden. Je nach dem Verhältnis von  $R_E$  zu  $R_1$  nimmt das Basispotential entsprechende negative Werte an. Der NPN-Transistor wird dann also mit Sicherheit gesperrt. Da negative Potentiale in Schaltungen mit NPN-Transistoren normalerweise nicht vorkommen, hat diese Ansteuerungsart keine große Bedeutung.

Abb. 183 zeigt die Schaltung eines mittels Diode geschützten statischen Eingangs. Für positive Spannungen an  $E_{st}$  ist die Diode in Sperrichtung geschaltet, so daß die für den Transistor schädlichen hohen Basisströme bei zu großen Basis-Emitter-Spannungen gesperrt werden. Dagegen wird eine gegenüber dem Basispotential negativere Spannung wirksam.



(Abb. 183)

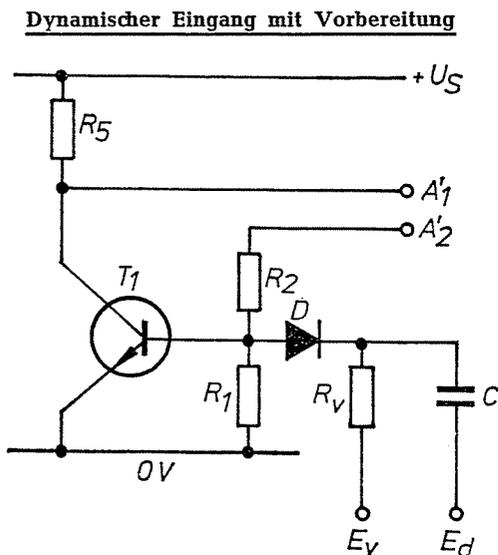
Dieser Zustand ergibt sich, wenn der Transistor leitend, also  $U_{BE}$  etwa 1 V beträgt und an  $E_{st}$  ein Potential von 0 V angelegt wird.

Bei in Durchlaßrichtung betriebenen Dioden entsteht ein Spannungsabfall, der der Schleienspannung entspricht. Um diesen Spannungsabfall ist die Anode der Diode, also auch die Basis des angesteuerten Transistors, positiver als das an  $E_{st}$  angelegte Potential. Die Sperrung eines Transistors ist jedoch nur dann möglich, wenn die wirksame Basis-Emitter-Spannung kleiner als die Schleienspannung der Emitterdiode ist. Sie beträgt bei Sili-

ziumtransistoren etwa 0,5 V. Für eine sichere Sperrung muß also das Basispotential kleiner als 0,5 V sein. Das ist nur durch Verwendung von Germaniumdioden mit einer Schleusenspannung von etwa 0,2 V möglich. Dann muß jedoch die Eingangsspannung exakt 0 V betragen. Das ist, insbesondere bei der Anschaltung an elektronische Schalter, nicht immer möglich, deshalb hat diese Ansteuerung in der Praxis wenig Bedeutung.

#### 4.2.2.2. Dynamische Eingänge

Neben der statischen Ansteuerung findet man bei bistabilen Kippstufen viel häufiger eine dynamische Ansteuerung, bei der nur Potentialsprünge mit großer Flankensteilheit wirksam werden. Solche Potentialsprünge sind in einer Rechteckspannung vertreten und werden durch RC-Differenzierglieder zu Nadelimpulsen geformt (vgl. hierzu Abschn. 3.). Beim Beispiel mit NPN-Transistoren wirken jedoch nur die negativen Impulse als Sperrimpulse, während alle bei der Differentiation einer Rechteckspannung auftretenden positiven Impulse durch eine vorgeschaltete Diode unterdrückt werden.



(Abb. 184)

Die zu differenzierende Rechteckspannung wird über den Eingang  $E_d$  der bistabilen Kippstufe zugeführt;  $E_v$  dient zur Anschaltung einer Vorbereitungsspannung. Potentialsprünge der an  $E_d$  liegenden Spannung  $U_d$  werden durch  $C$  zu positiven und negativen Nadelimpulsen geformt. Diese überlagern sich der an  $E_v$  liegenden Vorbereitungsspannung  $U_v$ .

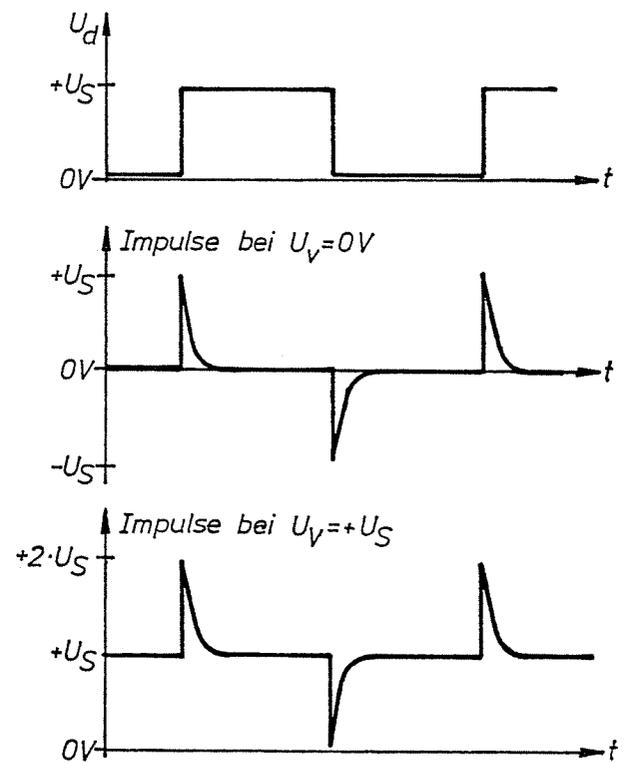
- a)  $U_v = 0 \text{ V}$  (Vorbereitung zum Kippvorgang): Die basisseitige Kondensatorplatte nimmt damit ebenfalls Potential 0 V an. Durch Differenzierung ergeben sich positive und negative Impulse, von denen die negativen

über die Diode  $D$  auf die Basis einwirken und den Transistor sperren.

- b)  $U_v = +U_s$  (keine Vorbereitung): Die basisseitige Kondensatorplatte nimmt das an  $E_v$  angelegte Potential  $+U_s$  an. Ein positiver Potentialsprung an  $E_d$  ( $0 \text{ V} \rightarrow +U_s$ ) verursacht einen der positiven Spannung überlagerten positiven Impuls, während ein negativer Potentialsprung an  $E_d$  ( $+U_s \rightarrow 0 \text{ V}$ ) eine nur bis auf 0 V reichende negative Impulsspitze erzeugt. Für die positiven und die bis auf 0 V reichenden negativen Impulse ist die Diode gesperrt, so daß der Transistor unbeeinflusst bleibt.

Abb. 185 zeigt die an der Diode stehenden Impulse für  $U_v = 0 \text{ V}$  und  $U_v = +U_s$  in Abhängigkeit von den an  $E_d$  liegenden Potentialsprüngen.

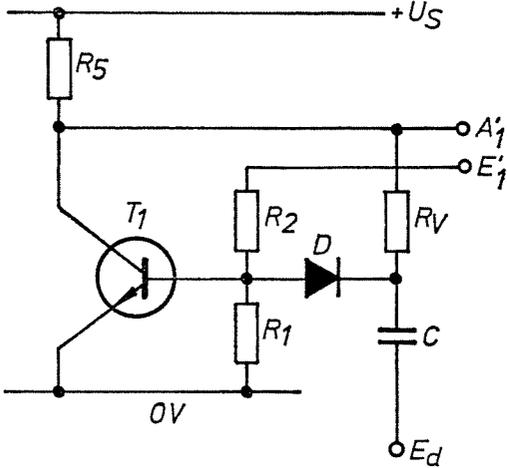
#### Impulsformung am dynamischen Eingang



(Abb. 185)

Sollen bistabile Kippstufen an dynamischen Eingängen durch Potentialsprünge ohne zusätzliche Vorbereitungsspannungen gekippt werden, dann sind die Widerstände  $R_v$  in den Vorbereitungsleitungen mit ihren freien Enden an die Kollektoren der zugehörigen Transistoren zu legen. Abb. 186 zeigt die Schaltung eines dynamischen Eingangs, der ohne besondere Vorbereitung arbeitet.

Dynamischer Eingang ohne Vorbereitung



(Abb. 186)

Der dargestellte Impulseingang ist immer dann vorbereitet, wenn der Transistor leitend ist und damit 0 V Kollektorpotential über  $R_V$  an die Diode  $D$  legt.

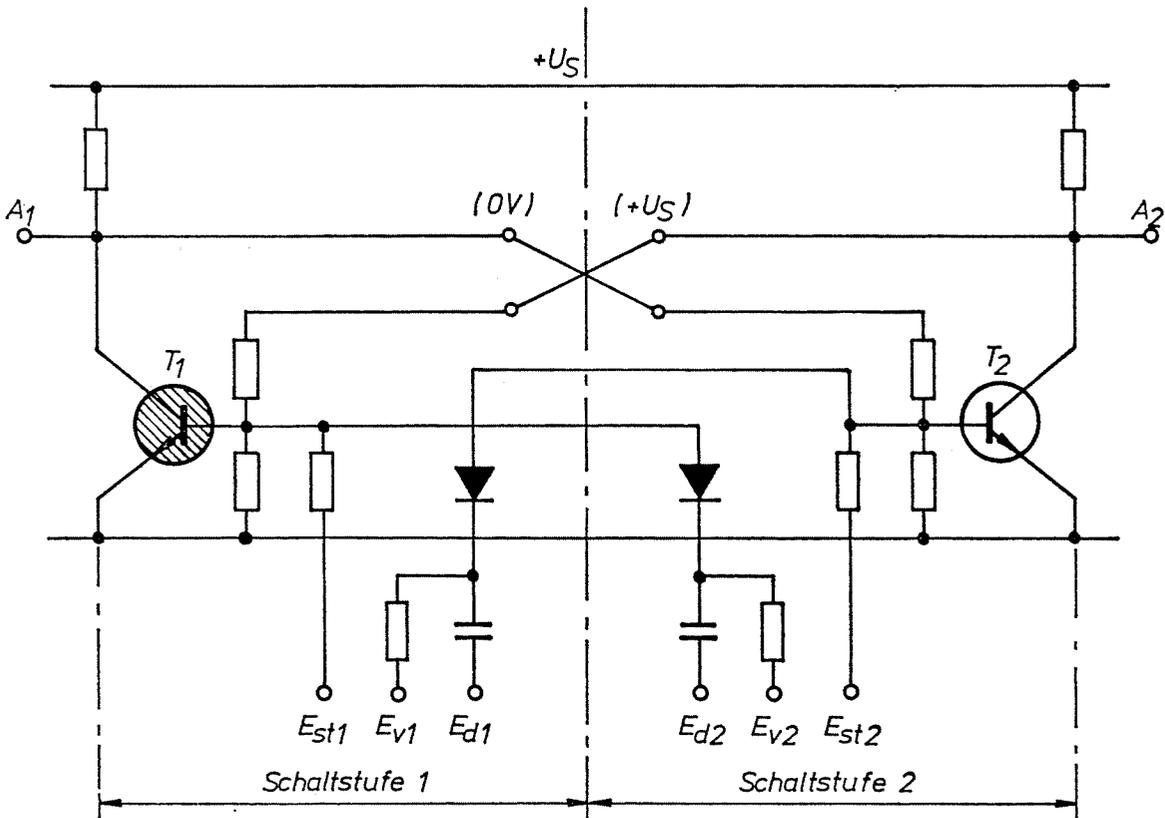
**4.2.3. Flipflop mit statischen und dynamischen Eingängen**

Flipflops sind in der Regel mit statischen und dynamischen Eingängen ausgestattet, so daß Kippvorgänge durch Gleichspannungen oder Potentialsprünge ausgelöst werden können.

Gleichspannungen können nur an statischen Eingängen wirksam werden. Die für einen Kippvorgang erforderliche Spannung beträgt je nach Art des Eingangs (mit Diode oder Widerstand) 0 V oder volle Betriebsspannung  $+U_S$ . Dynamische Eingänge sind durch einen Kondensator in der Eingangsleitung gekennzeichnet. Dieser läßt eine wirksame Ansteuerung nur durch Potentialsprünge ( $+U_S \rightarrow 0\text{ V}$ ) mit steilen Anstiegsflanken zu.

Während eines Kippvorgangs wechseln die Leitzustände beider Transistoren und damit deren Kollektorpotentiale. Aus der Größe der Kollektorpotentiale kann also auf die Lage des Flipflops (Ruhe- oder Arbeitslage) geschlossen werden. Deshalb sind die Kollektoranschlüsse beider Transistoren einer bistabilen Kippstufe als Ausgänge nach außen geführt. Abb. 187 zeigt die Schaltung eines Flipflops mit einem Ausgang, einem statischen und einem dynamischen Eingang mit zugehöriger Vorbereitung je Schaltstufe. Die dynamischen Eingänge und die Vorbereitungseingänge beider Schaltstufen sind jeweils auf der Gegenseite des Flipflops dargestellt, um eine Übereinstimmung der Schaltung mit einem später beschriebenen Normsymbol zu erreichen.

Flipflop mit statischen und dynamischen Eingängen



(Abb. 187)

Die in Abb. 187 dargestellten statischen Eingänge  $E_{st}$  werden beim Anlegen von  $+U_S$  wirksam, wenn der angesteuerte Transistor gerade gesperrt ist. Zur dynamischen Ansteuerung eines leitenden Transistors müssen dagegen zwei Eingangsbedingungen erfüllt sein; das sind: Potentialsprung  $+U_S \rightarrow 0$  V am dynamischen Eingang  $E_d$ , der auf der Gegenseite dargestellt wird, und gleichzeitig 0 V als Vorbereitungspotential an  $E_v$ . Der anzusteuern leitende Transistor ist durch sein Kollektorpotential (Potential am Ausgang) von 0 V erkenntlich. Bei der in Abb. 187 angenommenen Flipflopplage ( $T_1$  leitend, 0 V an  $A_1$  und  $T_2$  gesperrt,  $+U_S$  an  $A_2$ ) führen die folgenden Eingangssignale zu einem Kippvorgang.

Statisch:  $+U_S$  an  $E_{st2}$ , wobei der gesperrte Transistor  $T_2$  leitend gesteuert wird.

Dynamisch: Potentialsprung  $+U_S \rightarrow 0$  V an  $E_{d2}$  und gleichzeitig 0 V an  $E_{v2}$  als Vorbereitung, wobei der leitende Transistor  $T_1$  gesperrt wird.

Nach erfolgtem Kippen sind die Ausgangspotentiale  $+U_S$  an  $A_1$  und 0 V an  $A_2$ . Durch die Vertauschung der dynamischen Eingänge ergibt sich eine Regelmäßigkeit, die wie folgt lautet:

**Am Ausgang der angesteuerten Flipflopseite entsteht nach dem Kippvorgang immer ein Potential 0 V.**

#### 4.2.4. Symbol des Flipflops (DIN 40700 Bl. 14)

In umfangreichen Schaltungen der Elektronik wird ein Flipflop meistens durch ein einfaches Symbol dargestellt. Aus diesem Symbol gehen nur noch die Eingänge und Ausgänge hervor, während die eigentliche elektrische Schaltung vollkommen außer acht bleibt (Abb. 188). Gleichzeitig führt man anstelle der Eingangs- und Ausgangspotentiale die beiden Binärsignale 0 und 1 ein. Für diesen Abschnitt gilt weiterhin die festgelegte negative Logik mit folgender Zuordnung:

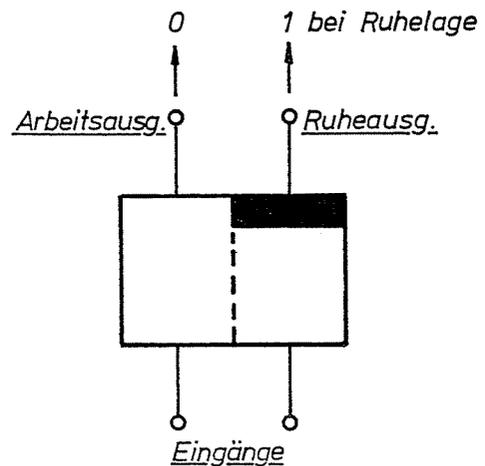
$$\begin{aligned} 0 &\hat{=} + U_S \\ 1 &\hat{=} 0 \text{ V} \end{aligned}$$

Nach dieser Logik ergeben sich folgende Potentialzustände:

- Am Kollektor des **leitenden Transistors** und damit am zugehörigen Ausgang erscheint **1**.
- Am Kollektor des **gesperrten Transistors** und damit am zugehörigen Ausgang erscheint **0**.

Die festgelegte Ruhelage eines Flipflops wird durch einen am Ausgang eingezeichneten Balken im Symbol fixiert (Abb. 188). Er befindet sich auf der Flipflopseite, deren Ausgang in der Ruhelage das Signal 1 führt. Dieser Ausgang wird oft auch **Ruheausgang** genannt. Der in Arbeitslage Signal 1 führende Ausgang, also der auf der Gegenseite befindliche, wird dann entsprechend als **Arbeitsausgang** bezeichnet.

Flipflopsymbol allgemein (DIN 40700 Bl. 14)



(Abb. 188)

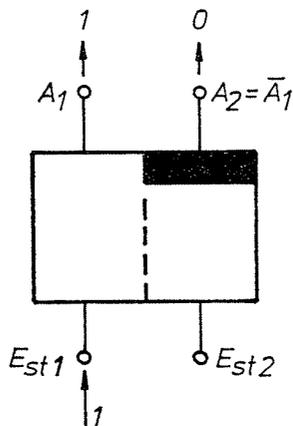
Die Festlegung des Symbols nach DIN 40700, Blatt 14 ist noch verhältnismäßig neu. Da die Entwicklung auf dem Gebiet der Elektronik ständig im Fluß ist, kann man ohne weiteres in anderen Veröffentlichungen, Firmenbeschreibungen u.ä. auch andere Darstellungsformen und Festlegungen finden. Wichtig ist, daß innerhalb eines Systems, einer Beschreibung oder einer Schaltung die einmal getroffene Festlegung beibehalten wird. **Bei Abweichungen von der Norm sollten diese auf der entsprechenden Schaltung angegeben sein.**

Die Eingänge der Flipflops werden meistens an der Unterseite des Symbols eingezeichnet (Abb. 188). Für die unterschiedlichen Eingangsarten gelten nach DIN 40700 verschiedene Darstellungsformen, die in den Abb. 189—193 angegeben sind.

Das Flipflop nach Abb. 189 besitzt je einen statischen Eingang nach der Schaltung in Abb. 183. Zum Kippvorgang führt nur ein an einen Eingang  $E_{st}$  angelegtes Potential von 0 V (Signal 1), wenn der zugehörige Ausgang A Signal 0 hat. Nach erfolgtem Kippvorgang erscheint am Ausgang der angesteuerten Seite Signal 1. Ist das Ausgangssignal der mit 1 angesteuerten Seite bereits vor der Ansteuerung 1, so bleibt ein Kippvorgang aus und das Ausgangssignal 1 erhalten. Daher gilt allgemein:

Ein mit 1 angesteuerter statischer Flipflopeingang hat unabhängig von der Flipflopplage immer ein Ausgangspotential 1 am zugehörigen Ausgang zur Folge.

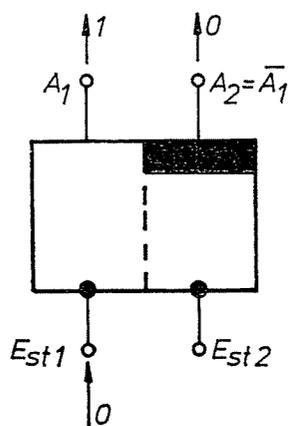
#### Flipflop mit statischen Eingängen



(Abb. 189)

Viel häufiger als die auf Signal 1 ansprechenden Eingänge findet man eine statische Ansteuerung mit dem Potential  $+U_s$ , entsprechend Signal 0 (vgl. Schaltung nach Abb. 182). Diese mit 0 ansteuerbaren Eingänge werden im Symbol durch einen Negationspunkt gekennzeichnet (Abb. 190).

#### Flipflop mit negierten statischen Eingängen



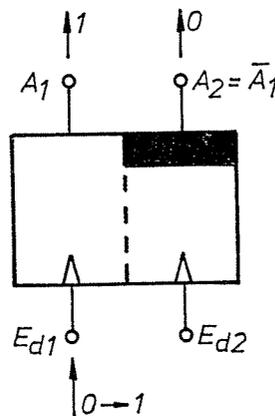
(Abb. 190)

Nach Norm (DIN 40700) kippt ein Flipflop nach Abb. 190 bei einer Ansteuerung mit 0 auf der Seite, deren Ausgangssignal vorher 0 war. Nach dem Kippvorgang nimmt das Ausgangssignal auf der angesteuerten Seite den Zustand 1 an. **Ein mit 0 angesteuerter negierter statischer Eingang führt immer zum Ausgangssignal 1 auf der gleichen Flipflopseite.**

Dynamische Eingänge werden im Symbol durch Pfeile dargestellt. Aus der Pfeildarstellung geht auch die Polarität des wirksamen Potentialsprungs hervor. Die dynamischen Eingänge

eines Flipflops mit einer Schaltung nach Abb. 186 sind z.B. nur für Potentialsprünge  $+U_s \rightarrow 0$  V ( $0 \rightarrow 1$ ) wirksam und werden durch offene Pfeile gekennzeichnet (Abb. 191).

#### Flipflop mit dynamischen Eingängen ( $0 \rightarrow 1$ )

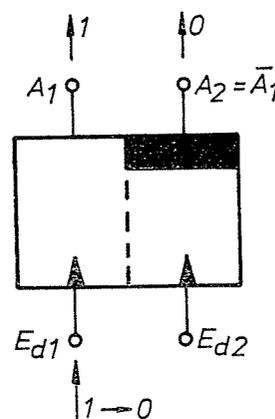


(Abb. 191)

Im Flipflop nach Abb. 191 führt ein Potentialsprung  $0 \rightarrow 1$  nur dann zum Kippvorgang, wenn das Signal am zugehörigen Ausgang vor der Ansteuerung 0 ist. Durch den Kippvorgang stellt sich am Ausgang Signal 1 ein. Beträgt das Ausgangssignal vor der Ansteuerung bereits 1, dann bleibt die Ansteuerung unwirksam. **Die dynamische Ansteuerung einer Flipflopseite führt unabhängig von der Flipflopplage immer zum Signal 1 am zugehörigen Ausgang.**

Wählt man bei der Umsetzung der Potentiale 0 V und  $+U_s$  in die logischen Signale 0 und 1 eine positive Logik, so ergeben sich für die Schaltung nach Abb. 186 als wirksame Potentialsprünge die Signalwechsel  $1 \rightarrow 0$ . Das gleiche kann auch für einen Schaltungsaufbau mit PNP-Transistoren bei entsprechender Logik oder bei völlig anders gearteten Schaltungen zutreffen. Im Symbol wird der auf Signalwechsel  $1 \rightarrow 0$  ansprechende dynamische Eingang durch einen ausgefüllten Pfeil dargestellt (Abb. 192).

#### Flipflop mit dynamischen Eingängen ( $1 \rightarrow 0$ )

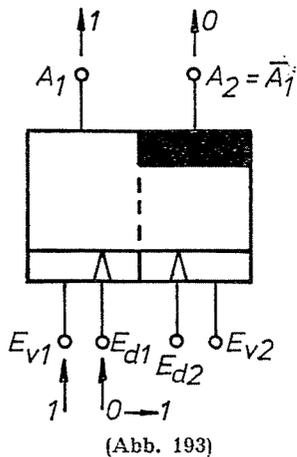


(Abb. 192)

Das Ausgangssignal eines Flipflopaustrags entsprechend Abb. 192 beträgt 1, wenn die gleiche Seite mit einem Signalwechsel  $1 \rightarrow 0$  angesteuert wurde.

Dynamische Eingänge  $E_d$  mit zusätzlichen Vorbereitungseingängen  $E_v$  werden wie in Abb. 193 dargestellt. Man unterscheidet auch hierbei Schaltungen für Potentialwechsel  $0 \rightarrow 1$  ( $E_d$  in offener Pfeildarstellung) und  $1 \rightarrow 0$  ( $E_d$  in ausgefüllter Pfeildarstellung). Der Vorbereitungseingang  $E_v$  ist meistens so gestaltet, daß eine Vorbereitung bei Signal 1 an  $E_v$  gegeben ist (vgl. Wirkungsweise der Schaltung nach Abb. 184).

**Flipflop mit dynamischen Eingängen mit Vorbereitung**



(Abb. 193)

Ein Signalwechsel  $0 \rightarrow 1$  an einem dynamischen Eingang im Flipflop nach Abb. 193 wird nur im Zusammenwirken mit einem Vorbereitungssignal 1 am zugehörigen Vorbereitungseingang wirksam. Eine wirksame Ansteuerung ergibt in jedem Falle 1 am Ausgang der gleichen Flipflopseite.

**Eingangsarten**

Eingangssymbol	Wirksame Ansteuerung	Erzieltes Signal am zugeh. Ausg.
	1	1
	0	1
	$0 \rightarrow 1$	1
	$1 \rightarrow 0$	1
	$0 \rightarrow 1$ 1	1
	$1 \rightarrow 0$ 1	

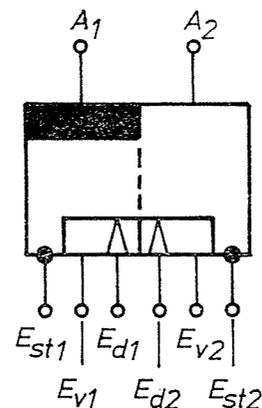
Tabelle 62

Alle Eingangsarten, ihre wirksamen Ansteuerungen und die dabei erzielten Signale an den zugehörigen Ausgängen sind in der vorstehenden Tabelle zusammengefaßt.

Tabelle 62 zeigt deutlich, daß bei der Darstellung der Flipflops nach DIN 40700 Bl. 14 ein wirksam angesteuerter Eingang am Ausgang auf der gleichen Seite eine 1 erzwingt.

Setzt man die in Abb. 187 gegebene Flipflopschaltung mit statischen und dynamischen Eingängen in die Symboldarstellung nach DIN 40700 um, so ergibt sich Abb. 194. Dazu wird angenommen, daß der dargestellte Zustand die Ruhelage ist.

**Flipflop mit statischen und dynamischen Eingängen**



(Abb. 194)

Das Ausgangspotential des leitenden Transistors  $T_1$  beträgt 0 V, also 1, folglich ist  $A_1$  der Ruhegang. Die Eingänge  $E_{st1}$  und  $E_{st2}$  sind statische Eingänge, die auf  $+U_s$ , also auf Signal 0, ansprechen. Sie werden mit Negationspunkt dargestellt. Die dynamischen Eingänge  $E_{d1}$  und  $E_{d2}$  werden nur bei Potentialsprüngen  $+U_s \rightarrow 0$  V wirksam.  $+U_s \rightarrow 0$  V entspricht einem Signalwechsel  $0 \rightarrow 1$ , so daß der Eingangspfeil des dynamischen Eingangs offen dargestellt ist. Die dynamischen Eingänge werden nur zusammen mit einem Vorbereitungspotential 0 V (Vorbereitungssignal: 1) an  $E_v$  wirksam.

Aus der Flipflopdarstellung nach Abb. 194 können folgende, zu einem Kippvorgang in die Arbeitslage möglichen Ansteuerungsarten erkannt werden:

- a) Statische Ansteuerung: 0 an  $E_{st2}$ , da der Ausgang  $A_2$  Signal 0 führt; nach erfolgtem Kippvorgang liegt 1 am Arbeitsausgang.
- b) Dynamische Ansteuerung: Signalwechsel  $0 \rightarrow 1$  an  $E_{d2}$ . Gleichzeitig ist eine Vorbereitung mit 1 an  $E_{v2}$  erforderlich.

Der Kippvorgang kann durch a) oder b) ausgelöst werden; beide Möglichkeiten sind also in bezug auf ihre Auswirkung (1 an  $A_2$ ) gleichwertig.

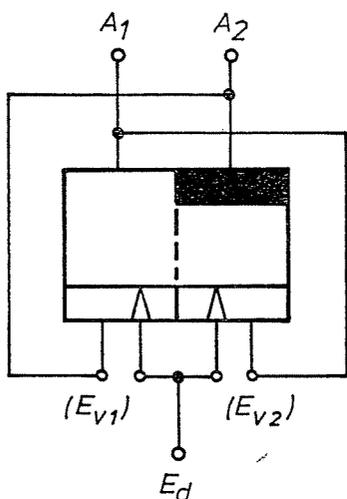
### 4.2.5. Anwendungsmöglichkeiten des Flipflops

Bei vielen Anwendungsfällen für Flipflops genügt bereits ein gemeinsamer dynamischer Eingang (Impulseingang) für beide Flipflopseiten. Eine so konzipierte Schaltung, die oft **Binär-Zählelement** genannt wird, ergibt sich aus einem Flipflop nach Abb. 193, wenn man die beiden dynamischen Eingänge  $E_{d1}$  und  $E_{d2}$  zusammenschaltet und die Vorbereitungseingänge mit den Ausgängen ( $E_{v1}$  mit  $A_2$  und  $E_{v2}$  mit  $A_1$ ) verbindet.

also zu einem Kippvorgang. Die dabei wechselnden Ausgangspotentiale bereiten nun für den nächsten an  $E_d$  eintreffenden Signalwechsel  $0 \rightarrow 1$  die andere Flipflopseite vor, so daß auch dann das Flipflop kippt. Diese Vorgänge wiederholen sich ständig. **Das Binär-Zählelement kippt also bei jedem Signalwechsel  $0 \rightarrow 1$  an  $E_d$ .**

In verschiedenen Schaltungsdarstellungen wird das Binär-Zählelement in vereinfachter Form gezeichnet (Abb. 196).

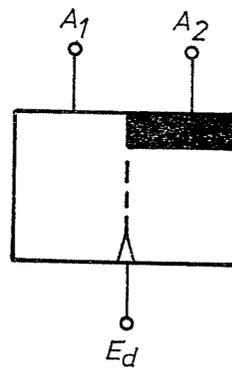
Binär-Zählelement



(Abb. 195)

Ein am gemeinsamen Impulseingang  $E_d$  liegender Signalwechsel  $0 \rightarrow 1$  wirkt nur auf der Flipflopseite, deren Ausgangssignal 0 beträgt, da nur diese durch das Ausgangssignal 1 der Gegenseite vorbereitet ist. Der Signalwechsel führt

Vereinfachte Darstellung des Binär-Zählelements

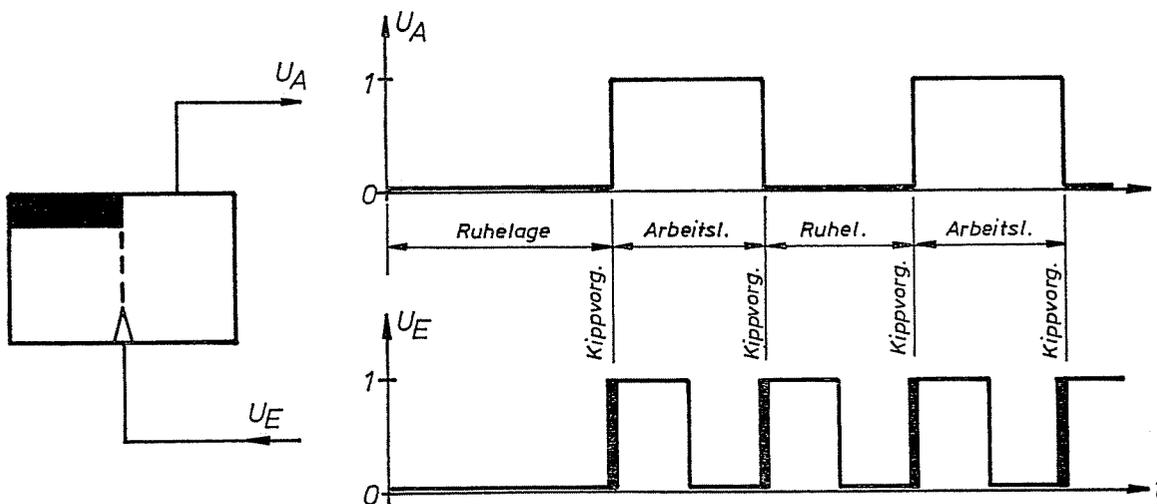


(Abb. 196)

#### 4.2.5.1. Frequenzteilung

Legt man an den Eingang  $E_d$  eines Binär-Zählelements eine Rechteckspannung, so verursacht jeder Signalwechsel  $0 \rightarrow 1$  der Eingangsspannung  $U_E$  einen Kippvorgang. Dabei wechselt das Ausgangspotential  $U_A$  am Arbeitsausgang  $A_2$  von 0 auf 1 bzw. von 1 auf 0.

Binär-Zählelement als Frequenzteiler



(Abb. 197)

Beim Vergleich der am Arbeitsausgang des Flipflops entstehenden Rechteckspannung  $U_A$  mit der Eingangsspannung  $U_E$  fällt die doppelte Periodendauer von  $U_A$  auf; das entspricht der halben Frequenz am Ausgang. **Ein Flipflop nach Abb. 195 oder 196 teilt die Frequenz der am Eingang angelegten Rechteckspannung im Verhältnis 2:1.**

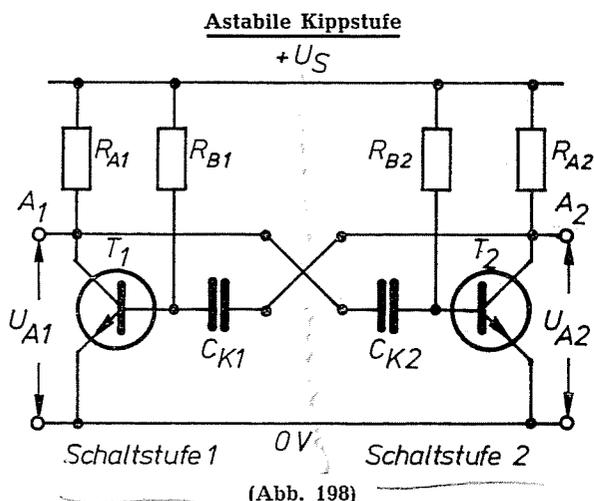
#### 4.2.5.2. Impulsspeicherung

Geht man von einem in Ruhelage befindlichen Binär-Zählelement aus, so kippt dieses beim Eintreffen eines Impulses  $0 \rightarrow 1$  in die Arbeitslage und behält sie bei. Ein nur kurzfristig anstehender Impuls  $0 \rightarrow 1$  wird also durch eine bleibende Arbeitslage gespeichert. Der zweite Impuls  $0 \rightarrow 1$  am gemeinsamen Impulseingang bewirkt eine Rückstellung in die Ruhelage. Damit ist der Speicher gelöscht und wieder aufnahmefähig für den dritten Impuls  $0 \rightarrow 1$ . **Ein Flipflop kann einen eingangsseitigen Impuls speichern. Der Speicherzustand ist durch die Arbeitslage gekennzeichnet.**

### 4.3. Astabile Kippstufe

#### 4.3.1. Schaltung und Wirkungsweise

Die astabile Kippstufe setzt sich aus zwei dynamisch angesteuerten Schaltstufen zusammen. Wie bei den bistabilen Kippstufen werden auch hier der Ausgang der Schaltstufe 1 mit dem Eingang der Schaltstufe 2 und der Ausgang der Schaltstufe 2 mit dem Eingang der Schaltstufe 1 verbunden. Astabile Kippstufen kennen keine stabilen Ruhelagen, d.h., die Leitzustände der einzelnen Transistorschaltstufen wechseln ständig nach einem von der Dimensionierung der Schaltung abhängigen Rhythmus. Sie benötigen deshalb auch keine Eingänge, über die Kippvorgänge eingeleitet werden.



*x dynamisch ein Transistor steuert den anderen an.*

Für die Beschreibung der astabilen Kippstufe nach Abb. 198 wird von einem Zeitpunkt ausgegangen, bei dem gerade Transistor 1 leitend und damit Transistor 2 gesperrt ist. Am Eingang der Schaltstufe 2 muß also unmittelbar vorher ein Potentialsprung  $+U_S \rightarrow 0$  wirksam geworden sein (vgl. Abschn. 4.1.2.). Transistor 2 bleibt für die Zeit  $t_2$  gesperrt.

$$t_2 = 0,7 \cdot R_{B2} \cdot C_{K2}$$

*Schwellwert  $U_S$ -Transistor*

Danach wird er ohne äußeren Einfluß leitend. Dabei entsteht ein Potentialsprung  $+U_S \rightarrow 0$  am Ausgang  $A_2$ . Durch diesen Potentialsprung, der gleichzeitig am Eingang der Schaltstufe 1 zur Wirkung kommt, wird Transistor 1 gesperrt (Kippvorgang). Die Sperrdauer des Transistors 1 ergibt sich aus:

$$t_1 = 0,7 \cdot R_{B1} \cdot C_{K1}$$

Nach der Zeit  $t_1$  folgt ein weiterer Kippvorgang, der die Schaltung in die anfangs angenommene Lage versetzt. Da die Schaltung symmetrisch ist, gilt für diesen Rückkippvorgang der gleiche Ablauf. Von hier aus wiederholen sich alle beschriebenen Vorgänge.

#### 4.3.2. Ausgangsspannungen

Durch die sich ständig wiederholenden Kipp- und Rückkippvorgänge erzeugen astabile Kippstufen Rechteckspannungen, die an den beiden Ausgängen  $A_1$  und  $A_2$  abgegriffen werden können. In Abb. 199 sind beide Spannungen  $U_{A1}$  und  $U_{A2}$  zeitgerecht übereinander dargestellt für die Annahme, daß  $t_1 = t_2$  ist. *siehe unseitig*

Eine volle Rechteckschwingung setzt sich aus den Sperrzeiten  $t_1$  und  $t_2$  beider Transistoren zusammen. Die Periodendauer  $T$  beträgt deshalb:

$$T = t_1 + t_2$$

Sind beide Schaltstufen gleich dimensioniert, wenn also  $R_{B1} = R_{B2} = R_B$  und  $C_{K1} = C_{K2} = C_K$  und deshalb  $t_1 = t_2 = t$  ist, dann ergibt sich die Periodendauer zu:

$$T = 2 \cdot t$$

$$t = 0,7 \cdot R_B \cdot C_K$$

$$T = 2 \cdot 0,7 \cdot R_B \cdot C_K$$

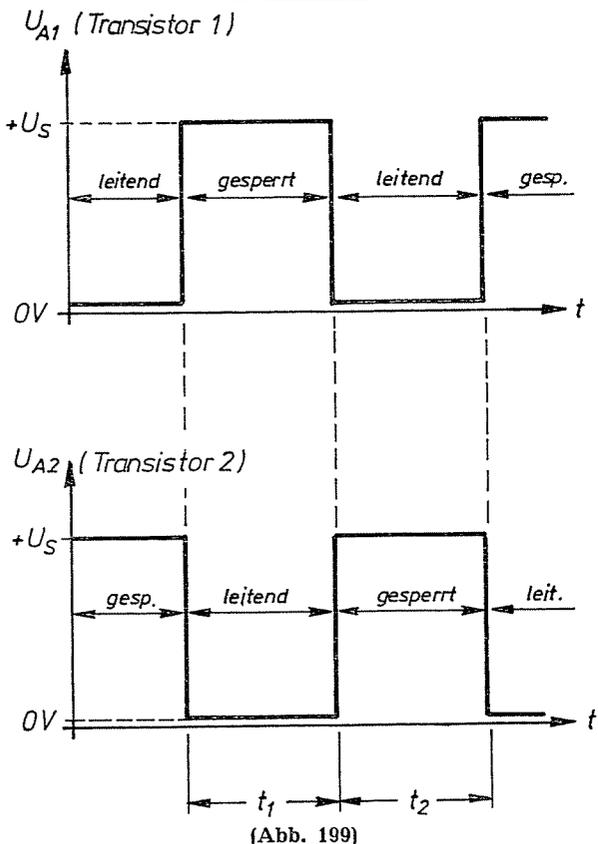
$$T = 1,4 \cdot R_B \cdot C_K$$

Die Rechteckfrequenz  $f$  wird aus der Periodendauer  $T$  nach der Formel errechnet:

$$f = \frac{1}{T}$$

$$f = \frac{1}{1,4 \cdot R_B \cdot C_K}$$

**Ausgangsspannungen astabiler Kippstufen**



(Abb. 199)

Bei unsymmetrischer Dimensionierung der beiden Schaltstufen können sich unterschiedliche Sperrzeiten  $t_1$  und  $t_2$  ergeben. Zur Berechnung der Periodendauer  $T$  gilt dann:

$$T = t_1 + t_2$$

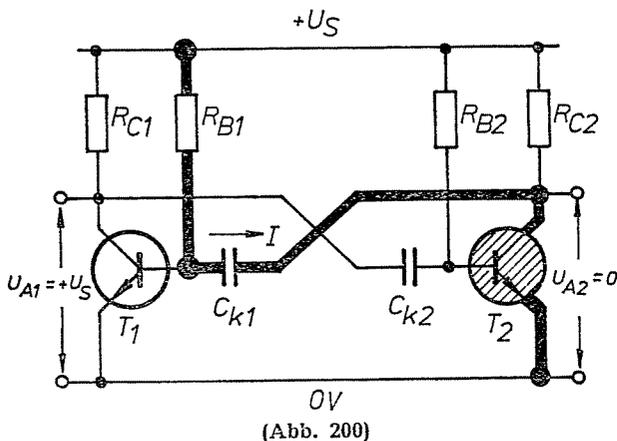
$$T = 0,7 (R_{B1} \cdot C_{K1} + R_{B2} \cdot C_{K2})$$

Die Frequenz  $f$  beträgt:

$$f = \frac{1}{0,7 (R_{B1} \cdot C_{K1} + R_{B2} \cdot C_{K2})}$$

Wie sich bei einer späteren Betrachtung zeigt, ist eine unsymmetrische Dimensionierung bei astabilen Kippstufen bis zu einem Verhältnis  $t_1 : t_2 = 5$  bzw.  $0,2$  praktisch realisierbar. Bei größeren Verhältnissen reicht meistens die kürzere der beiden Sperrzeiten nicht aus, um den Kondensator der anderen Schaltstufe umzuladen.

**Umladung von  $C_{K1}$  während der Sperrphase von  $T_1$**

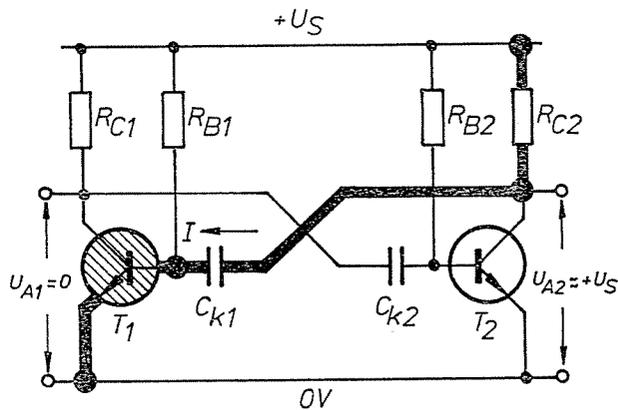


(Abb. 200)

Für eine genauere Betrachtung der Umladevorgänge der Kondensatoren ist in der Schaltung nach Abb. 200 angenommen, daß Transistor  $T_1$  gesperrt ist. Dem betrachteten Moment ist also ein Potentialsprung  $+U_S \rightarrow 0$  V am Eingang der Schaltstufe 1 (Kollektor von  $T_2$ ) und damit eine negative Potentialverschiebung an  $C_{K1}$  vorausgegangen ( $-U_S$  an der Basis von  $T_1$ ).

Transistor  $T_1$  bleibt während der Umladung von  $C_{K1}$  so lange gesperrt, bis das Potential der basisseitigen Kondensatorplatte wieder positive Werte annimmt. Der Umladestromkreis ist:  $+U_S \rightarrow R_{B1} \rightarrow C_{K1} \rightarrow$  leitender Transistor  $T_2 \rightarrow 0$  V. Da in diesem Stromkreis  $R_{B1}$  hochohmig ist, ergibt sich eine große Zeitkonstante  $\tau$  und damit eine verhältnismäßig langsame Umladung. Nach abgeschlossener Umladung wird Transistor  $T_1$  leitend; dieser sperrt  $T_2$ . Das Kollektorpotential von  $T_2$  ändert sich von  $0$  V auf  $+U_S$  und verursacht damit eine positive Potentialverschiebung an  $C_{K1}$ . Die basisseitige Kondensatorplatte nimmt also positives Potential  $+U_S$  an.

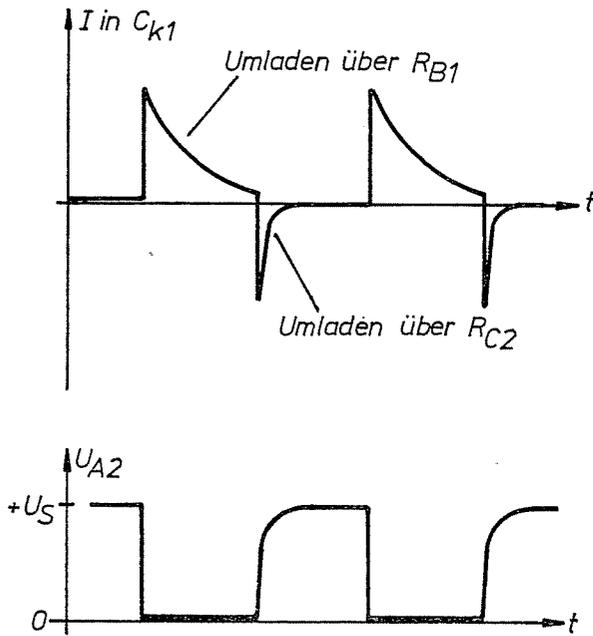
**Umladung von  $C_{K1}$  während der Leitphase von  $T_1$**



(Abb. 201)

Für  $C_{K1}$  entsteht ein Umladestrom in umgekehrter Richtung:  $+U_S \rightarrow R_{C2} \rightarrow C_{K1} \rightarrow$  leitende Basis-Emitter-Strecke  $T_1 \rightarrow 0$  V. Diese Umladung nimmt nur kurze Zeit in Anspruch, da  $R_{C2}$  bedeutend kleiner ist als  $R_{B1}$  bei der vorher beschriebenen umgekehrten Umladung. Der schnell abnehmende Umladestrom verursacht in  $R_{C2}$  einen Spannungsabfall, um den die Ausgangsspannung  $U_{A2}$  in der Sperrphase von  $T_2$  (Leitphase von  $T_1$ ) kleiner als  $+U_S$  ist. Die von  $0$  auf  $+U_S$  ansteigende Flanke der Ausgangsspannung  $U_{A2}$  ist also nicht rechteckförmig, sondern steigt nach einer e-Funktion mit kleiner Zeitkonstante an (Abb. 202).

**Tatsächliche Ausgangsspannung einer astabilen Kippstufe**



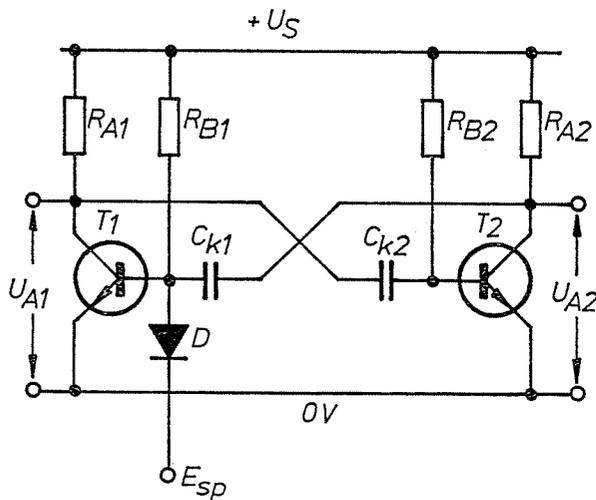
(Abb. 202)

Die Abweichung von der Rechteckform ist um so kleiner, je kleiner  $R_{C2}$  ist. Für die Ausgangsspannung  $U_{A1}$  gilt das gleiche, da hier der Umladestrom von  $C_{K2}$  an  $R_{C1}$  einen Spannungsabfall verursacht.

**4.3.3. Sperreingang**

Sollen die sich ständig ablösenden Kippvorgänge und damit die an den Ausgängen stehenden Rechteckspannungen zeitweise aussetzen, so ist die Schaltung durch einen Sperreingang nach Abb. 203 zu erweitern. Als Diode muß eine Germaniumdiode verwendet werden.

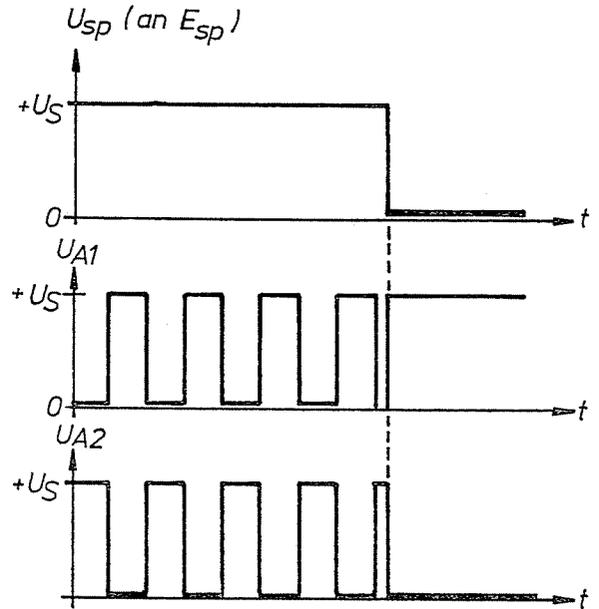
**Astabile Kippstufe mit Sperreingang**



(Abb. 203)

Ein Potential von 0 V am Sperreingang  $E_{Sp}$  verhindert, daß die Basis des angesteuerten Transistors  $T_1$  positiv wird. Damit ist ein Leitendwerden von  $T_1$  unterbunden, die Schwingung setzt also aus. Die Abhängigkeit der Ausgangsspannungen  $U_{A1}$  und  $U_{A2}$  von der Spannung am Sperreingang zeigt Abb. 204.

**Abhängigkeit der Ausgangsspannung vom Sperrpotential**

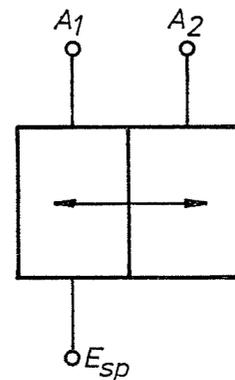


(Abb. 204)

**4.3.4. Symbol der astabilen Kippstufe**

Für die astabile Kippstufe ist nach DIN 40700 Bl. 14 kein Symbol vorgesehen. Es soll das Symbol für einen Rechteckgenerator verwendet werden. Man findet manchmal ein Symbol, bei dem das astabile Verhalten durch einen Doppelpfeil angegeben ist (Abb. 205). Der Sperreingang wirkt entsprechend der Schaltung nach Abb. 203 bei Signal 1.

**Symbol einer astabilen Kippstufe**



(Abb. 205)

### 4.3.5. Anwendungsmöglichkeiten

#### 4.3.5.1. Rechteckgenerator

Rechteckspannungen werden oft als Zeittakt für elektronische Zeitmessung, als Taktfrequenz für elektronische Datenverarbeitungsanlagen (EDV-Anlagen) und als Prüfspannung in allen möglichen Schaltungen angewendet. Deshalb gehören heute Rechteckgeneratoren zur Grundausrüstung aller Werkstätten und Laboratorien, die sich mit elektronischen Schaltungen befassen. Die astabile Kippstufe bietet sich als Schaltung für einen einfachen Rechteckgenerator an. Sie erzeugt mit einfachsten Mitteln eine für die meisten Fälle brauchbare Rechteckspannung.

Rechteckgeneratoren für Prüfzwecke verfügen meistens über eine stufenlose oder abgestufte Frequenzeinstellung; eine entsprechende Schaltung zeigt Abb. 206. In dieser Schaltung kann die Frequenzeinstellung innerhalb gewisser Grenzen stufenlos durch Änderung von  $P_1/P_2$  vorgenommen werden. Außerdem ist eine Frequenzbereichumschaltung mit dem Wahlschalter  $S_1/S_2$  möglich. Bei den verschiedenen Schalterstellungen dieser Schalter werden unterschiedliche Koppelkondensatoren eingeschaltet.

Die Frequenz der erzeugten Rechteckspannung ist abhängig von den Basisvorwiderständen  $R_B$  und den Koppelkondensatoren  $C_K$ . Für symmetrische Rechtecke müssen bei jeder Einstellung  $R_B$  und  $C_K$  beider Stufen gleich sein. Deshalb sind in der Schaltung (Abb. 206) die beiden Schalterebenen  $S_1$  und  $S_2$  wie auch die beiden Potentiometer  $P_1$  und  $P_2$  mechanisch gekoppelt, d.h., es werden jeweils beide durch eine gemeinsame Bedienungsaachse eingestellt. Den als veränderbare Basisvorwiderstände

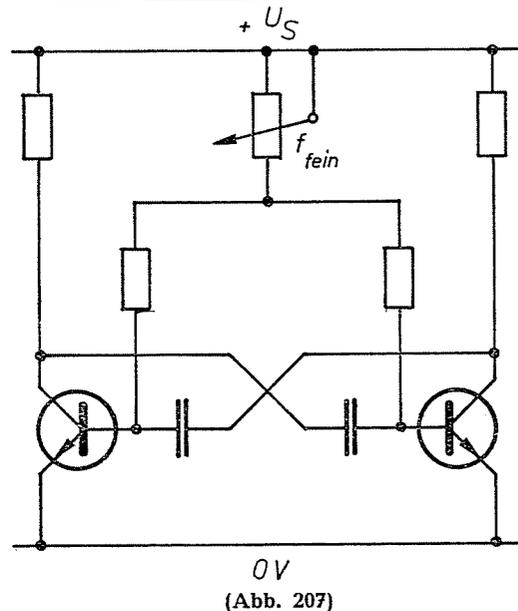
geschalteten Potentiometern  $P_1$  und  $P_2$  müssen unbedingt Festwiderstände  $R_{V1}$  und  $R_{V2}$  vorgeschaltet werden, damit eine Zerstörung der Transistoren durch zu hohe Basisströme bei voll eingedrehten Potentiometern vermieden wird. Zur Frequenzbestimmung gilt die bereits besprochene Formel:

$$f = \frac{1}{1,4 \cdot R_B \cdot C_K}$$

Für  $R_B$  wird die Summe aus  $R_V$  und dem eingestellten Wert  $P$  eingesetzt und für  $C_K$  der jeweils eingeschaltete Wert.

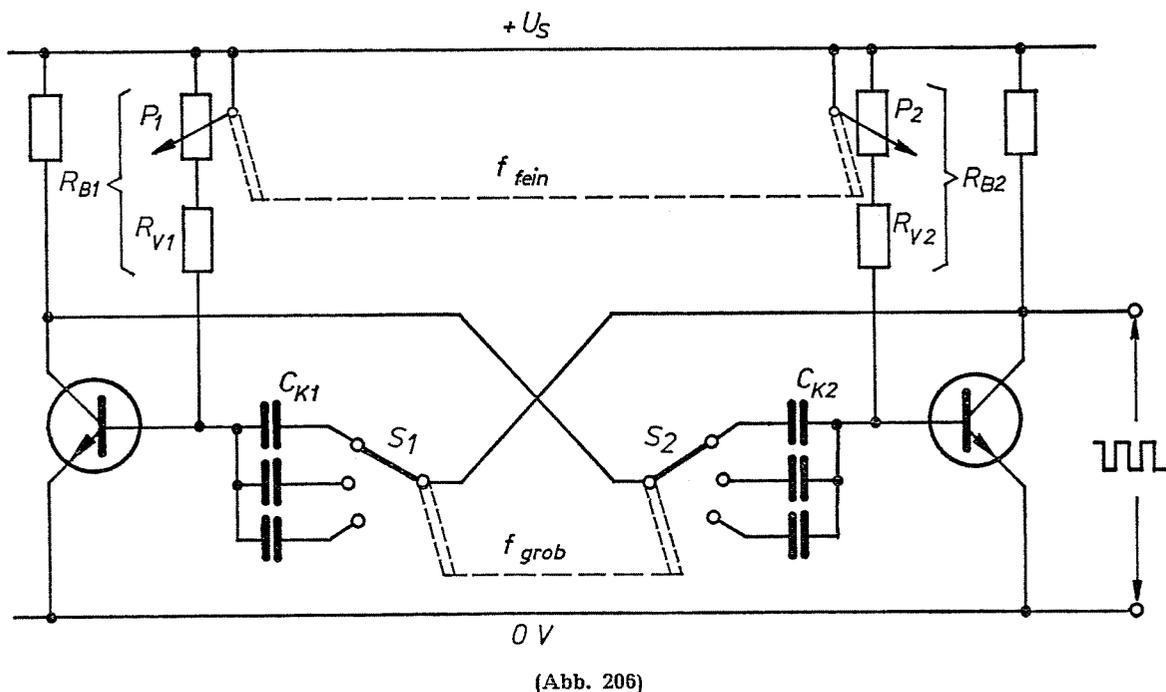
Rechteckgeneratoren für geringe Frequenzvariationsbereiche mit stufenloser Einstellung findet man oft in einer nach Abb. 207 vereinfachten Schaltung.

#### Rechteckgenerator in vereinfachter Schaltung



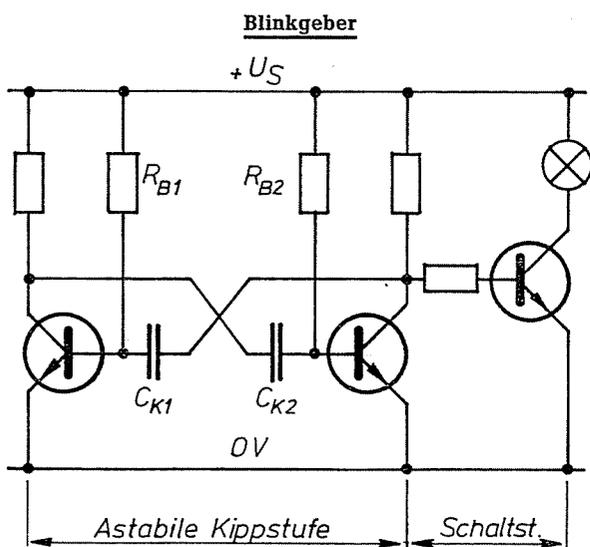
Zur Frequenzbestimmung kann hier jedoch nicht ohne weiteres die angegebene Formel verwendet werden.

#### Rechteckgenerator mit Frequenzeinstellung



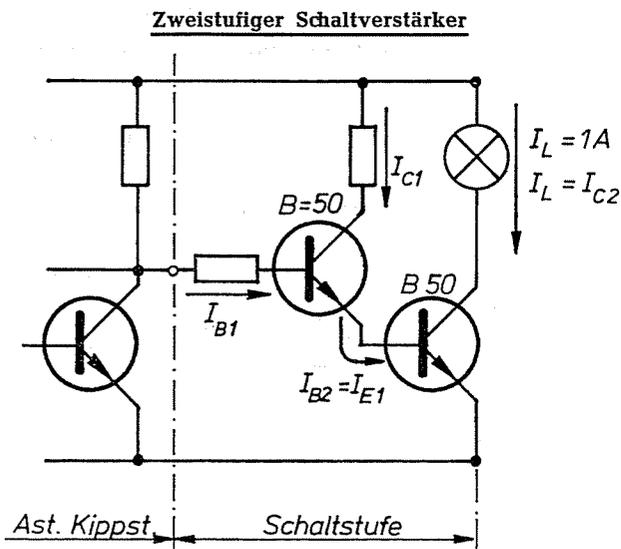
### 4.3.5.2. Blinkgeber

Astabile Kippstufen mit sehr niedrigen Kippfrequenzen eignen sich gut als Taktgeber für Glühlampen. Blinkrelais für Fahrtrichtungsanzeiger in Kraftfahrzeugen werden heute teilweise schon durch solche elektronischen Blinkgeber ersetzt. Der Vorteil liegt in der konstanten, nicht von der Betriebsdauer und Batteriespannung abhängigen Blinkfrequenz und in der höheren Betriebssicherheit. Eine einfache Schaltung eines Blinkgebers ist in Abb. 208 dargestellt.



(Abb. 208)

Der abgebildete Blinkgeber setzt sich aus einer astabilen Kippstufe und einem Schaltverstärker zusammen. Der Schaltverstärker wird durch das Ausgangssignal der Kippstufe gesteuert und schaltet direkt den Lampenkreis.



(Abb. 209)

Bei großen Lampenleistungen reicht der Verstärkungsfaktor einer Schaltstufe meist nicht aus. Deshalb werden in solchen Fällen zwei Schalttransistoren hintereinandergeschaltet (Abb. 209).

Der Lampenstrom  $I_L$  ist der Kollektorstrom  $I_{C2} = 1 \text{ A}$ . Der Basisstrom  $I_{B2}$  des gleichen Transistors errechnet sich zu:

$$I_{B2} = \frac{I_{C2}}{B} = \frac{1 \text{ A}}{50} = \underline{\underline{20 \text{ mA}}}$$

$I_{B2}$  ist gleichzeitig der Emitterstrom  $I_{E1}$  des ersten Transistors. Emitterstrom und Kollektorstrom eines Transistors unterscheiden sich nur sehr geringfügig, man kann also annehmen:

$$I_{B2} = I_{E1} \approx I_{C1}$$

$$I_C \approx \underline{\underline{20 \text{ mA}}}$$

Für  $I_{B1}$  ergibt sich unter der Annahme des gleichen Stromverstärkungsfaktors  $B = 50$

$$I_{B1} = \frac{I_{C1}}{B} = \frac{20 \text{ mA}}{50} = 0,4 \text{ mA}$$

Durch die zweistufige Schaltstufe ist die Belastung der Kippstufe auf 0,4 mA zurückgesetzt.

### 4.3.6. Dimensionierungsbeispiel

Im folgenden Beispiel wird ein Blinkgeber berechnet, der sich aus einer astabilen Kippstufe und einem nachgeschalteten Schaltverstärker zusammensetzt (Abb. 208). Der Lampenstrom soll maximal 0,1 A bei einer Betriebsspannung  $U_S = 6 \text{ V}$  betragen. Die astabile Kippstufe ist der Rechteckgenerator, der den Blinkrhythmus bestimmt. Dieser Schaltungsteil wird zuerst dimensioniert. Als Transistoren werden die bereits bekannten NPN-Typen BC 107 verwendet. Die zur Berechnung notwendigen Transistor-daten sind:

maximal zulässiger Kollektorstrom

$$I_{Cmax} = 100 \text{ mA,}$$

Stromverstärkungsfaktor (Mindestwert)

$$B = 125.$$

Da die Kipp-schaltung symmetrisch ist, sind die für eine Stufe ermittelten Werte auf die zweite ohne Änderung zu übernehmen. Der Kollektorstrom eines Transistors im leitenden Zustand soll im Hinblick auf eine spätere Ausgangsbelastung möglichst groß sein, jedoch den Grenzwert  $I_{Cmax}$  mit Sicherheit nicht überschreiten. Man nimmt zunächst

$$I_C = 20 \text{ mA}$$

an, denn dieser Wert wird beiden Forderungen in etwa gerecht. Die Größe des Arbeitswiderstands  $R_A$  ergibt sich aus der Formel:

$$R'_A = \frac{U_S}{I_C}$$

$$R'_A = \frac{6 \text{ V}}{20 \text{ mA}} = 300 \Omega.$$

Aus der Widerstandsnormreihe E 6 wird der Wert

$$\underline{R_A = 330 \Omega}$$

gewählt. Der tatsächliche Kollektorstrom  $I_C$  ergibt sich dann zu:

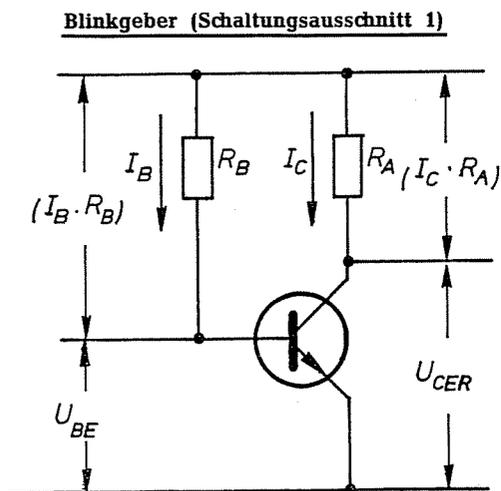
$$I_C = \frac{U_S}{R_A} = \frac{6 \text{ V}}{330 \Omega}$$

$$\underline{I_C = 18 \text{ mA.}}$$

Aus  $R_A$  kann der Basisvorwiderstand  $R_B$  bestimmt werden, der den Transistor im völlig leitenden Zustand hält; es gilt die Näherungsformel

$$R_B \approx 0,8 \cdot R_A \cdot B.$$

Die Formel ist aus folgender Überlegung abgeleitet: Bei völlig leitenden Transistoren beträgt der Spannungsabfall des Kollektorstroms am Arbeitswiderstand  $R_A \cdot I_C$  und der des Basisstroms am Basisvorwiderstand  $R_B \cdot I_B$  (vgl. hierzu Abb. 210).



(Abb. 210)

$$R_B \cdot I_B = U_S - U_{BE}$$

$$R_A \cdot I_C = U_S - U_{CER}$$

Da  $U_{BE}$  und  $U_{CER}$  etwa gleich groß sind, kann vereinfachend genommen werden:

$$R_B \cdot I_B \approx R_A \cdot I_C$$

Die Formel wird nach  $R_B$  umgestellt und lautet:

$$R_B = R_A \cdot \frac{I_C}{I_B}$$

$$\frac{I_C}{I_B} = B$$

$$R_B = R_A \cdot B$$

Bei der so errechneten Größe von  $R_B$  wird der Transistor gerade leitend. Mit Sicherheit leitend ist er nur dann, wenn  $R_B$  etwas kleiner gewählt wird; das ergibt sich aus folgender Formel:

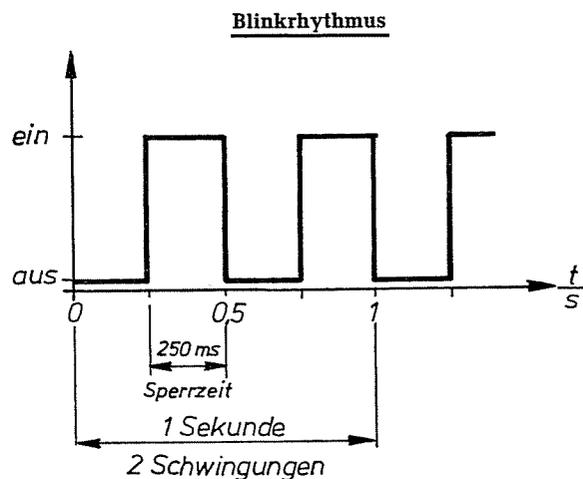
$$R_B = 0,8 \cdot R_A \cdot B$$

$R_A$  wurde errechnet und festgelegt auf  $330 \Omega$ , und  $B$  beträgt bei dem Transistor BC 107 mindestens 125.

$$R_B = 0,8 \cdot 330 \Omega \cdot 125$$

$$\underline{R_B = 33 \text{ k}\Omega.}$$

Damit liegt auch die Größe des Basisvorwiderstands fest. Er entspricht ebenfalls einem Wert der Normreihe E 6. Durch die Koppelkondensatoren wird die Kippfrequenz der Schaltung bestimmt. Als Blinkfrequenz ist der Wert von etwa 2 Hz recht günstig. 2 Hz bedeutet, daß pro Sekunde eine Lampe zweimal aufleuchtet (Abb. 211).



(Abb. 211)

Aus Abb. 211 geht hervor, daß die Sperrphase t eines Transistors 250 ms betragen muß. Wird die Formel

$$t = 0,7 \cdot R_B \cdot C_K$$

nach  $C_K$  umgestellt, so kann die Kapazität direkt aus  $t$  und  $R_B$  errechnet werden.

$$C_K = \frac{t}{0,7 \cdot R_B} = \frac{250 \cdot 10^{-3} \text{ s}}{0,7 \cdot 33 \cdot 10^3 \Omega}$$

$$C_K = 10,8 \mu\text{F}$$

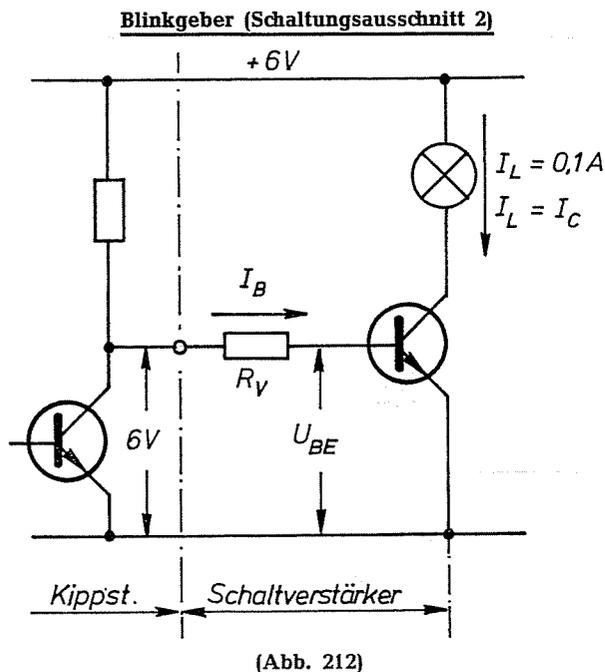
Für  $C_K$  beträgt der aus der Normreihe E 6 entnommene Wert:

$$\underline{C_K = 10 \mu\text{F.}}$$

Damit wird zwar die Kippfrequenz geringfügig größer, das ist aber bedeutungslos. Als Kondensatoren eignen sich am besten Elektrolytkondensatoren, da deren Baugröße sehr gering ist.

Zum Schluß ist nun noch der Lampenschaltverstärker zu berechnen. Seine Dimensionierung hängt in erster Linie von der zu schaltenden Lampenleistung ab; sie ist angenommen mit:

$$6 \text{ V} / 0,1 \text{ A.}$$



$$I_B = \frac{I_C}{B} = \frac{0,1 \text{ A}}{125}$$

$$I_B = 0,8 \text{ mA.}$$

Dieser den Ausgang der Kippstufe belastende Strom von 0,8 mA ist gegenüber dem in der Kippstufenschaltung fließenden Kollektorstrom von etwa 18 mA sehr klein und belastet so den Ausgang nicht merklich. Der Vorwiderstand  $R_V$  wird so bemessen, daß  $I_B = 0,8 \text{ mA}$  einen Spannungsabfall  $U_R = 5 \text{ V}$  erzeugt.

$$R'_V = \frac{U_R}{I_B} = \frac{5 \text{ V}}{0,8 \text{ mA}}$$

$$R'_V = 6,25 \text{ k}\Omega.$$

Mit Rücksicht auf ein sicheres Durchschalten des Schalttransistors nimmt man den in der Normreihe E 24 nächstkleineren Wert.

$$R_V = 5,1 \text{ k}\Omega.$$

**Blinkgeber (dimensionierte Schaltung)**

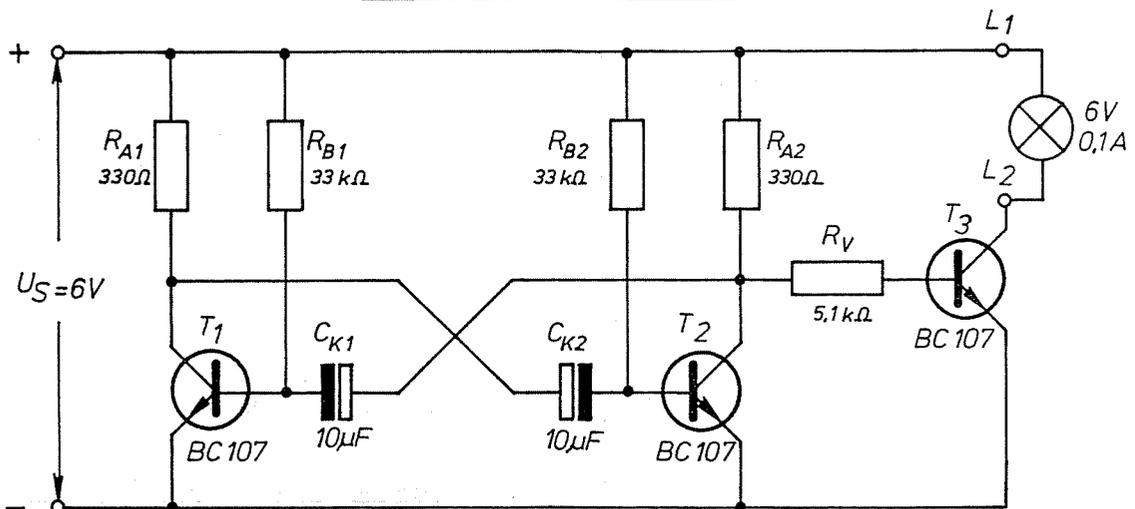


Abb. 212 zeigt den Lampenverstärker. Im eingeschalteten Zustand fließt bei einer Speisepannung  $U_S$  von 6 V ein Lampenstrom  $I_L = 0,1 \text{ A}$ . Dieser bildet den Kollektorstrom des Transistors, also ist  $I_C = 0,1 \text{ A}$ . 0,1 A als maximaler Kollektorstrom ist für den Transistor BC 107 gerade noch möglich, so daß auch hier dieser Typ eingesetzt werden kann. Der Vorwiderstand  $R_V$  in der Basisleitung setzt die am Ausgang der Kippstufe stehende Spannung von 6 V (während der Sperrphase des Transistors) auf die erforderliche Basis-Emitter-Spannung  $U_{BE}$  herab. Für einen sicheren Leitzustand wird  $U_{BE}$  mit 1 V angenommen, so daß der Spannungsabfall  $U_R$  an  $R_V$  durch den Basisstrom  $I_B$  5 V betragen muß. Der Basisstrom errechnet sich aus der umgestellten Formel für die Stromverstärkung  $B$ .

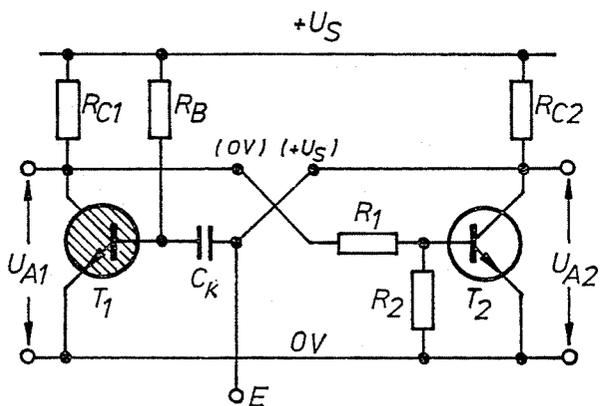
Mit diesem letzten Wert ist die Schaltung des elektronischen Blinkgebers mit allen Bauelementen dimensioniert und in Abb. 213 dargestellt.

## 4.4. Monostabile Kippstufe

### 4.4.1. Schaltung und Wirkungsweise

Durch Zusammenschaltung einer statischen und einer dynamischen Schaltstufe erhält man eine monostabile Kippstufe, die — wie bereits bekannt — eine **stabile Ruhelage** und nach einem von außen eingeleiteten Kippvorgang eine zeitlich begrenzte **unstable Arbeitslage** einnehmen kann.

**Monostabile Kippstufe**



(Abb. 214)

Die dynamisch angesteuerte Schaltstufe (in Abb. 214 Transistor 1) ist in der Ruhelage immer leitend (vgl. Abschn. 4.1.2.); sie bestimmt also die Leitzustände beider Transistoren.

**Ruhelage:** Der leitende Transistor 1 hält durch sein Kollektorpotential 0 V Transistor 2 gesperrt. Dessen Ausgangspotential +Us dagegen, das am Eingang der dynamisch angesteuerten Schaltstufe liegt, kann nicht wirksam werden, da es vom Koppelkondensator CK gesperrt wird. Die beschriebene Ruhelage ist stabil, da Transistor 1 durch den Basisvorwiderstand RB im leitenden Zustand gehalten wird, solange kein Potentialsprung +Us → 0 an CK auftritt.

**Arbeitslage:** Ein kurzzeitiger negativer Impuls am Eingang E sperrt den Transistor 1. Die Ursache ist eine Potentialverschiebung in negativer Richtung an beiden Kondensatorplatten von CK. Das Kollektorpotential des Transistors 1 wird +Us und steuert somit Transistor 2 in den leitenden Zustand. Dieser Kippvorgang ist die Folge des Eingangsimpulses an E. Die monostabile Kippstufe befindet sich nun in der instabilen Arbeitslage. Die Sperrzeit t des Transistors 1 und damit die Dauer der instabilen Arbeitslage entspricht der Umladungsdauer des Kondensators CK. Die Umladung erfolgt über RB; sie errechnet sich also aus:

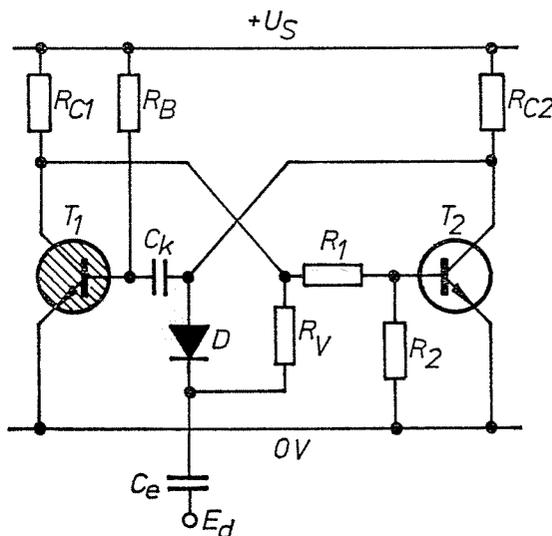
$$t = 0,7 \cdot R_B \cdot C_K$$

Danach wird Transistor 1 wieder leitend und sperrt mit UA1 = 0 V den Transistor 2.

**4.4.2. Eingangsschaltungen**

Die Eingangsschaltung zur Impulsaufnahme bei monostabilen Kippstufen ist meistens wie ein dynamischer Eingang bei Flipflops geschaltet (Abb. 215).

**Monostabile Kippstufe mit dynamischem Eingang**

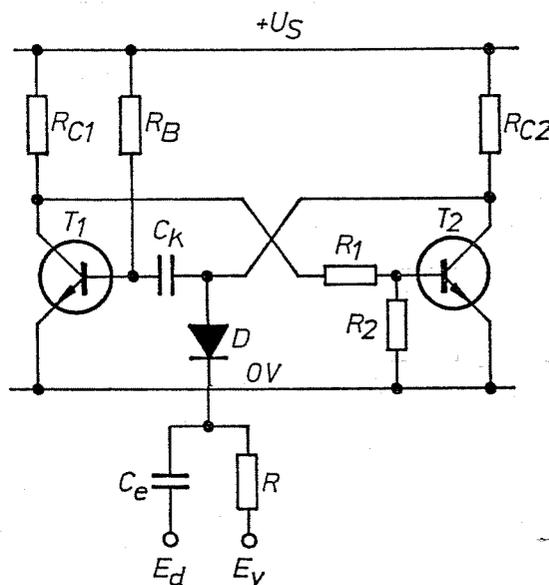


(Abb. 215)

Alle am Eingang Ed anstehenden Potentialsprünge werden zu positiven und negativen Impulsen differenziert, die sich dem über RV am Kollektor abgegriffenen Potential überlagern (vgl. Abb. 185). Die den angesteuerten Transistor 1 sperrenden negativen Impulse entstehen nur dann, wenn an Ed ein Potentialsprung +Us → 0 V ansteht und das Kollektorpotential 0 V beträgt, wenn also der Transistor leitend ist. Während der Sperrzeit des Transistors 1 bleibt jegliche Ansteuerung der monostabilen Kippstufe an Ed erfolglos.

In verschiedenen Anwendungsmöglichkeiten sollen die an Ed stehenden Potentialsprünge nur unter bestimmten Bedingungen wirksam werden. Hierzu bedient man sich, wie bei Flipflops, eines zusätzlichen Vorbereitungseingangs.

**Dynamischer Eingang mit Vorbereitung**



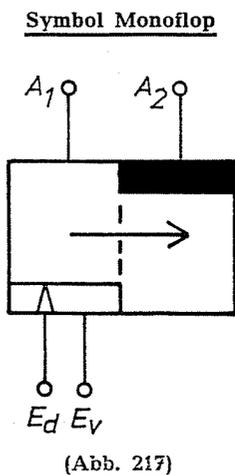
(Abb. 216)

Ein Vorbereitungseingang entsteht, wenn der Widerstand  $R_V$  nicht zum Kollektor geführt, sondern zum Anlegen des Vorbereitungspotentials offen gelassen wird (Abb. 216).

Bei der Schaltungsart nach Abb. 216 ist eine Vorbereitung gegeben, wenn am Vorbereitungseingang  $E_V$  ein Potential von 0 V angeschaltet wird.

#### 4.4.3. Symbol der monostabilen Kippstufe (DIN 40700)

Das Symbol setzt sich wieder aus zwei Rechtecken zusammen, die die beiden Schaltstufen andeuten sollen. Zur Unterscheidung von bistabilen und astabilen Kippstufen wird hier ein Pfeil eingetragen, der als Symbol für den nach der instabilen Arbeitslage folgenden Rückkippvorgang gilt (Abb. 217).

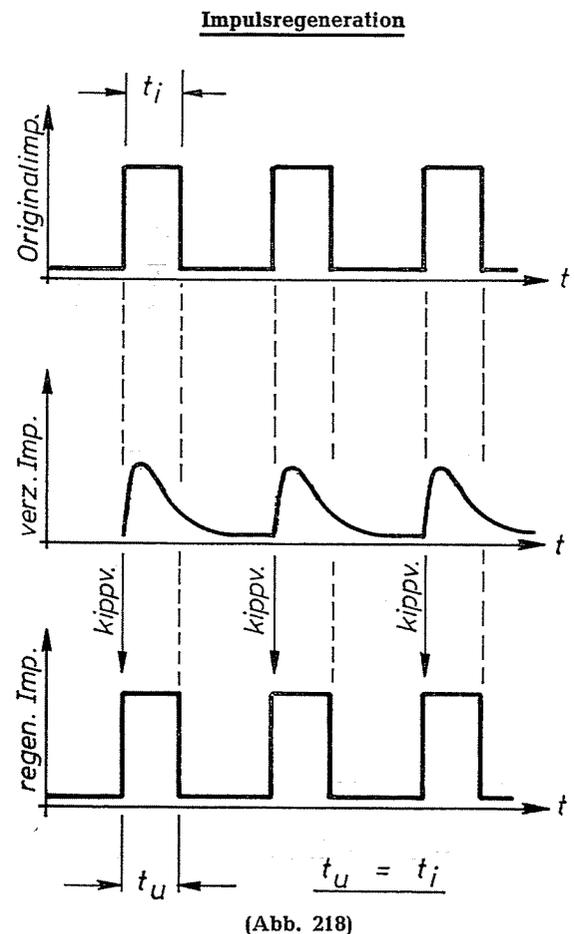


Die oft über dem Rückkipf-Pfeil angegebene Zeit entspricht der Dauer der instabilen Arbeitslage. Für die Eingänge verwendet man die Symbole wie bei Flipflops. Die in Abb. 217 dargestellte monostabile Kippstufe verfügt also über einen dynamischen Eingang für Signalwechsel  $0 \rightarrow 1$  und einen zugehörigen Vorbereitungseingang; Vorbereitungssignal ist 1.

#### 4.4.4. Anwendungsmöglichkeiten

Monostabile Kippstufen nehmen nach einem kurzen Eingangsimpuls eine instabile Arbeitslage an und verharren in dieser für eine definierte, von der Schaltungsdimensionierung abhängige Zeit ( $t = 0,7 \cdot R_B \cdot C_K$ ). Aufgrund dieser Tatsache lassen sich Monoflops als **auslösbare Zeitgeber** verwenden. Daneben werden sie auch als Elemente in **Frequenzteilern** und als **Impulsregenerationsschaltungen** eingesetzt.

In der Impulstechnik ist oft von großer Wichtigkeit, daß Impulse in bezug auf ihre Dauer (Impulslänge) genau bemessen sein müssen. Bei Impulsübertragungen treten jedoch besonders bei langen Übertragungsleitungen Verzerrungen auf. Zur Regeneration gleichförmiger Impulse leistet eine monostabile Kippstufe gute Dienste. Legt man die verzerrten Impulse an den dynamischen Eingang  $E_d$  einer monostabilen Kippstufe nach Abb. 215, so verursacht jeder negative Potentialsprung einen Kippvorgang in die instabile Arbeitslage. Aus der Arbeitslage kippt die Schaltung ohne äußeren Einfluß zurück in die Ruhelage. Die regenerierten Impulse können an einem der beiden Ausgänge abgegriffen werden, wenn die schaltungsabhängige Dauer der instabilen Arbeitslage der geforderten Impulslänge entspricht. Abb. 218 zeigt die Originalimpulse, die verzerrten und die in der Kippstufe regenerierten Impulse.



**Beispiel:** Die durch eine Übertragungsleitung verzerrten Impulse sollen auf eine Impulslänge  $t_i = 40$  ms regeneriert werden. Die Dauer der instabilen Arbeitslage  $t_u$  der zur Regeneration eingesetzten monostabilen Kippstufe hat deshalb ebenfalls 40 ms zu betragen.  $t_u$  ergibt sich aus der Koppelkapazität und dem Basisvorwiderstand der dynamisch anzusteuernenden Schaltstufe nach der Formel:

$$t_u = 0,7 \cdot R_b \cdot C_K$$

Der Basisvorwiderstand der Schaltung liegt fest mit  $R_B = 120 \text{ k}\Omega$  und darf nicht verändert werden. Die Zeitbedingung ist also über die Koppelkapazität anzugleichen. Der erforderliche Kondensator errechnet sich aus der nach  $C_K$  umgestellten Formel:

$$C_K = \frac{t_u}{0,7 \cdot R_B}$$

$$C_K = \frac{40 \cdot 10^{-3} \text{ s}}{0,7 \cdot 120 \cdot 10^3 \Omega} = 0,47 \cdot 10^{-6} \text{ F}$$

$$C_K = \underline{\underline{0,47 \mu\text{F}}}$$

## 5. Schaltwerke

Schaltwerke sind Schaltungen, die sich aus einzelnen Kippstufen zusammensetzen. Ihre Aufgaben sind vornehmlich Frequenzteilung, Impulszählung und Speicherung binärcodierter Signale.

### 5.1. Zähler

Durch Hintereinanderschaltung mehrerer Flipflops, die als Frequenzteiler betrieben werden,

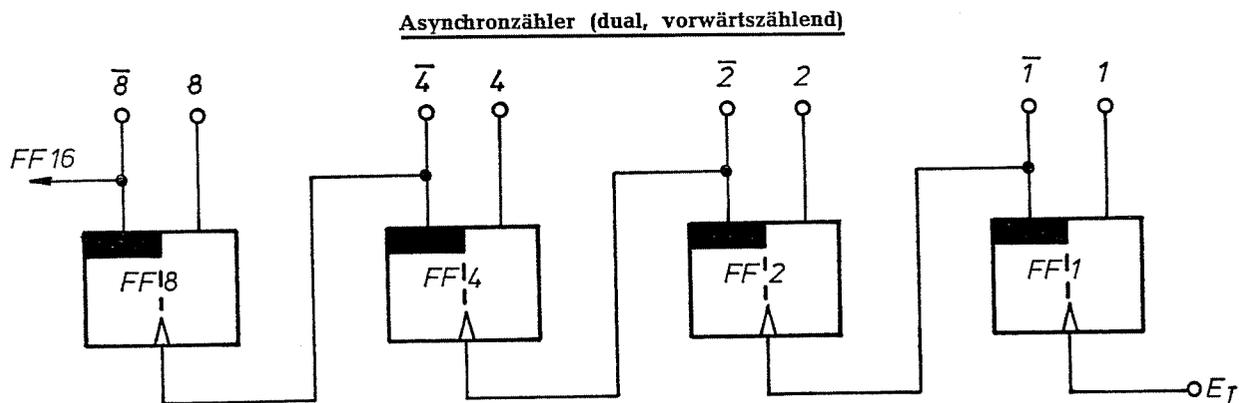
Zähler lassen sich unterteilen:

- nach ihrer Wirkungsweise in  
Asynchrnzähler und  
Synchronzähler
- nach ihrer Zählrichtung in  
Vorwärtszähler und  
Rückwärtszähler
- nach der Codierung des Zählergebnisses in  
Dualzähler (Wertigkeit: 1, 2, 4, 8, 16 ...),  
BCD-Zähler (Wertigkeit: 1, 2, 4, 8),  
Aiken-Zähler (Wertigkeit: 1, 2, 4, 2)  
usw.

#### 5.1.1. Asynchrnzähler

##### 5.1.1.1. Wirkungsweise

Die einzelnen Kippstufen eines Asynchrnzählers sind für den einfachsten Fall Binär-Zählelemente nach Abb. 195 bzw. 196. Diese sind so hintereinandergeschaltet, daß jeweils der dynamische Eingang eines Flipflops mit dem Ruheausgang des vorherliegenden Flipflops verbunden ist (Abb. 219).



entsteht ein Zähler. Der Teilungsfaktor jedes einzelnen Flipflops (Binär-Zählelements) beträgt  $\frac{1}{2}$  (vgl. 4.2.5.1.). Für größere Teilungsverhältnisse werden mehrere Binär-Zählelemente erforderlich, z.B. erreicht man einen Teilungsfaktor von  $\frac{1}{8} = \frac{1}{2} \cdot \frac{1}{2} \cdot \frac{1}{2}$ , wenn drei Flipflops verwendet werden.

Wie aus den folgenden Ausführungen ersichtlich, können diese Schaltungen auch als Impulszähler eingesetzt werden, wenn man jedem einzelnen Flipflop eine bestimmte Wertigkeit zuordnet. Die den Zählelementen zugeordneten Wertigkeiten entsprechen in der Regel denen der Dualstellen, also  $1 = 2^0$ ,  $2 = 2^1$ ,  $4 = 2^2$ ,  $8 = 2^3$  usw., so daß die Zählergebnisse direkt im Dual-Code angezeigt werden können.

Die Flipflops sind mit ihrer Wertigkeit bezeichnet. Flipflop 4 (FF 4) ist z.B. die Wertigkeit 4 zugeordnet. Der Arbeitsausgang trägt deshalb auch die Kennzeichnung 4 und der Ruheausgang  $\bar{4}$ , da dessen Ausgangssignal gegenüber dem des Arbeitsausgangs negiert erscheint.

Die Wirkungsweise des Asynchrnzählers ergibt sich aus der Schaltung (Abb. 219). Zunächst befinden sich alle Zählelemente in Ruhelage. Die offene Pfeildarstellung der dynamischen Eingänge läßt erkennen, daß nur Potentialsprünge  $0 \rightarrow 1$  wirksam werden können. Eine am Eingang  $E_T$  liegende Rechteckspannung verursacht bei jedem Signalwechsel  $0 \rightarrow 1$  (Schaltimpuls) einen Kippvorgang des FF 1. Mit jedem Kippvorgang ändert sich das Ausgangspotential von 0 auf 1 oder umgekehrt. Durch die Verbindung von Ausgang  $\bar{1}$  zum dynamischen Ein-

gang von FF 2 werden die durch jeden Kippvorgang in die Ruhelage verursachten Potentialsprünge  $0 \rightarrow 1$  zu wirksamen Schaltimpulsen für das zweite Binär-Zählelement FF 2. Hieraus kann abgeleitet werden, daß FF 2 nur mit jedem zweiten an  $E_1$  auftretenden Potentialsprung  $0 \rightarrow 1$  mittelbar über FF 1 zum Kippvorgang angesteuert wird.

Das in der Zählkette an dritter Stelle angeordnete Binär-Zählelement FF 4 erhält seine Ansteuerungsimpulse von Ausgang  $\bar{2}$ , so daß dieses nur bei einem Kippvorgang des FF 2 in die Ruhelage wirksam angesteuert wird, also nur nach jedem vierten an  $E_1$  auftretenden Impuls. Ebenso wird das vierte Zählelement FF 8 von den Potentialsprüngen  $0 \rightarrow 1$  am Ruheausgang  $\bar{4}$  des dritten Zählelements angesteuert.

1. Schaltimpuls:  
Kippvorgang FF 1 Ruhelage  $\rightarrow$  Arbeitslage
2. Schaltimpuls:  
Kippvorgang FF 1 **Arbeitslage**  $\rightarrow$  **Ruhelage**  
Kippvorgang FF 2 Ruhelage  $\rightarrow$  Arbeitslage
3. Schaltimpuls:  
Kippvorgang FF 1 Ruhelage  $\rightarrow$  Arbeitslage
4. Schaltimpuls:  
Kippvorgang FF 1 **Arbeitslage**  $\rightarrow$  **Ruhelage**  
Kippvorgang FF 2 **Arbeitslage**  $\rightarrow$  **Ruhelage**  
Kippvorgang FF 4 Ruhelage  $\rightarrow$  Arbeitslage
5. Schaltimpuls: FF 1 Ruhelage  $\rightarrow$  Arbeitslage
6. Schaltimpuls:  
Kippvorgang FF 1 **Arbeitslage**  $\rightarrow$  **Ruhelage**  
Kippvorgang FF 2 Ruhelage  $\rightarrow$  Arbeitslage
7. Schaltimpuls:  
Kippvorgang FF 1 Ruhelage  $\rightarrow$  Arbeitslage
8. Schaltimpuls:  
Kippvorgang FF 1 **Arbeitslage**  $\rightarrow$  **Ruhelage**  
Kippvorgang FF 2 **Arbeitslage**  $\rightarrow$  **Ruhelage**  
Kippvorgang FF 4 **Arbeitslage**  $\rightarrow$  **Ruhelage**  
Kippvorgang FF 8 Ruhelage  $\rightarrow$  Arbeitslage
9. Schaltimpuls:  
Kippvorgang FF 1 Ruhelage  $\rightarrow$  Arbeitslage  
usw.

**Diese Zusammenstellung läßt klar erkennen, daß bei dem Asynchronzähler nach Abb. 219 immer ein in die Ruhelage kippendes Flipflop das nächstliegende wirksam ansteuert.**

Eine grafische Darstellung der zeitlichen Folge der Kippvorgänge aller vier Zählelemente gibt Abb. 220 auf Seite 112.

Aus dem zeitabhängigen Potentialverlauf an den Ausgängen der Zählelemente (Abb. 220) lassen sich folgende Zusammenhänge ableiten:

- a) Jedes Zählelement bewirkt zwischen Impulselingang und Ausgang eine **Frequenzteilung** im Verhältnis 2:1. Am Ausgang des vierten Zählelements FF 8 ist die Eingangsfrequenz, wie Abb. 220 darstellt, auf ein sechzehntel heruntergeteilt.
- b) Ordnet man den Ausgangssignalen 1 an den Arbeitsausgängen die in Abb. 219 angegebenen Wertigkeiten zu, dann ergibt die Summe der Ausgangswerte die Anzahl der an Eingang  $E_1$  eingegangenen Schaltimpulse; die Schaltung ist also dann ein **Impulszähler**.

Beispiel: Die in Abb. 220 eingezeichnete Hilfslinie mit der Kennzeichnung \* gibt den Zählerstand nach neun Eingangsimpulsen an, dabei sind FF 1 und FF 8 in Arbeitslage. Deren Ausgangssignale mit den Wertigkeiten 1 und 8 ergeben in der Summe  $1 + 8 = 9$ . „9“ ist also das Zählergebnis, wenn 9 Impulse am Eingang  $E_1$  eingehen.

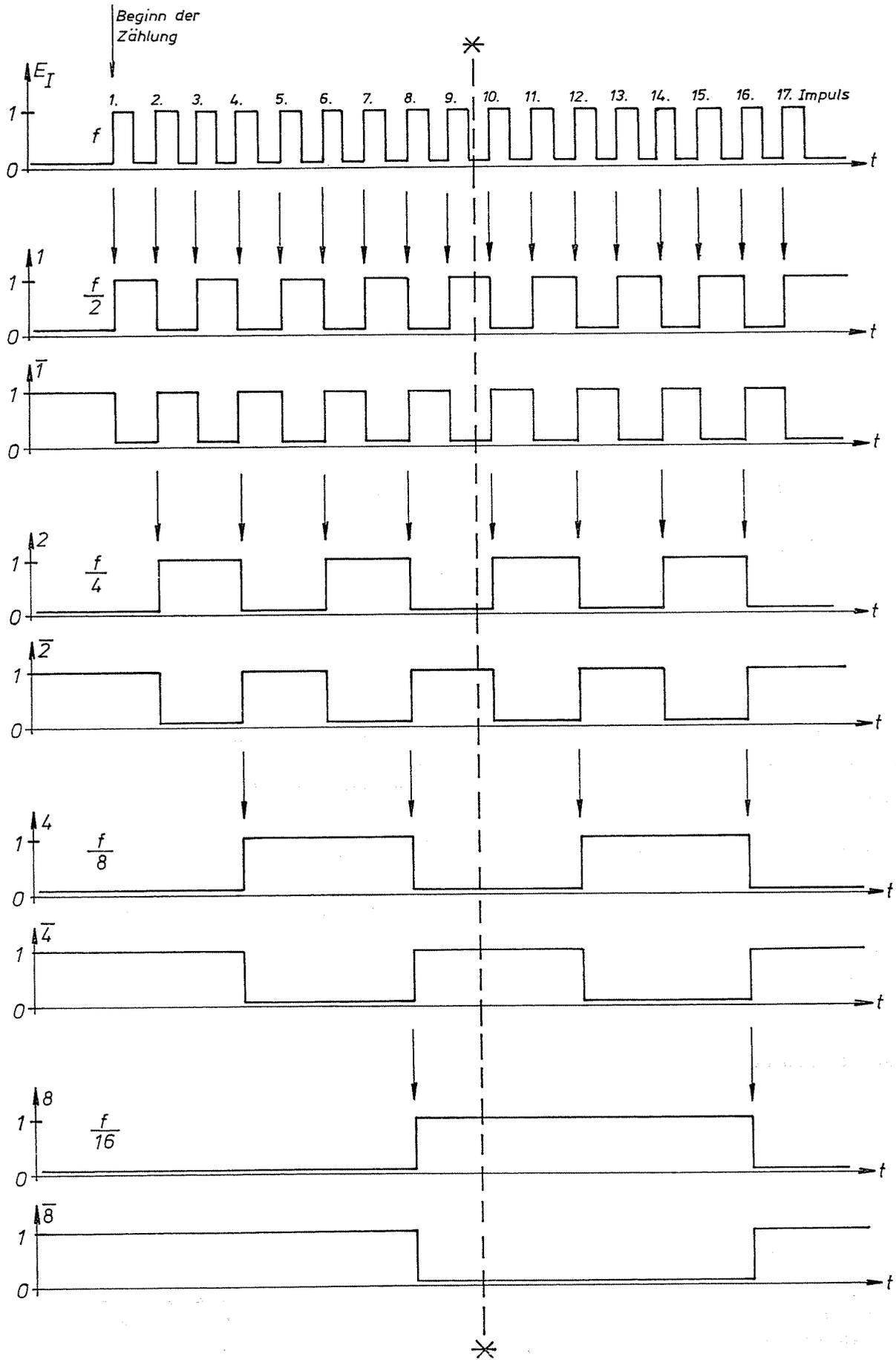
Eine wichtige Voraussetzung für die richtige Impulszählung ist die Ausgangslage der Zählkette, also die Ruhelage aller Zählelemente. Deshalb müssen vor Beginn der Zählung alle Flipflops in die Ruhelage zurückgestellt werden. Dazu dienen bei den meisten Zähl-schaltungen statische Flipflopeingänge (Abb. 221 auf Seite 113).

Nach Beendigung einer Zählung, wenn also am Eingang  $E_1$  keine weiteren Schaltimpulse wirksam werden, verbleibt der Zähler in der bis dahin angenommenen Lage (z.B. FF 1 und FF 8 in Arbeitslage beim Zählergebnis „9“) und muß zur nächsten Zählung zurückgestellt werden. Dazu wird an die Leitung  $E_R$  kurzzeitig ein Rückstellsignal 0 angelegt. Alle statischen Eingänge sind mit dieser Leitung verbunden und werden deshalb angesteuert. Die in Arbeitslage befindlichen Flipflops kippen zurück in die Ruhelage.

#### 5.1.1.2. Dualzähler vorwärtszählend

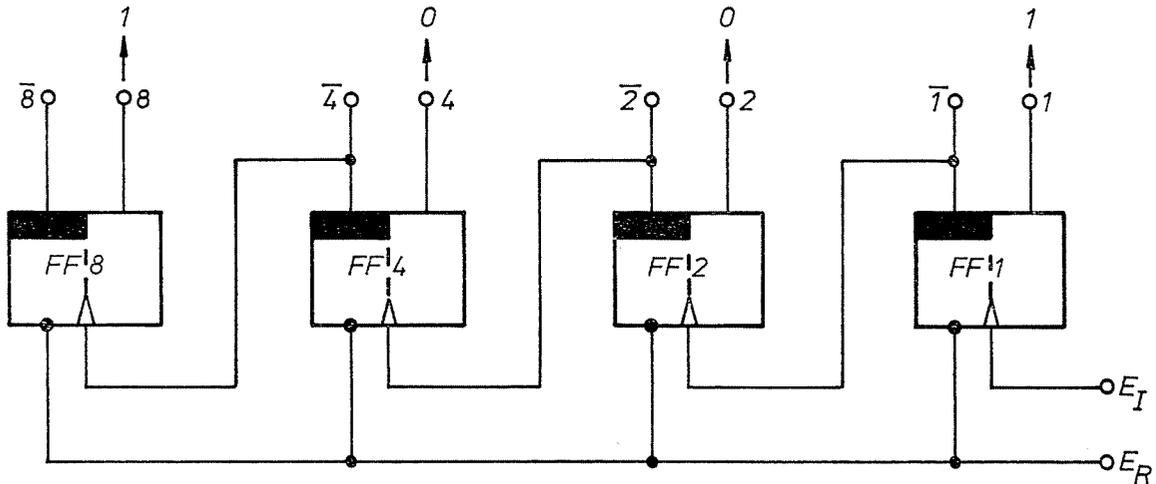
Zähler können durch die Wahl entsprechender Wertigkeiten der Zählelemente für alle möglichen additiven Binärcodierungen ausgelegt werden. Bei der im vorangegangenen Abschnitt behandelten Zäblerschaltung wurden Wertigkeiten zugrunde gelegt, die den Stellenwerten der Dualzahlen entsprechen; deshalb wird das Zählergebnis dual codiert an den Arbeitsausgängen abgegriffen. Für die Dimensionierung von Dualzählern in bezug auf die Zählkapazität gelten die gleichen Regeln wie bei Dualzahlen.

### Ausgangspotentiale der Binär-Zählelemente



(Abb. 220)

**Asynchrone Zähler mit Rückstellung**



(Abb. 221)

Die in Abb. 219 und 221 dargestellten vierstelligen Dualzähler besitzen eine Zählkapazität von 15, das bedeutet, daß bis zu 15 Schaltimpulse gezählt werden können, so wie beispielsweise mit vierstelligen Dualzahlen bis zu 15 Werte und die 0 dargestellt werden können. Der 16. Impuls verursacht eine Rückstellung des Zählers auf 0, und der 17. Impuls erzielt einen Zählerstand, der dem nach dem 1. Impuls entspricht. **Die Zählkapazität eines Dualzählers ist erreicht, wenn sich alle Zählelemente in Arbeitslage befinden.**

**Zählerkapazität**

Anzahl der Zählelemente	Wertigkeiten der Zählelemente	Zählerkapazität
1	1	1
2	1, 2	1 + 2 = 3
3	1, 2, 4	1 + 2 + 4 = 7
4	1, 2, 4, 8	1 + 2 + 4 + 8 = 15
5	1, 2, 4, 8, 16	1 + 2 + 4 + 8 + 16 = 31
usw.		

Tabelle 63

Die vorstehende Tabelle gibt einen Überblick über die mit Dualzahlen erreichbaren Zählerkapazitäten bei verschiedener Anzahl von Zählelementen.

Mit jedem am Eingang  $E_I$  in Abb. 219 bzw. 221 einlaufenden Schaltimpuls steigt das Zählergebnis um 1 an, deshalb werden diese Zähler auch **Vorwärtszähler** genannt.

**5.1.1.3. Dualzähler rückwärtszählend**

Ein Zähler, dessen Zählergebnis mit jedem einlaufenden Impuls um den Wert 1 abnimmt, wird als **Rückwärtszähler** bezeichnet. Zur Erreichung dieses Schaltverhaltens werden die Schaltim-

pulse der dem ersten Zählelement folgenden Flipflops von den Arbeitsausgängen abgegriffen (Abb. 222).

Ein Schaltimpuls am Eingang  $E_I$  kippt FF 1 in die Arbeitslage; das Signal am Ausgang 1 wechselt also von 0 auf 1 und bildet sofort einen wirksamen Schaltimpuls für FF 2. Dieses kippt ebenfalls in die Arbeitslage und steuert FF 4 wirksam an. Gleichzeitig wird auch FF 8 durch FF 4 gekippt, so daß nach dem 1. eingangsseitigen Impuls alle Zählelemente aus der Ruhelage in die Arbeitslage übergewechselt sind. Der Zählerstand beträgt 15. Jeder weitere Eingangsimpuls verringert den Zählerstand um 1; es entsteht folgende Zählfolge: 0 — 15 — 14 — 13 — 12 . . . . 2 — 1 — 0 (Abb. 223 auf Seite 114).

**Rückwärtszähler haben eine fallende Zählfolge. Bei Wertigkeiten 1, 2, 4, 8 . . . . der Zählelemente ist das Zählergebnis dual codiert.**

Beispiel: Ein rückwärtszählender Dualzähler nimmt die Stellung 1101 ( $\hat{=}$  Zählerstand 13) ein (Kennzeichnung \* in Abb. 223); es folgen 7 Schaltimpulse am Eingang  $E_I$ . Mit jedem Schaltimpuls verringert sich der Zählerstand um den Wert 1, so daß nach 7 Impulsen FF 4 und FF 2 in Arbeitslage sind (Kennzeichnung \*\* in Abb. 223); der Zählerstand beträgt jetzt 6.

$$13 - 7 = 6$$

Durch Rückwärtszähler sind also Subtraktionsaufgaben zu lösen. Ein Vorwärtszähler hingegen addiert zu einem Zählerstand die am Eingang liegende Impulsfolge. Umschaltbare Vorwärts-/Rückwärtszähler können zur Lösung gemischter Additions-/Subtraktionsaufgaben eingesetzt werden.

$$9 + 3 - 5 = 7$$

Ausgangslage des Zählers:

**Zählerstand 0**

Schaltung als Vorwärtszähler:

9 Schaltimpulse ergeben **Zählerstand 9**

Schaltung als Vorwärtszähler:

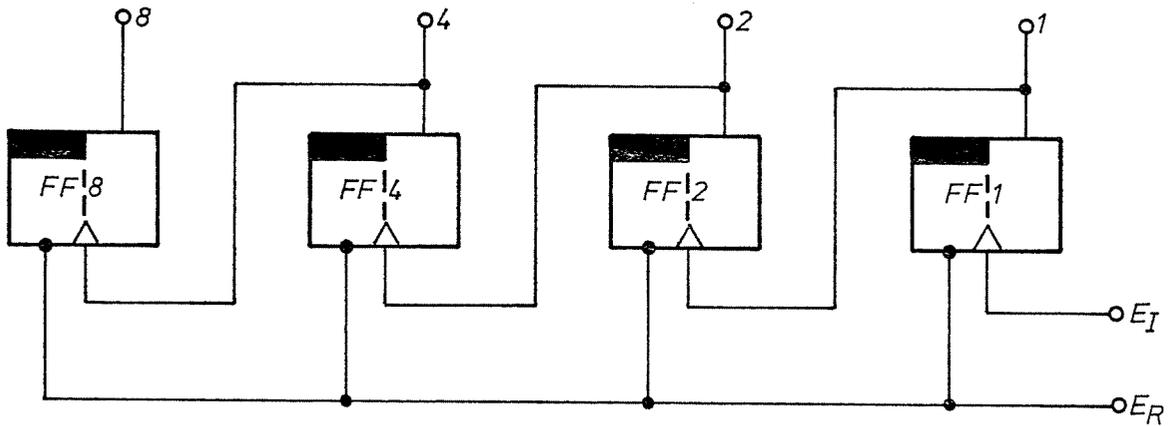
3 Schaltimpulse ergeben **Zählerstand 12**

Schaltung als Rückwärtszähler:

5 Schaltimpulse ergeben **Zählerstand 7**

Ein umschaltbarer Vorwärts-/Rückwärtszähler ist in Abb. 224 auf Seite 115 dargestellt.

**Dualzähler (asynchron, rückwärtszählend)**

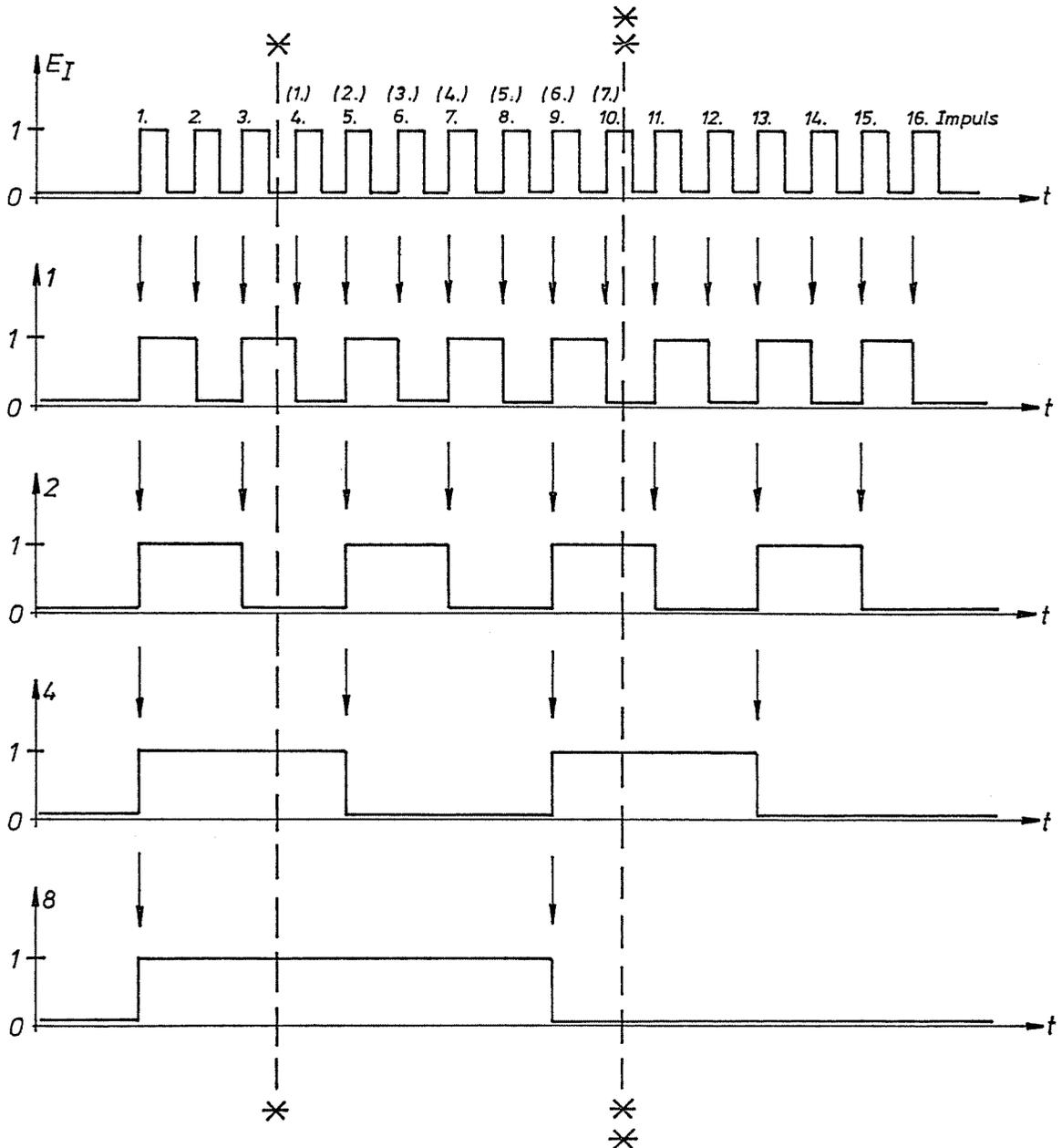


$E_I$  = Zählimpulseingang

$E_R$  = Rückstelleingang (0  $\hat{=}$  Rückstellung in Ruhelage)

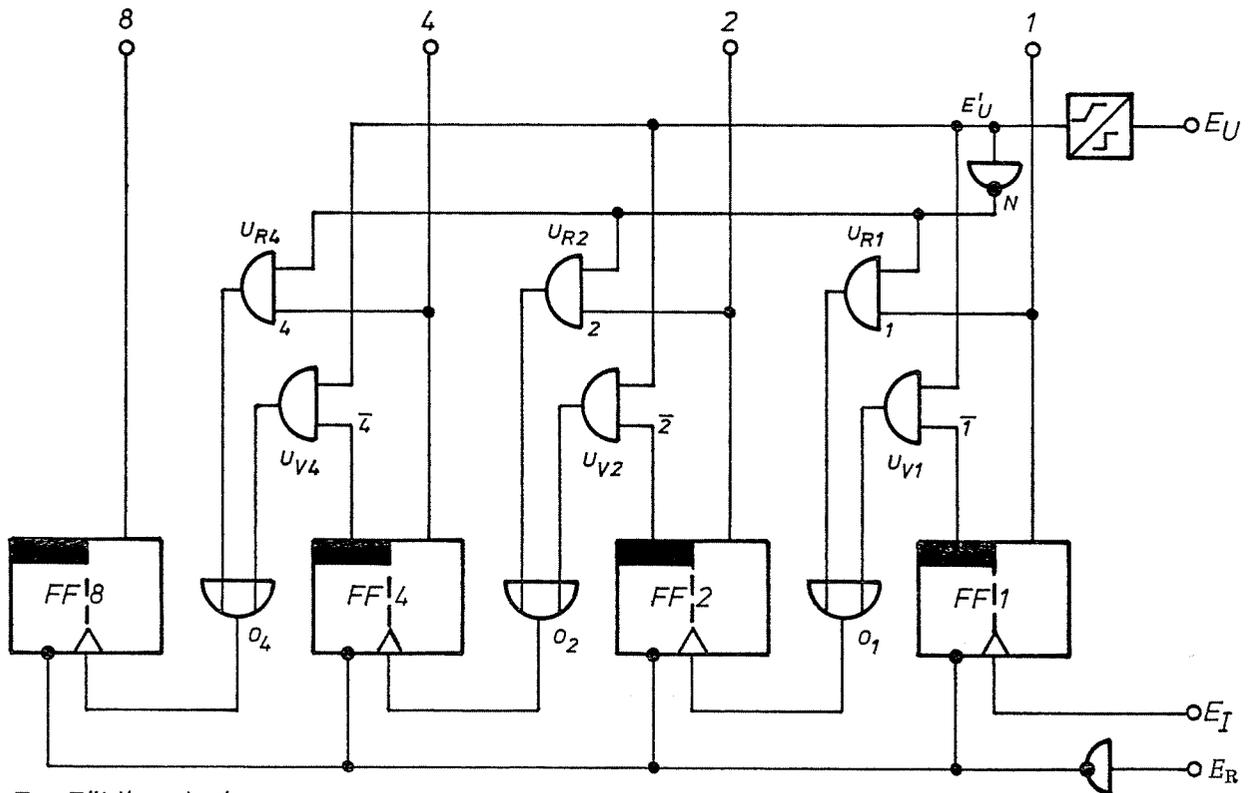
(Abb. 222)

**Ausgangspotentiale Rückwärtszähler**



(Abb. 223)

### Umschaltbarer Vorwärts-/Rückwärtszähler (asynchron)



$E_I$  = Zählpulseingang

$E_R$  = Rückstelleingang (1  $\hat{=}$  Rückstellung in Ruhelage)

$E_U$  = Umsteuereingang (1  $\hat{=}$  vorwärts, 0  $\hat{=}$  rückwärts)

(Abb. 224)

Die Schaltimpulse für die FF 2, FF 4 und FF 8 können über UND-Glieder wahlweise von den Arbeitsausgängen oder von den Ruheausgängen der vorherliegenden Flipflops abgegriffen werden. Entscheidend dafür ist das Signal auf der Leitung  $E_U$ . Beträgt dieses 1, so erhalten die UND-Glieder  $U_{V1}$ ,  $U_{V2}$  und  $U_{V4}$  auf je einem Eingang 1 und schalten deshalb die Potentiale der Ruheausgänge 1, 2 und 4 über die ODER-Glieder  $O_1$ ,  $O_2$  und  $O_4$  an die Impulseingänge der Flipflops durch. Der Zähler arbeitet so als Vorwärtszähler. Wird dagegen an die Umsteuerleitung  $E_U$  0 angelegt, dann werden die UND-Glieder  $U_{R1}$ ,  $U_{R2}$  und  $U_{R4}$  für die Signale der Arbeitsausgänge 1, 2 und 4 durchlässig. Damit ist der Zähler als Rückwärtszähler geschaltet.

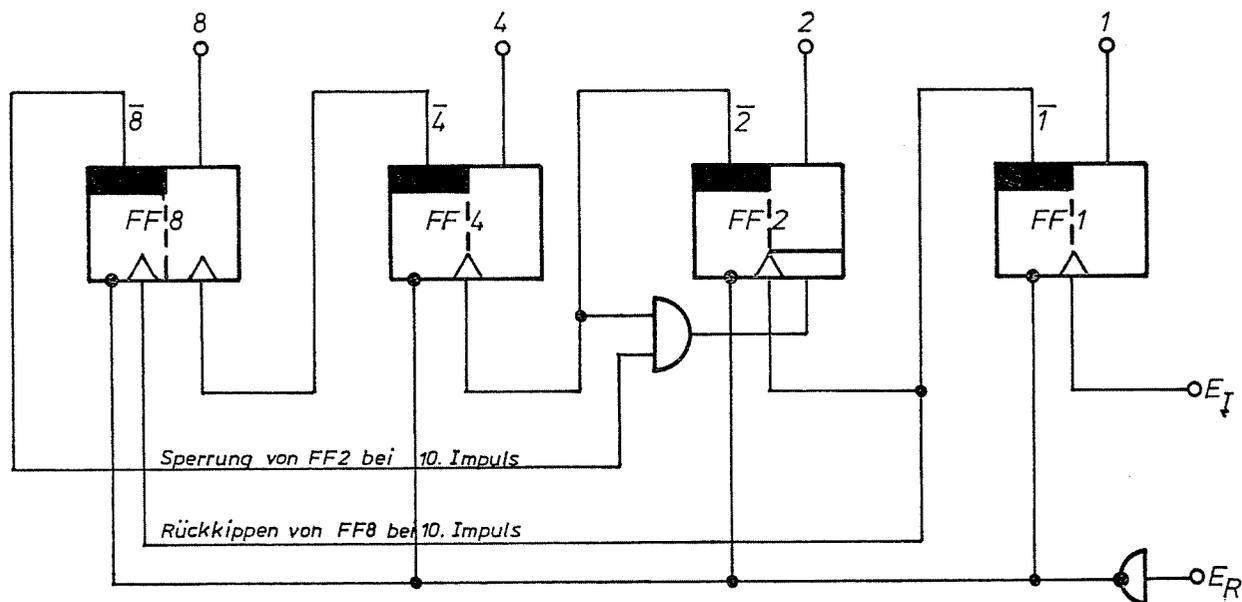
Bei der Umschaltung der Zählrichtung können an den Ausgängen der ODER-Glieder  $O_1$ ,  $O_2$  und  $O_4$  Signalwechsel  $0 \rightarrow 1$  auftreten, die die nachfolgende Stufe kippen und damit das Zählergebn verfälschen. Dieser Nachteil wird vermieden, wenn der Signalwechsel nicht sprunghaft, sondern langsam vor sich geht, da bei der Differentiation an den dynamischen Eingängen dann kein Schaltimpuls entsteht. Dazu wird in die Umsteuerleitung eine Stufe eingefügt, die die Umschaltflanke stark abflacht. Die nachfolgenden Verknüpfungsglieder dürfen die Umschaltflanken nicht mehr versteilern. Zur Erfüllung dieser Forderung sind spezielle Verknüpfungsglieder notwendig. Deshalb werden asynchrone Vorwärts-/Rückwärtszähler selten angewendet.

#### 5.1.1.4. BCD-Zähler (asynchron, vorwärtszählend)

EDV-Anlagen arbeiten oft mit BCD-Code (Binär codierte Dezimalstellen), bei denen jede einzelne Dezimalstelle, also nur die Werte von 0 bis 9, binär codiert sind. Zähler, die für BCD-Code mit den Stellenwertigkeiten 8, 4, 2 und 1 gedacht sind, zählen von 0 bis 9 wie Dualzähler, während der 10. Schaltimpuls eine Rückstellung auf 0 auslösen muß. Solche BCD- oder Dekadenzähler bestehen meistens aus vier Zähl-elementen je Dezimalstelle (Dekade), was einer Zählerkapazität von 0 . . . . 15 entspricht. Die Zählerstände 0 . . . . 9 werden dabei ausgenutzt und die übrigen Zählerstände 10 . . . . 15 sind durch entsprechende Schaltungsauslegung unterdrückt. Die erforderlichen Schaltungsänderungen gegenüber einem einfachen Dualzähler sind in Abb. 225 dargestellt.

Bis zum vollendeten 9. Eingangsimpuls verhalten sich BCD- und Dualzähler gleich. Erst nach der in Abb. 220 eingezeichneten Trennungslinie (\*) unterscheiden sich die Schaltvorgänge beider Zählerarten. Die Weiterschaltung der Dual-

**BCD-Zähler, asynchron, Wertigkeiten 1—2—4—8**



$E_I$  = Zählimpulseingang  
 $E_R$  = Rückstelleingang ( $1 \hat{=}$  Rückstellung)

(Abb. 225)

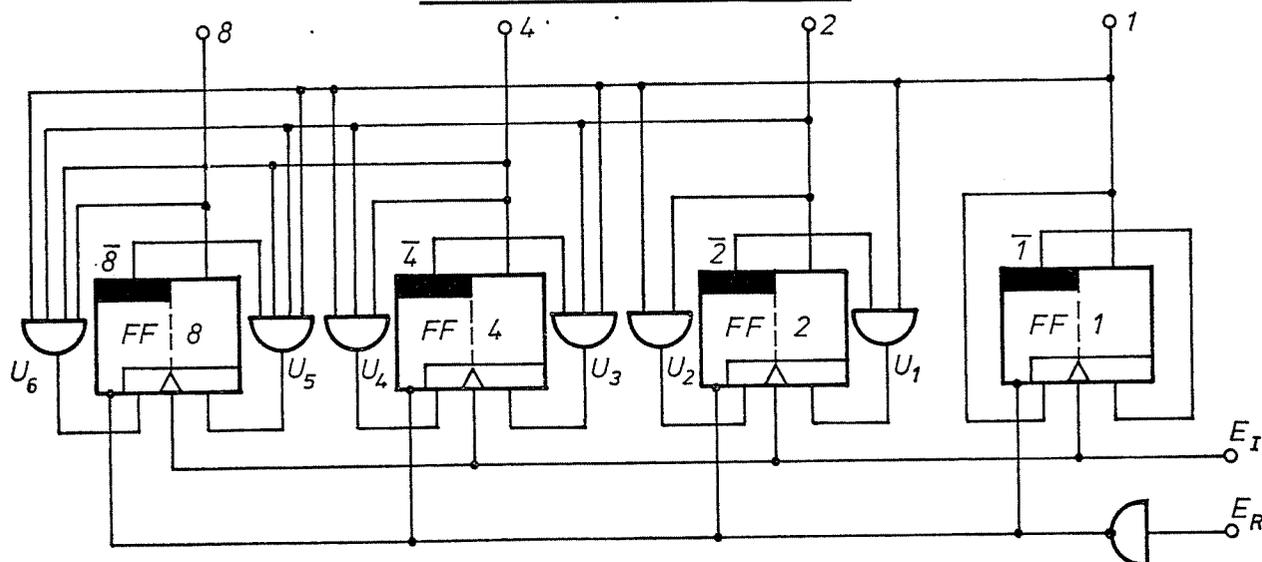
zähler ist bereits bekannt, sie entspricht der Abb. 220. BCD-Zähler dagegen schalten beim 10. Impuls auf 0 zurück. Dies ist der Fall, wenn FF 2 durch fehlende Vorbereitung am Kippvorgang in die Arbeitslage gehindert und FF 8 durch entsprechende Ansteuerung in die Ruhelage zurückgekippt wird.

Die Realisierung dieser Schaltvorgänge ist für einen Asynchrnzähler in Abb. 225 dargestellt. Da der Ausgang  $\bar{8}$  vor dem Eintreffen des 10.

Impulses Zustand 0 führt, verhindert die UND-Schaltung am Vorbereitungseingang des FF 2, daß FF 2 mit dem 10. Impuls in Arbeitslage kippt.

FF 1 kehrt mit dem 10. Impuls in seine Ruhelage zurück, so daß am Ausgang  $\bar{1}$  ein Signalsprung 0→1 auftritt. Dadurch wird auch FF 8 in seine Ruhelage zurückgekippt; es sind dann sämtliche FF wieder in Ausgangslage (Ruhelage).

**Dualzähler (synchron, vorwärtszählend)**



$E_I$  = Zählimpulseingang  
 $E_R$  = Rückstelleingang ( $1 \hat{=}$  Rückstellung)

(Abb. 226)

**5.1.2. Synchronzähler**

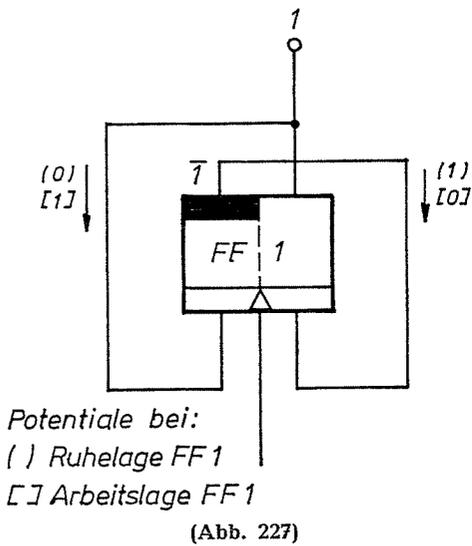
Im Gegensatz zu Asynchronzählern, bei denen die dynamische Ansteuerung jedes Zählelements vom Ausgang des vorherliegenden Zählelements erfolgt, werden im Synchronzähler alle Zähler-Flipflops über die dynamischen Eingänge gleichzeitig — also **synchron** — angesteuert. Die Kippbereitschaft jedes Flipflops wird dann über entsprechende Verknüpfungsglieder an Vorbereitungseingängen gesteuert. Charakteristisch für die Schaltung eines Synchronzählers sind die gleichzeitige (synchrone) Ansteuerung aller Flipflops und die Vorbereitungsschaltungen mit UND-Gliedern (Abb. 226).

**5.1.2.1. Wirkungsweise der Synchronzähler**

Durch entsprechende Vorbereitung der Zählelemente soll erreicht werden, daß die zeitliche Folge der Kippvorgänge dem verwendeten Zählercode angepaßt ist. Zur Erklärung der Wirkungsweise ist der einfachste Fall, ein vorwärtszählender Dualzähler (Abb. 226), angenommen. Die Schaltfolge der Flipflops entspricht somit Abb. 220.

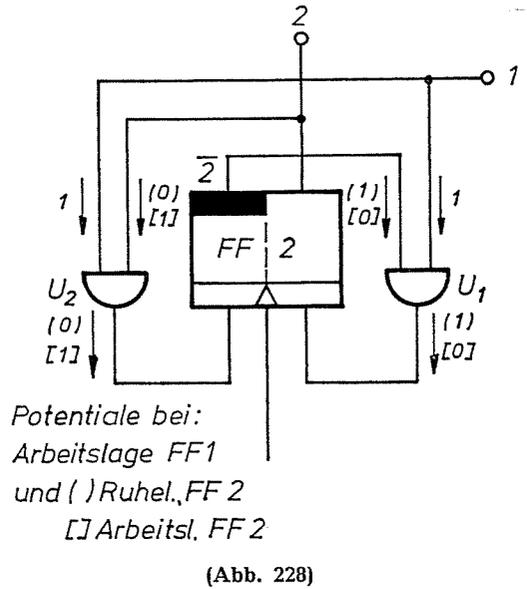
- a) Flipflop FF 1 kippt bei jedem an  $E_1$  wirksamen Potentialsprung  $0 \rightarrow 1$ . Deshalb ist keine besondere Vorbereitungsschaltung erforderlich, FF 1 bereitet sich selbst vor (vgl. Abb. 195 im Abschnitt 4. 2. 5.).

Synchronzähler (Schaltungsausschnitt FF 1)



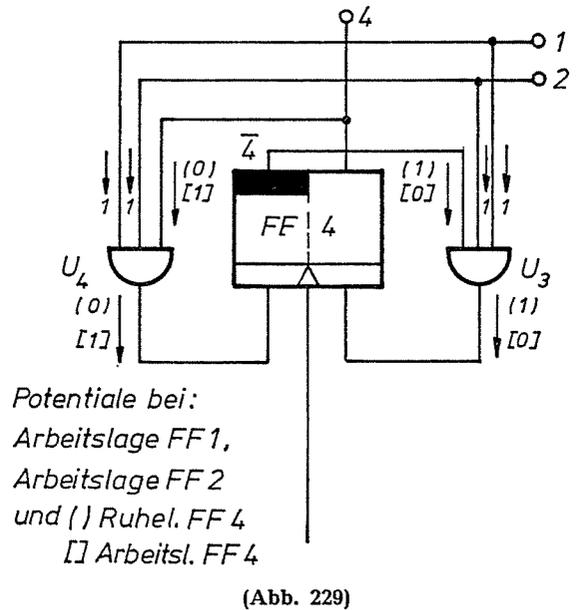
- b) Flipflop FF 2 kippt immer dann, wenn sich **unmittelbar vorher** FF 1 in Arbeitslage befindet, also bei jedem zweiten Potentialsprung  $0 \rightarrow 1$  an  $E_1$ . Das Vorbereitungspotential wird durch Einfügen einer UND-Verknüpfung vom Ausgangspotential 1 am Ausgang 1 (bei Arbeitslage von FF 1) abhängig gemacht. FF 2 wird also nur dann vorbereitet, wenn FF 1 in Arbeitslage ist.

Synchronzähler (Schaltungsausschnitt FF 2)



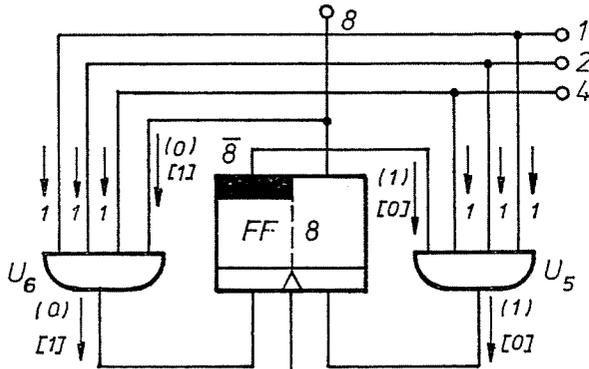
- c) Flipflop FF 4 kippt nur bei jedem 4. Impuls. Deshalb ist die Vorbereitung von der Arbeitslage von FF 1 und FF 2 abhängig, das wird erreicht, indem die in den Vorbereitungsleitungen eingefügten UND-Glieder mit den Signalen der Arbeitsausgänge 1 und 2 beschaltet sind.

Synchronzähler (Schaltungsausschnitt FF 4)



- d) Flipflop FF 8 wird nur bei jedem 8. an  $E_1$  liegenden Potentialsprung wirksam angesteuert, also wenn FF 1, FF 2 und FF 4 in Arbeitslage sind. Die UND-Glieder in den Vorbereitungsleitungen werden entsprechend mit den Signalen der Arbeitsausgänge 1, 2 und 4 beschaltet.

### Synchronzähler (Schaltungsausschnitt FF 8)



Potentiale bei:  
 Arbeitslage FF 1,  
 Arbeitslage FF 2  
 Arbeitslage FF 4  
 und ( ) Ruhel. FF 8  
 [ ] Arbeitsl. FF 8

(Abb. 230)

Bei Synchronzählern erreicht der auslösende Schaltimpuls alle dynamischen Eingänge gleichzeitig, so daß alle vorbereiteten Flipflops synchron gekippt werden. Synchronzähler arbeiten deshalb sehr schnell, dafür ist aber der Schaltungsaufwand recht groß. Bei Asynchronzählern dagegen schalten die einzelnen Zählelemente nacheinander, da jedes vom vorherliegenden angesteuert wird. Die Einstellzeit einer vierstelligen Zählkette auf den neuen Zählerstand nach dem Eintreffen eines Schaltimpulses an FF 1 kann im ungünstigsten Fall viermal so groß wie bei Synchronzählern sein.

#### 5.1.2.2. Dualzähler (vorwärts und rückwärts)

Wie bei Asynchronzählern kann auch bei Synchronzählern zwischen Vorwärts- und Rückwärtszählrichtung unterschieden werden. Ein synchron schaltender Vorwärtszähler für Dualcode ist mit der Schaltung nach Abb. 226 schon bekannt. Zieht man anstelle der Arbeitsausgänge die Ruheausgänge 1, 2 und 4 zur Vorbereitung der dynamischen Eingänge mit heran, so ist eine Vorbereitung immer dann gegeben, wenn alle vorherliegenden Flipflops Ruhelage einnehmen. Somit ergibt sich eine Rückwärtszählung. In Abb. 231 ist ein rückwärtszählender Synchronzähler für Dualcode dargestellt.

Einen synchron arbeitenden umschaltbaren Vorwärts-/Rückwärtszähler für Dualcode (0 . . . 15) zeigt Abb. 232. Die Vorbereitungssignale werden wahlweise aus den Ausgangssignalen der Arbeitsausgänge (bei Vorwärtszählung) oder aus den Ausgangssignalen der Ruheausgänge (bei Rückwärtszählung) abgeleitet. Die Anordnung der zur Zählrichtungsumschaltung notwendigen UND-Glieder entspricht dem Asynchronzähler (Abb. 224).

#### 5.1.2.3. Synchrone BCD-Zähler

Synchrone BCD-Zähler setzen sich aus mindestens vier Zählelementen zusammen. Durch die Art der Verknüpfung der Vorbereitungseingänge ergibt sich der gewünschte Zählcode. Abb. 233 stellt einen BCD-Zähler dar, dessen Flipflops die Wertigkeiten 1, 2, 4 und 8 zugeordnet sind.

Die Zählerstände 0 . . . 9 erscheinen im Dualcode an den Ausgängen 1, 2, 4 und 8. Der 10. Impuls stellt den Zähler zurück auf 0. Dazu bedarf es einer gegenüber dem synchronen Dualzähler (Abb. 226) geänderten Vorbereitung bei Flipflop FF 2 und FF 8. Der Kippvorgang von FF 2 in die Arbeitslage ist abhängig von der Ruhelage des FF 8, und zwar so, daß vom FF 8 an die vorbereitende UND-Schaltung  $U_1$  zusätzlich das Potential des Ruheausgangs  $\bar{8}$  angelegt ist. Weiterhin erfolgt der Rückkippvorgang des FF 8 in die Ruhelage bereits dann, wenn nur FF 1 in Arbeitslage ist, also nach dem 9. Impuls, da der UND-Verknüpfung  $U_6$  nur das Ausgangspotential des Arbeitsausgangs von FF 1 zugeführt wird.

Durch entsprechende Verknüpfungen in den Vorbereitungsleitungen lassen sich alle möglichen Binärcodes bei BCD-Zählern verwirklichen. Abb. 234 stellt die Schaltung eines Synchronzählers für den Aikencode dar. An allen Vorbereitungseingängen ist als Formel angegeben, unter welchen Umständen ein Vorbereitungssignal 1 anliegt. Daraus kann die Kippfolge der Kippstufen A, B, C und D abgeleitet werden. Zur besseren Übersicht ist unter der gleichen Abbildung noch einmal eine Tabelle für Aikencode abgedruckt. Darin sind als Beispiel die Situationen stark eingefaßt, die unmittelbar vor dem Impuls herrschen, der dann Flipflop C in Arbeitslage kippt. Als Vorbereitung zum Kippvorgang von Flipflop C in die Arbeitslage ist also zu schalten:

$$A \cdot B \cdot C$$

Für alle anderen Vorbereitungseingänge ist entsprechend zu verfahren.

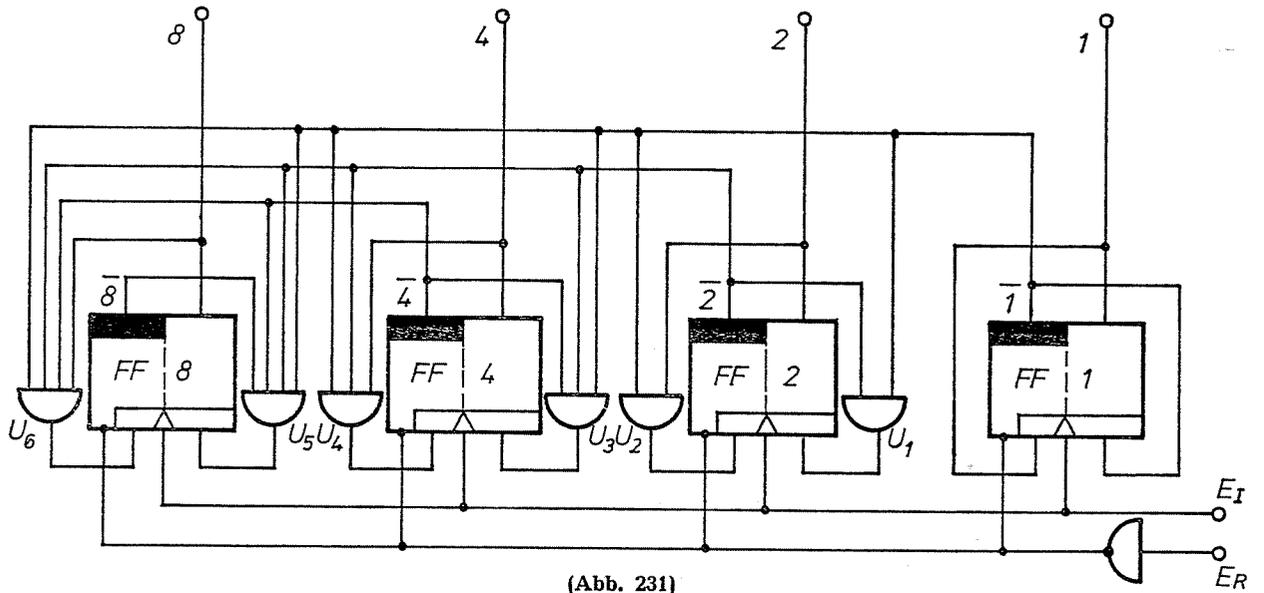
#### 5.1.3. Anwendungsbeispiele

Der Anwendungsbereich für Zähler in der Elektronik ist sehr weitreichend; deshalb werden hier nur zwei grundsätzliche Beispiele angeführt. Zähler finden überall da Verwendung, wo Impulsserien gezählt oder sonst ausgewertet werden sollen.

##### 5.1.3.1. Digitale Frequenzmessung

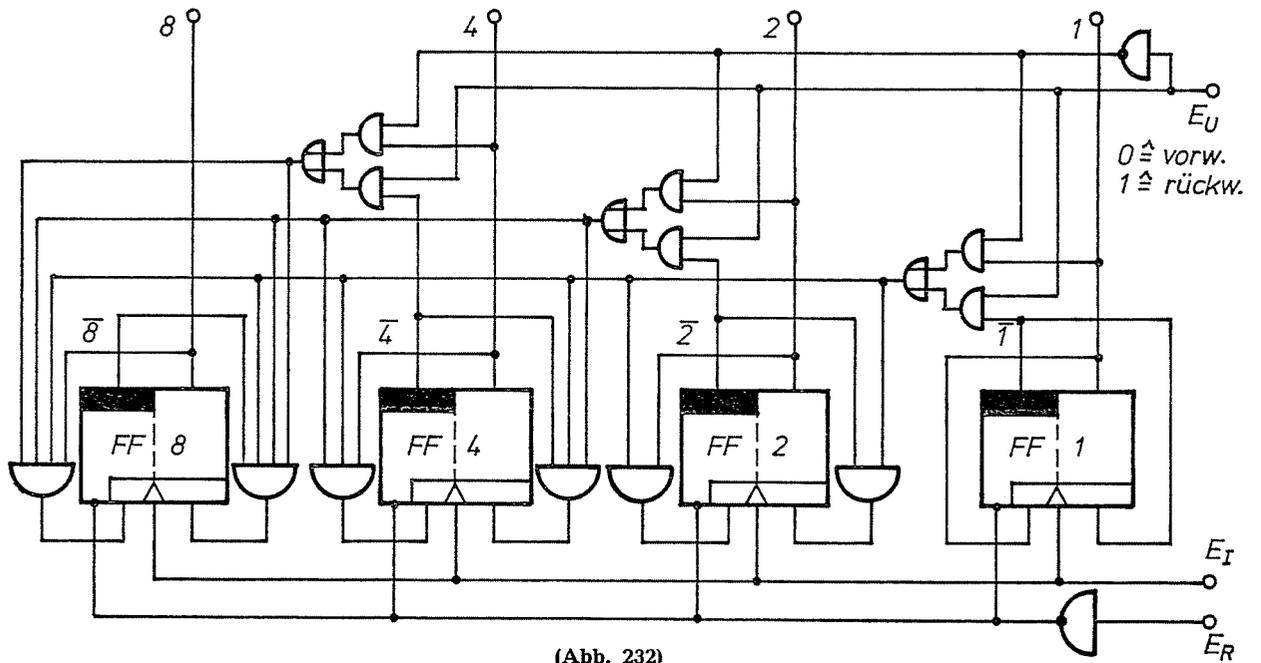
Ein Verfahren zur Frequenzbestimmung mit Zeigerinstrumenten wurde in diesem Buch bereits näher besprochen; es basierte auf der Wirkung der Differenzier- und Integrierglieder. Die Grenze der Anzeigegenauigkeit lag bei diesem Verfahren in der Toleranz des verwendeten

**Dualzähler (synchron, rückwärtszählend)**



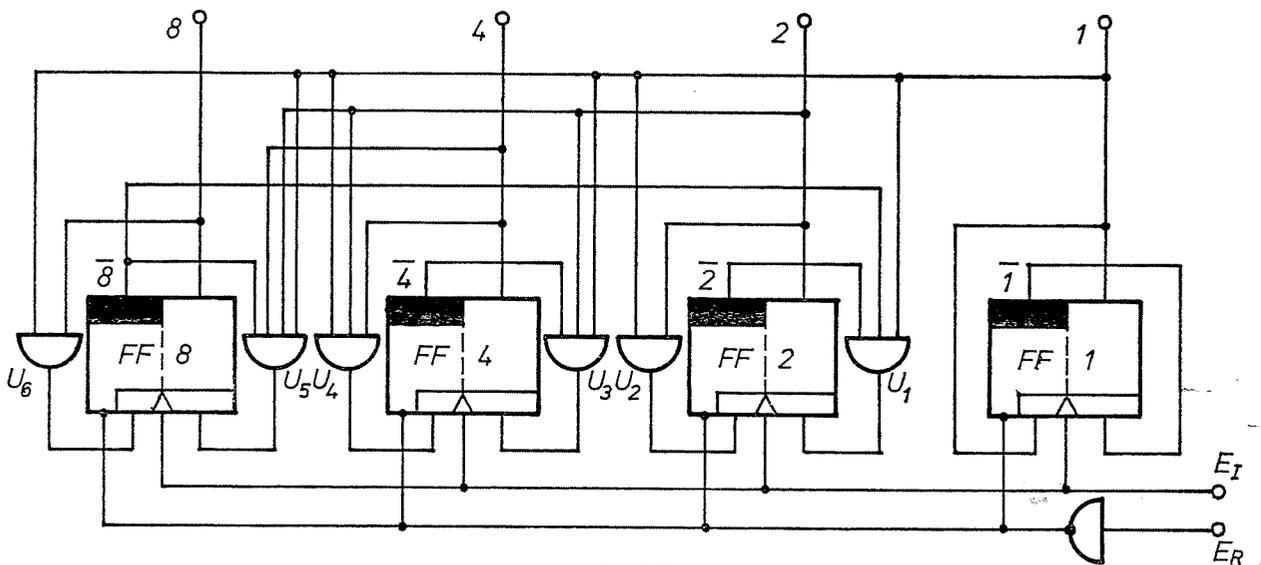
(Abb. 231)

**Dualzähler (synchron, vorwärts-/rückwärts)**



(Abb. 232)

**BCD-Zähler (Wertigkeit 1—2—4—8, synchron)**



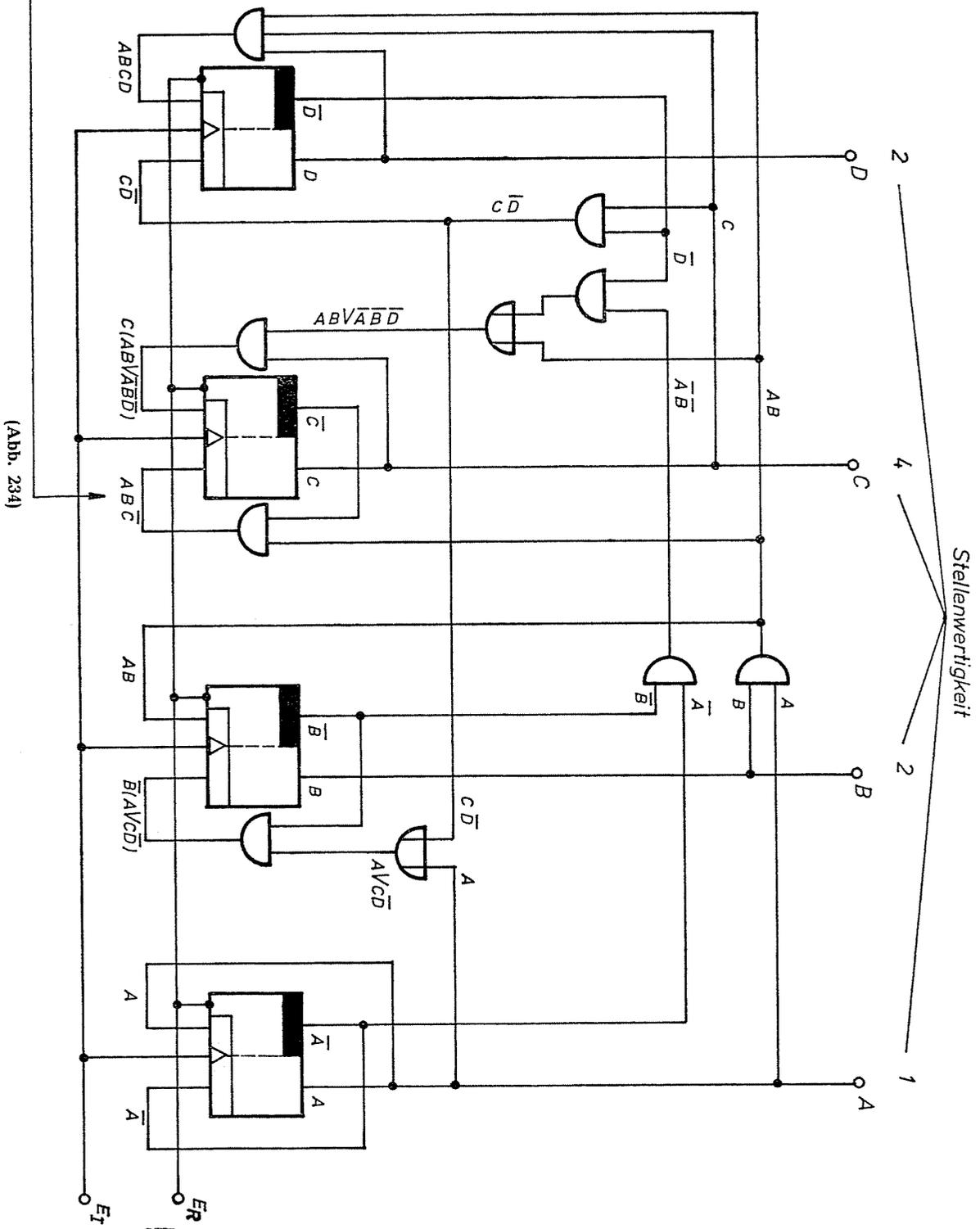
(Abb. 233)

Aikencode-Zähler (synchron, vorwärtszählend)

Aikencode				
Stellen	D	C	B	A
Wert	2	4	2	1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	0	1
8	1	1	1	0
9	1	1	1	1

Beispiel: Vorbereitung für Flipflop C zum Kippvorgang in die Arbeitlage:

$$A \cdot B \cdot \bar{C}$$

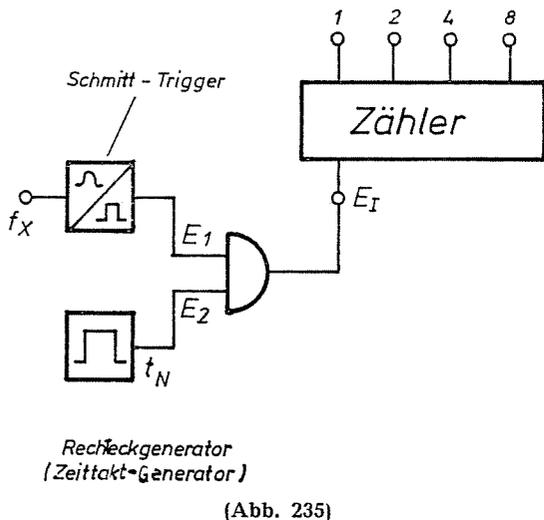


(Abb. 234)

Meßwerks. Diese beträgt bei üblichen Drehspulmeßwerken bis etwa 1 ‰, so daß die Meßgenauigkeit der gesamten Anordnung diesen Wert nicht unterschreiten kann. In bezug auf die Meßgenauigkeit übertrifft das folgend beschriebene digitale Meßverfahren die vorgenannte Anordnung bei weitem.

Die unbekannte, in der Frequenz zu messende Wechselspannung wird zunächst in Rechtecke umgeformt. Dazu dient, wie bereits bekannt, ein Schmitt-Trigger. Die Rechtecke gelangen über eine zeitgesteuerte Torschaltung auf einen Zähler. Als Torschaltung wird ein einfaches UND-Glied mit zwei Eingängen verwendet. An den Eingang  $E_1$  wird die durch den Trigger geformte Rechteckspannung mit der unbekanntem Frequenz  $f_x$  angelegt und an den Eingang  $E_2$  eine durch einen speziellen Zeittaktgenerator erzeugte Rechteckspannung mit der geeichten Impulsdauer  $t_N$ . Abb. 235 zeigt das Prinzip einer entsprechenden Schaltung.

**Digitale Frequenzmessung**



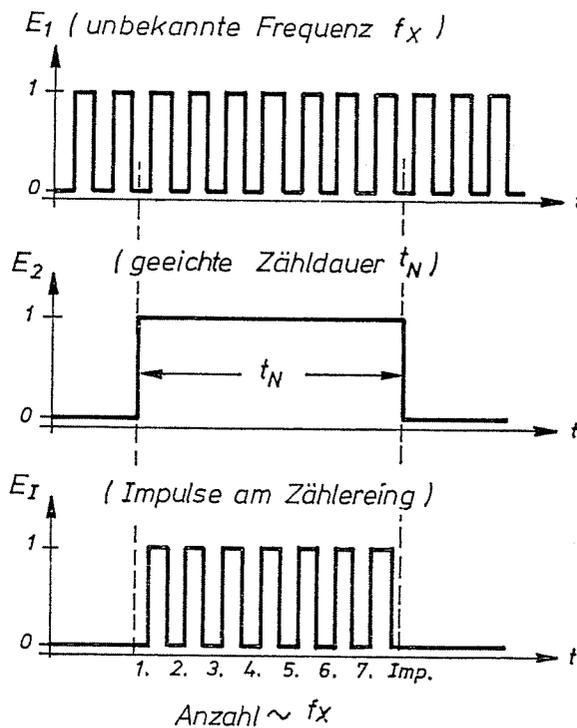
(Abb. 235)

Die Impulsdauer  $t_N$  bestimmt die Öffnungszeit der UND-Schaltung für die an  $E_1$  liegenden, aus  $f_x$  erzeugten Impulse; durch  $t_N$  wird also die Zählzeit festgelegt (Abb. 236).

Beträgt z.B.  $t_N = 1$  s, so entspricht die Anzahl der in dieser Zeit zum Zähler gelangenden und von ihm gezählten Impulse der zu messenden Frequenz in Hertz, da die Frequenz als Anzahl voller Schwingungen pro Sekunde definiert ist. Ebenso entspricht die Anzahl der gezählten Impulse der Frequenz in kHz, wenn  $t_N = 1$  ms beträgt.

Die Meßgenauigkeit dieses digitalen Meßverfahrens ist vorwiegend abhängig von der genauen Einhaltung der Zählzeit  $t_N$ , also von der durch den Zeittaktgenerator erzeugten Frequenz. Mit entsprechendem Schaltungsaufwand

**Impulsschema bei Frequenzmessung**



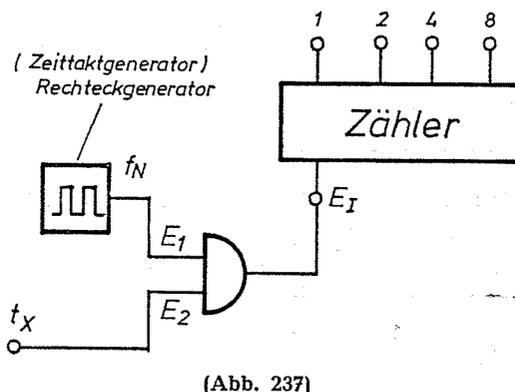
(Abb. 236)

lassen sich Generatoren mit einer Toleranz von etwa  $10^{-6}$  aufbauen, so daß digitale Frequenzmesser mit sehr hoher Anzeigegenauigkeit ohne weiteres realisierbar sind.

**5.1.3.2. Digitale Zeitmessung**

Eine wie oben beschriebene Schaltungsanordnung läßt sich auch zur Zeitmessung verwenden, wenn anstelle der unbekanntem Frequenz eine geeichte Frequenz  $f_N$  aus einem besonderen Zeitgenerator an den Eingang  $E_1$  des UND-Gliedes angelegt wird.  $E_2$  ist dann für die zu bestimmende Zeit  $t_x$  mit dem Signal 1 zu belegen (Abb. 237).

**Digitale Zeitmessung**

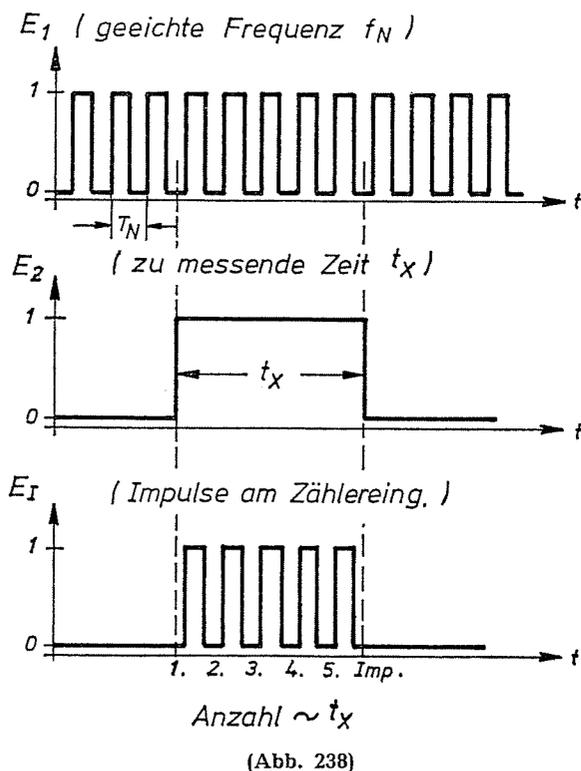


(Abb. 237)

Während der Zeit  $t_x$  gelangen Impulse, die aus der Frequenz  $f_N$  abgeleitet werden, auf den Zähler. Die Anzahl der gezählten Impulse gibt Aufschluß über die Zeit  $t_x$ , wenn die Frequenz  $f_N$  bekannt ist (Abb. 238).

Beträgt z.B.  $f_N = 1$  kHz, dann werden 1000 Impulse pro Sekunde wirksam, das ist je 1 Impuls pro Millisekunde. In diesem Falle entspricht die Anzahl der gezählten Impulse der gemessenen Zeit in ms.

**Impulsschema bei Zeitmessung**

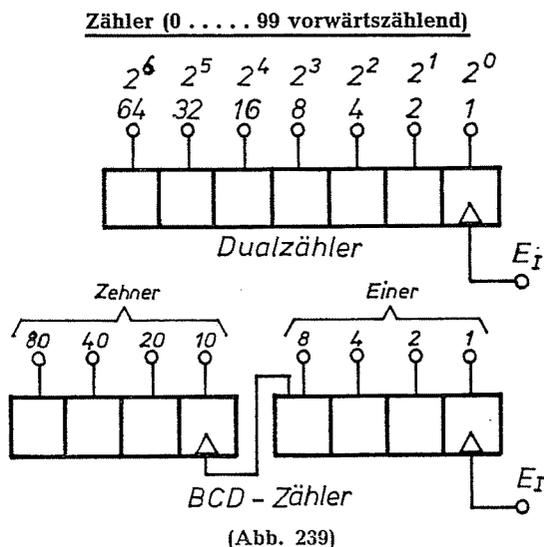


Die Anzeige der Zählergebnisse bei der digitalen Frequenzmessung wie auch bei Zeitmessung erfolgt je nach der Art des verwendeten Zählers in Dual- oder BCD-Code, wenn man an die Ausgänge der Zählflipflops optische Anzeigen (z.B. Glühlampen) anschaltet. Meistens werden jedoch durch Zwischenschaltung spezieller Decodierschaltungen die Zählerstände nach abgeschlossener Zählung direkt als Dezimalzahlen durch Ziffernanzeigeröhren dargestellt. Solche Decodierschaltungen werden in einem späteren Abschnitt behandelt. Zur Sicherstellung eines richtigen Ergebnisses ist immer vor Beginn einer Zählung der Zähler auf 0 (alle Flipflops in Ruhelage) zurückzustellen.

**Beispiel:** Eine digitale Zeitmeßeinrichtung soll mit einer Auflösung von 10 ms Zeiten bis zu 1 s messen können. Dazu ist eine Frequenz  $f_N$  aus dem Zeittaktgenerator erforderlich, deren Periodendauer  $T_N = 10$  ms mit möglichst großer Genauigkeit beträgt; es ist dann:

$$f_N = \frac{1}{T_N} = \frac{1}{10 \text{ ms}} = \underline{\underline{100 \text{ Hz}}}$$

Bei einer maximalen Meßzeit  $t_x = 1$  s passieren bis zu 100 Impulse die Torschaltung und müssen gezählt werden. Der verwendete Zähler soll deshalb eine Zählkapazität von 100 besitzen. Als **Dualzähler** für eine Zählfolge 0 . . . 99 sind 7 Flipflops erforderlich, da bei der Darstellung der Dualzahl  $1100011 \cong 99$  insgesamt 7 Dualstellen geschrieben werden. Soll dagegen ein **BCD-Zähler** eingesetzt werden, dann erhöht sich die Anzahl der erforderlichen Flipflops auf 8, da hierbei jede Dezimalstelle für sich binär codiert wird und dafür mindestens je vier Flipflops gebraucht werden. BCD-Zähler haben den Vorteil, daß bei der Anzeige des Zählerstandes durch Ziffernanzeigeröhren einfachere Decodierschaltungen möglich sind. Abb. 239 stellt beide Zählerarten gegenüber.



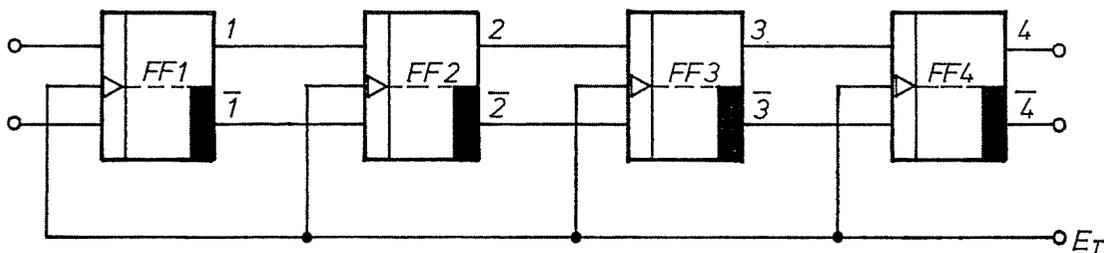
**5.2. Schieberegister**

**5.2.1. Arbeitsprinzip und Schaltung**

Bei der Anwendung eines Flipflops als Speicherelement kann nur eine Stelle einer binär codierten Information verarbeitet werden. Meistens wird jedoch bei elektronischen Anlagen die Forderung gestellt, mehrstellige Binär-Informationen zu speichern; das ist mit einer entsprechenden Anzahl an Speicherelementen möglich. Alle erforderlichen Flipflops werden zu einem sogenannten Schieberegister zusammengeschaltet. Die Arbeitsweise eines Schieberegisters beruht darauf, daß der Speicherinhalt jedes Registerflipflops bei einem sog. **Schiebeimpuls** in das nächste übertragen wird. Dadurch verschiebt sich pro Schiebeimpuls eine eingespeicherte mehrstellige Binär-Information um eine Stelle.

Die in Schieberegistern verwendeten Flipflops besitzen dynamische Eingänge mit Vorbereitung und meistens auch statische Eingänge. Die dynamische Ansteuerung dient zum **Schieben** des eingespeicherten Signalinhalts, während man zum **Setzen** (Einspeichern) und zum **Rücksetzen** (Löschen) oft statische Eingänge benutzt. Es gibt jedoch auch Schieberegister, die über dynamische Eingänge gesetzt und rückgestellt werden.

**Schieberegister (Grundschaltung)**



(Abb. 240)

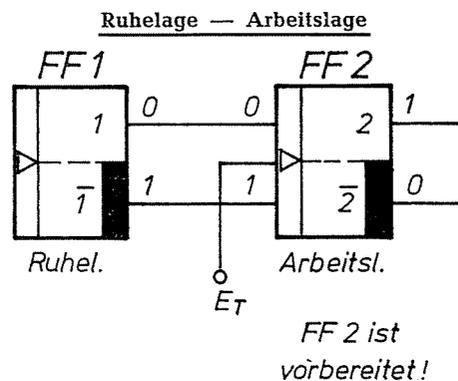
Die Anzahl der Flipflops richtet sich, wie schon erwähnt, nach der Zahl der zu speichernden Binärstellen. Die Schaltung eines vierstelligen Schieberegisters zeigt Abb. 240.

reitungspotentiale für FF 2. Dieses kippt jedoch bei einem Schiebeimpuls am Takteingang nicht, da die mit Potential 1 vorbereitete Flipflopseite bereits 1 am Ausgang bringt.

Charakteristische Schaltungsmerkmale eines Schieberegisters:

- a) die dynamischen Eingänge (Schiebeimpuls-Eingänge) aller Flipflops sind zusammengeschaltet zu  $E_T$  und
- b) die Vorbereitungseingänge zu diesen dynamischen Eingängen sind direkt mit den Ausgängen der vorherliegenden Flipflops verbunden.

**Fall 2:** Flipflop 1 in Ruhelage, Flipflop 2 in Arbeitslage (Abb. 242).



(Abb. 242)

**5.2.2. Wirkungsweise**

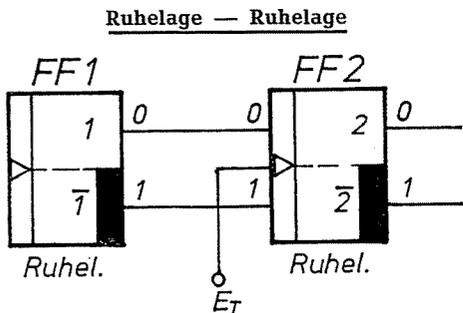
**5.2.2.1. Schiebevorgang**

Ein Schiebevorgang wird durch einen Schiebeimpuls, der am dynamischen Takteingang  $E_T$  wirksam wird, ausgelöst. Zur Erklärung der Wirkungsweise werden zwei aufeinanderfolgende Registerflipflops betrachtet; man kann dabei vier Fälle unterscheiden:

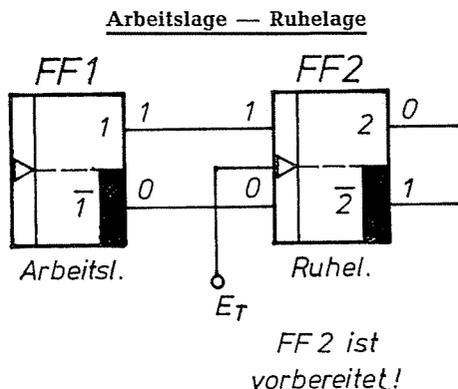
Potential 1 am Ruheausgang  $\bar{1}$  bereitet FF 2 so vor, daß der nächste eintreffende Schiebeimpuls dieses kippt, denn der Ausgang der mit 1 vorbereiteten Seite führt Signal 0.

**Fall 1:** Beide Flipflops sind in Ruhelage (Abb. 241).

**Fall 3:** Flipflop 1 in Arbeitslage, Flipflop 2 in Ruhelage (Abb. 243).



(Abb. 241)

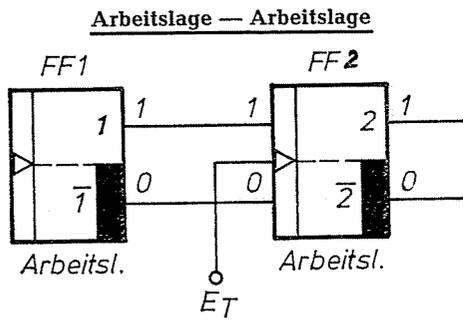


(Abb. 243)

Die Ausgangspotentiale 1 und  $\bar{1}$  wirken durch die direkten Verbindungsleitungen als Vorbe-

Auch hierbei ergibt sich durch die Vorbereitung, die von FF 1 abgegriffen wird, ein Umkippen des FF 2.

**Fall 4:** Beide Flipflops befinden sich in Arbeitslage (Abb. 244).



(Abb. 244)

Wie im Fall 1 wird FF 2 auf der Seite mit 1 vorbereitet, deren Ausgangssignal schon 1 ist, so daß bei einem Schiebeimpuls kein Kippvorgang ausgelöst wird.

Aus diesen vier Fällen kann abgeleitet werden, daß Schiebeimpulse 0→1 am Takteingang  $E_T$  der Registerflipflops nur dann zum Kippvorgang führen, wenn die jeweils davorliegenden Flipflops eine entgegengesetzte Lage einnehmen. In der Zusammenstellung nach Abb. 245 sind alle Speichersituationen vor und nach einem Schiebetakt für zwei aufeinanderfolgende Flipflops zusammengestellt. Die Flipflopseite, deren Ausgangssignal 1 beträgt, ist im Symbol schraffiert.

Abb. 245 zeigt deutlich, wie der Signalinhalt (gekennzeichnet durch Ruhelage oder Arbeitslage) jedes Registerflipflops bei einem Schiebetakt in das nächste Flipflop geschoben wird. Die Darstellung eines sechsstelligen Schieberegisters (Abb. 246) soll den Schiebevorgang weiter verdeutlichen. Die Ausgänge des letzten Flipflops 6 und  $\bar{6}$  sind in dieser Schaltung auf die Vorbereitungseingänge des ersten Flipflops zurückgeführt, so daß der Signalinhalt aus FF 6 bei jedem Schiebeimpuls von FF 1 übernommen wird. Nach insgesamt 6 Schiebeimpulsen ist so die Ausgangslage wieder erreicht, weil nach dem 6. Impuls die eingespeicherte 6stellige Information einmal durch das gesamte Register geschoben ist.

### 5.2.2.2. Setzen und Rücksetzen

Unter Setzen und Rücksetzen versteht man das Einspeichern und Löschen von binär codierten Signalen in Schieberegisterflipflops. Die beiden möglichen Binärsignale 0 und 1 werden durch je eine Flipflop Lage dargestellt. Bei den meisten Schieberegistern gilt folgende Zuordnung:

Binärsignal	Flipflop Lage
0	Ruhelage
1	Arbeitslage

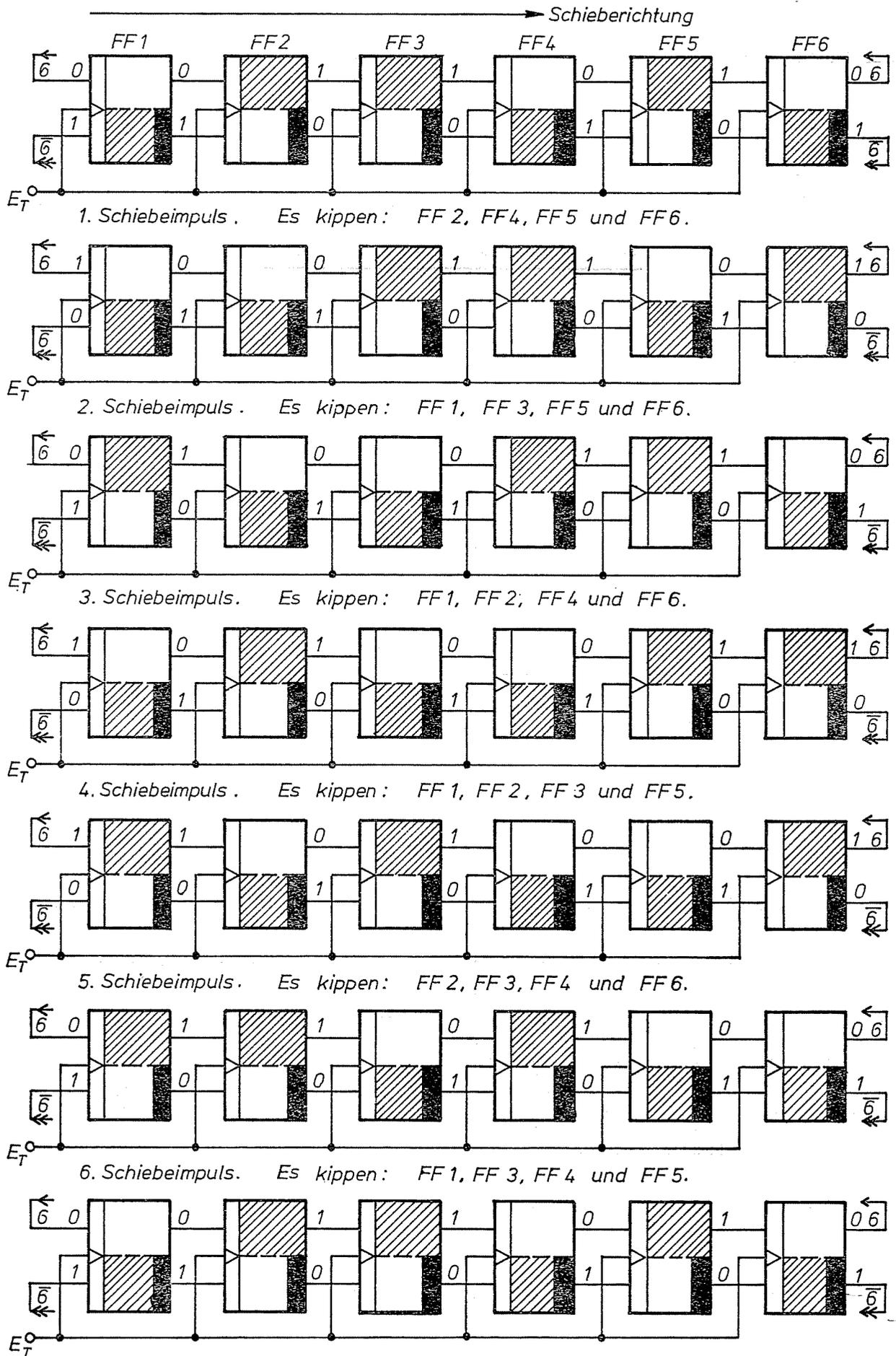
**Flipflop Lagen zweier aufeinanderfolgender Flipflops**

Schiebeimpuls	Lage zweier aufeinanderfolgender Registerflipflops
vor	
nach	

(Abb. 245)

Zum Setzen wie auch zum Rücksetzen bedient man sich meist statischer Eingänge. Während für das Setzen jedes Flipflop einen eigenen selbständigen Eingang besitzt, weil jedes Flipflop

### Schiebevorgang bei sechsstelligem Schieberegister



(Abb. 246)

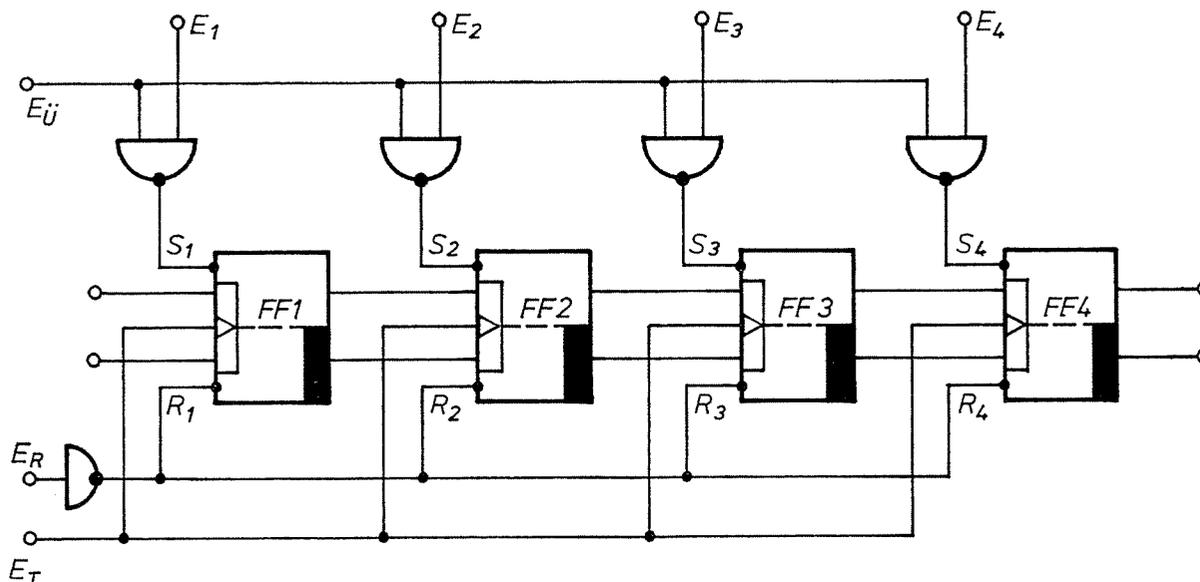
entsprechend der einzuspeichernden Information getrennt gesetzt wird, sind die Rücksetzeingänge aller Flipflops zu einem gemeinsamen Eingang zusammengefaßt. Beim Anlegen eines Rückstellpotentials 1 an den gemeinsamen Eingang  $E_R$  werden alle in Arbeitslage befindlichen Flipflops in die Ruhelage zurückgekippt. Abb. 247 zeigt ein vierstelliges Schieberegister mit Setz- und Rücksetzeingängen.

setzeingängen als 0 und kippt die in Arbeitslage befindlichen Flipflops FF 1 und FF 4 in die Ruhelage. Die Flipflops FF 2 und FF 3 werden von der Ansteuerung nicht berührt, da sie schon in Ruhelage sind.

### 5.2.2.3. Serielle Signaleingabe

Bei dem im Abschn. 5.2.2.2. behandelten Setzen werden alle Stellen der Binärinformation gleichzeitig in verschiedene Flipflops eingespeichert.

Schieberegister mit Setz- und Rücksetzeingängen



(Abb. 247)

Die statischen Flipflopeingänge in Abb. 247 wirken auf das Signal 0, da es negierte Eingänge sind. Liegt also an den Eingängen  $R_1 \dots R_4$  Signal 0, so kippen die angesteuerten Flipflops in die Ruhelage, wenn sie nicht vorher schon in Ruhelage waren. Entsprechend kippen die mit 0 an  $S_1 \dots S_4$  angesteuerten Flipflops in die Arbeitslage.

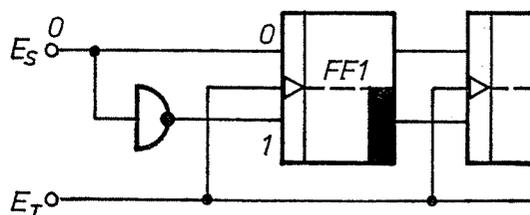
**1. Beispiel:** In das Schieberegister nach Abb. 247 soll die Dualzahl 1001 eingespeichert werden. Alle Flipflops befinden sich in Ruhelage. Bei der Speicherung ergeben die Dualstellenwerte 1 eine Flipflop-Arbeitslage. Jede Stelle der Dualzahl liegt an je einem Eingang der 4 NAND-Glieder. Solange an der Leitung  $E_0$  0 liegt, sind die Ausgangssignale der NAND-Glieder 1 unabhängig vom jeweiligen Stellenwert der Dualzahl. Erst mit dem Moment, mit dem an der Leitung  $E_0$  Signal 1 erscheint, nehmen alle diejenigen NAND-Ausgänge 0 an, deren Dualstellenwerte am Eingang 1 sind. Die an diese angeschlossenen Registerflipflops kippen in die Arbeitslage.

**Bei Signal 1 an der Übernahmeleitung  $E_0$  wird die Binärinformation an den Eingängen  $E_1 \dots E_4$  in das Schieberegister übernommen.**

**2. Beispiel:** Nach dem im 1. Beispiel beschriebenen Setzvorgang liegen die Flipflops FF 1 und FF 4 in Abb. 247 in Arbeitslage. Dieses 2. Beispiel zeigt nun das Rücksetzen in die Ruhelage aus der obigen Situation. Zum Rücksetzen wird an  $E_R$  Signal 1 angelegt. Dieses erscheint durch die zwischengeschaltete Negation an allen Rück-

Man nennt diesen Vorgang **Paralleleingabe** im Gegensatz zur sogenannten **Serieneingabe**, bei der nacheinander alle Binärstellen in das Schieberegister über das erste Schieberegisterflipflop mittels Schiebeimpulse eingeschoben werden. Die Schaltung eines Eingangs für serielle Signaleingabe ist in den Abb. 248 und 249 dargestellt.

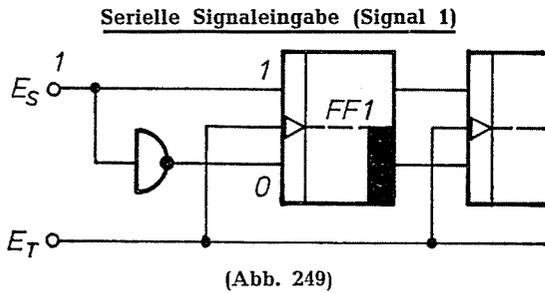
Serielle Signaleingabe (Signal 0)



(Abb. 248)

Am Eingang  $E_s$  liegt der Wert 0 oder 1 einer Stelle der mehrstelligen Information. Beträgt der Wert 0, dann wird die Flipflopseite mit dem Ruheausgang vorbereitet; das Flipflop kippt also beim nächsten eintreffenden Schiebeimpuls in die Ruhelage oder es behält diese bei, wenn sie vorher schon vorhanden war (Abb. 248). Ist

dagegen der Stellenwert der an  $E_S$  liegenden Binärinformation 1, dann wird, wie Abb. 249 zeigt, die Flipflopseite mit dem Arbeitsausgang vorbereitet. Nach einem Schiebeimpuls an  $E_T$  nimmt das Flipflop also Arbeitslage ein.

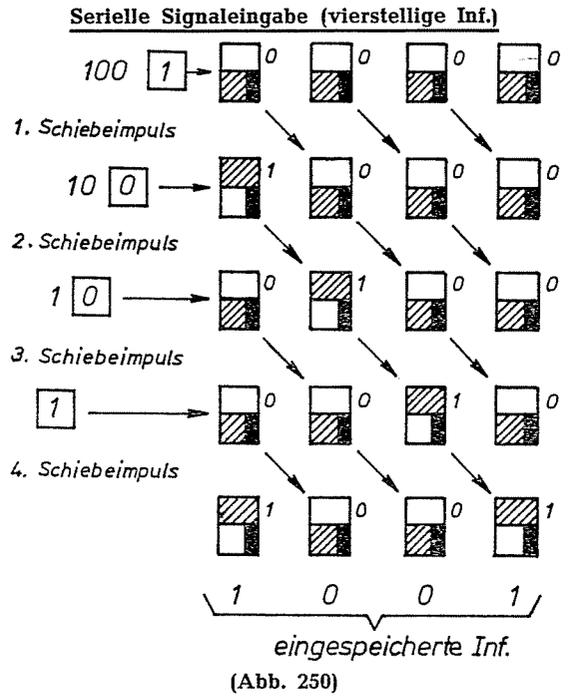


Mit jedem Schiebeimpuls wird der in das erste Flipflop seriell eingespeicherte Stellenwert der Information in das nachfolgende zweite Flipflop übertragen. Dadurch wird das erste Flipflop wieder frei und kann die nächste Stelle sofort übernehmen. Die Übernahme einer vierstelligen Binärinformation z.B. beansprucht also insgesamt 4 Schiebeimpulse.

**Beispiel:** Eingabe der Binärinformation 1001. Vor dem ersten zur seriellen Signaleingabe notwendigen Schiebeimpuls bereitet die erste Stelle (1) das erste FF 1 vor. Während des Schiebeimpulses wird FF 1 in die Arbeitslage gekippt. Nun bereitet die zweite Stelle (0) FF 1 vor. Der zweite Schiebeimpuls schiebt den Speicherinhalt (Arbeitslage) von FF 1 in FF 2 und kippt gleichzeitig FF 1 entsprechend der Vorbereitung durch die zweite zu übernehmende Binärstelle in die Ruhelage. Danach bereitet die dritte Stelle FF 1 vor. Während des 3. Schiebeimpulses wird die Arbeitslage von FF 2 in FF 3 und die Ruhelage von FF 1 in FF 2 übernommen. FF 1 behält Ruhelage bei, da die 3. Stelle der einzuspeichernden Information 0 ist. Für den 4. Schiebeimpuls wiederholen sich die Vorgänge in gleicher Weise. Abb. 250 zeigt schematisch die serielle Eingabe der vierstelligen Binärinformation 1001.

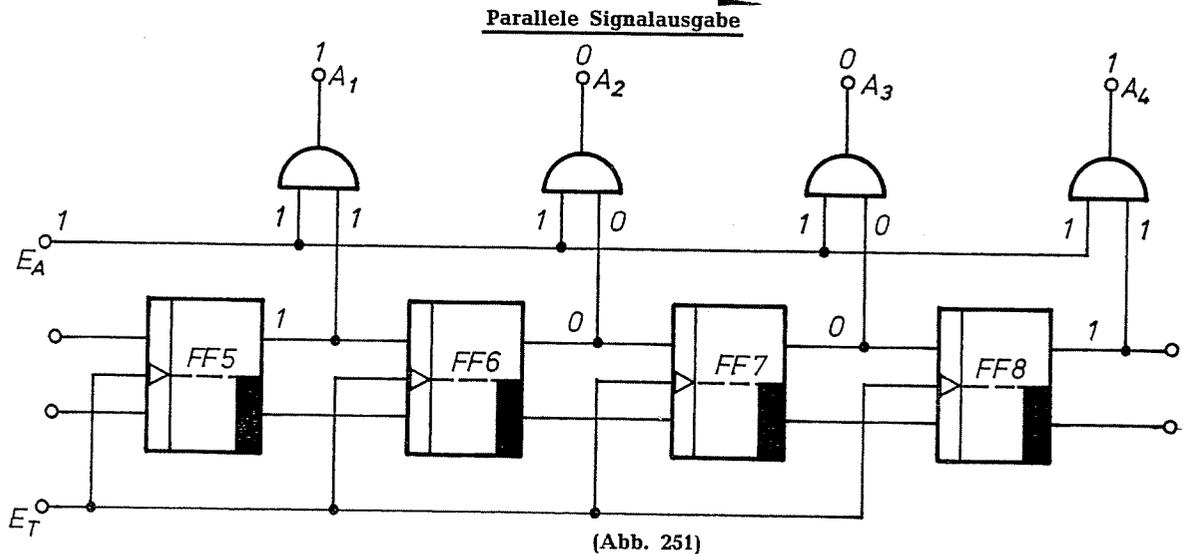
**5.2.2.4. Signalausgabe**

Eine Signalausgabe bei Schieberegistern wird dann erforderlich, wenn die parallel oder seriell eingespeicherte und durch Schiebeimpulse verschobene Information weiterverarbeitet werden



soll. Man unterscheidet hierbei ebenfalls eine **parallele Ausgabe** aller Binärstellen gleichzeitig und eine **serielle Ausgabe**, bei der am letzten Registerflipflop die durch Schieben nacheinander eintreffenden Stellenwerte der mehrstelligen Information abgegriffen werden.

Die eingespeicherten Stellenwerte sind durch entsprechende Flipflop-lagen gekennzeichnet, und diese wiederum durch die Potentialzustände 0 oder 1 an den Arbeitsausgängen der Flipflops. Da bis zum endgültigen Zustand während der Schiebeimpulse die einzelnen Registerflipflops ständig kippen und sich damit deren Ausgangspotentiale ändern, werden die Ausgangsleitungen bei paralleler Signalausgabe erst nach Erreichen des Endzustandes mittels eines Ausgabebefehls (Signal 1 auf einer besonderen Leitung) an die Flipflop-ausgänge angeschaltet. Als Schaltstufen dienen meistens UND-Glieder; eine entsprechende Schaltung zeigt Abb. 251.



**Beispiel:** Eine in ein Schieberegister eingespeicherte vierstellige Information 1001 liegt nach einer bestimmten Anzahl von Schiebeimpulsen in den letzten 4 Flipflops (FF 5 . . . FF 8) eines Schieberegisters (vgl. Abb. 251). Die Ausgänge der Flipflops sind mit je einem Eingang der UND-Glieder verbunden. Solange an den zweiten Eingängen der UND-Glieder 0 liegt, sind auch deren Ausgangspotentiale 0. Erst nach Anlegen eines Signals (Ausgabebefehl) an die zweiten Eingänge entsprechen die Ausgangspotentiale der UND-Glieder denen der Flipflop-Arbeitsgänge. In Abb. 251 sind die Signale während eines Signal-Ausgabebefehls eingetragen.

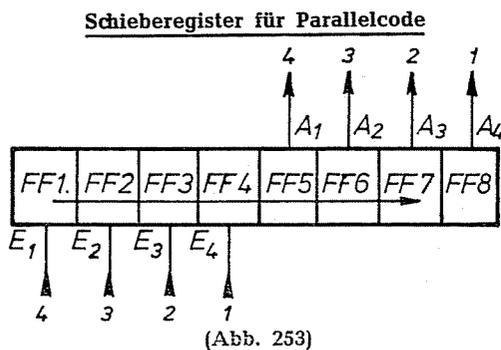
Bei einer seriellen Signalausgabe wird nur der Arbeitsausgang des letzten Registerflipflops benutzt. An ihm erscheinen nacheinander die einzelnen Stellen, wenn weitere Schiebeimpulse die eingespeicherte Information durch das gesamte Schieberegister schieben.

### 5.2.3. Anwendungsbeispiele

Durch die wahlweise parallele oder serielle Signalein- und -ausgabe lassen sich Schieberegister als Speicher für mehrstellige Binärinformationen bei paralleler und bei serieller Datenübertragung einsetzen. Ebenso ist eine gemischte Arbeitsweise, also eine serielle Eingabe bei paralleler Ausgabe und eine parallele Eingabe bei serieller Ausgabe der zu speichernden Daten, möglich. In den beiden letztgenannten Fällen arbeitet das Schieberegister als Umsetzer für Seriercode → Parallelcode oder umgekehrt für Parallelcode → Seriercode. In den folgenden Abschnitten werden die vier Betriebsfälle für ein achtstelliges Schieberegister anhand der Schaltung nach Abb. 252 auf Seite 129 näher erläutert.

#### 5.2.3.1. Parallele Eingabe und Ausgabe der Daten

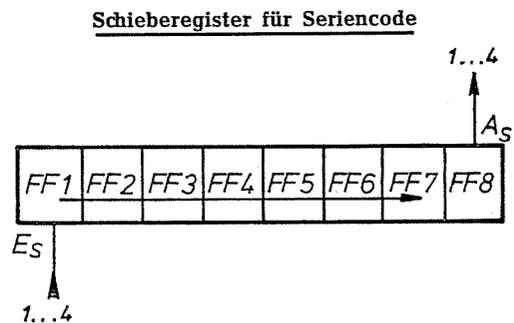
Bei dem in Abb. 252 dargestellten Schieberegister können binär codierte Daten mit bis zu 4 Bits (Stellen) parallel über die Eingänge  $E_1 \dots E_4$  eingegeben werden. Liegt die zu speichernde Information an diesen Eingängen, dann erfolgt das Setzen der Registerflipflops FF 1 . . . FF 4 mit dem Anlegen des Übernahmebefehls 1 an  $E_0$ . Nach vier Schiebeimpulsen gelangen die Daten in die Flipflops FF 5 . . . FF 8 und können von da durch einen Ausgabebefehl 1 an  $E_A$  parallel abgerufen werden (Abb. 253).



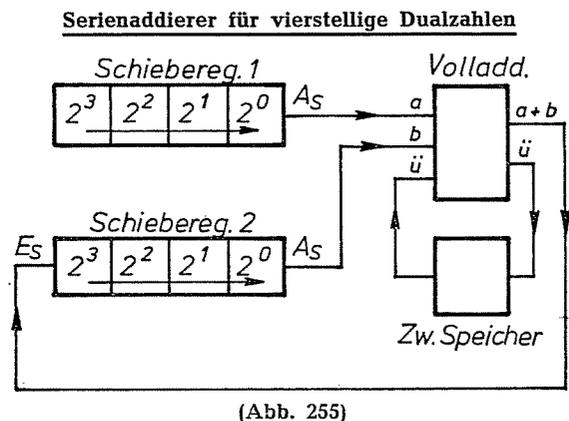
Eine vierstellige parallelcodierte Binärinformation wird durch ein achtstelliges Schieberegister für die Dauer von vier Schiebeimpulsen gespeichert. Es sind je 4 Daten-Leitungen im Eingang und Ausgang erforderlich.

#### 5.2.3.2. Serielle Eingabe und Ausgabe der Daten

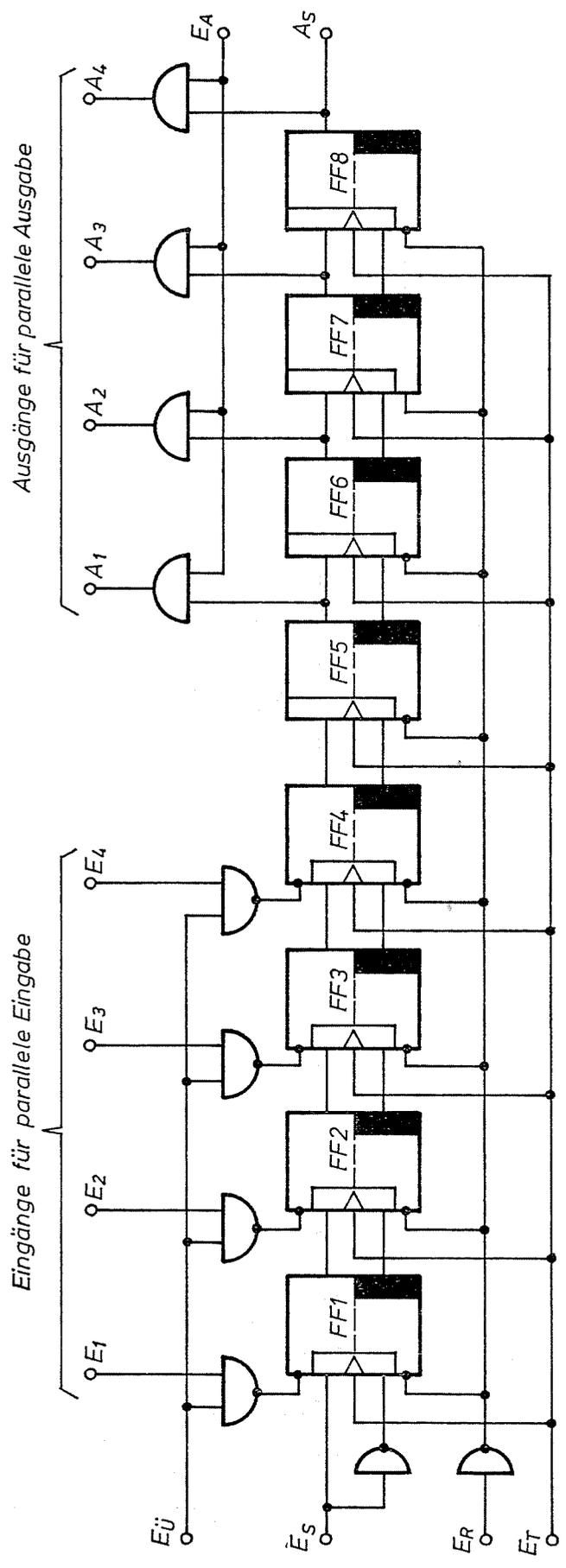
Häufig werden in der Praxis Schieberegister benötigt, die über serielle Datenein- und -ausgabe verfügen. Bei dem Schieberegister nach Abb. 252 ist als Eingang für Seriercode  $E_S$  zu verwenden. Dort werden die einzelnen Stellenwerte der Information, wie schon bekannt, nacheinander als Vorbereitungspotentiale für FF 1 wirksam. Durch die Schiebeimpulse erfolgt jeweils die Einspeicherung in FF 1. Jedes einzelne Bit benötigt 8 Schiebeimpulse zum Durchlaufen des gesamten Schieberegisters, so daß nach dem 8. Impuls das erste eingespeicherte Bit am Ausgang  $A_S$  abgegriffen werden kann. Nach dem 9. Impuls folgt das 2. Bit als Ausgangspotential  $A_S$  usw. Ein Schieberegister für Seriercode besitzt unabhängig von der Anzahl der zu speichernden Bits nur je eine Eingangs- und Ausgangsleitung (Abb. 254).



Ein einfaches, leicht überschaubares Beispiel für die Anwendung eines Seriercode-Schieberegisters ist der **Serienaddierer**. Er besteht meistens aus einem 1-Bit-Volladdierer, einem Zwischenspeicher für evtl. Überträge und 2 Schieberegister zur Speicherung der beiden Rechenoperanden und des Ergebnisses. Abb. 255 zeigt den grundsätzlichen Aufbau.



Achtstelliges Schieberegister



$E_U$  = Eingang für Übernahmesignal (par. Eingabe)       $E_A$  = Eingang für Ausgabesignal (par. Ausgabe)

$E_S$  = Eingang für serielle Eingabe       $A_5$  = Ausgang für Ausgabe (seriell)

$E_R$  = Rückstelleingang (1  $\hat{=}$  Rückstellung)

$E_T$  = Schiebetakteingang

(Abb. 252)

In den beiden Schieberegistern sind die zu addierenden vierstelligen Dualzahlen gespeichert. Die Dualstellen  $2^0$  sind im jeweils letzten Flipflop enthalten und bilden so die Potentiale an beiden Serienausgängen, die direkt mit den Summandeneingängen (a und b) des Volladdierers verbunden sind. Der Volladdierer bildet die Summe, die über den Summenausgang (a + b) zum Serieneingang des als Ergebnisspeicher verwendeten Schieberegisters 2 gelangt. Ein eventuell entstehender Übertrag (an U des Volladdierers) liegt am Eingang des Zwischenspeichers. Der Zwischenspeicher ist meist ein Flipflop mit einem dynamischen Eingang.

Ein Schiebeimpuls verursacht eine Einspeicherung des Übertrags in den Zwischenspeicher und einen Schiebepuls in beiden Schieberegistern. Dabei rücken die Dualstellen  $2^1$  an die Ausgänge. Gleichzeitig wird durch Schieberegister 2 das bei der Addition der Stellen  $2^0$  entstehende Ergebnis in das erste Flipflop übernommen.

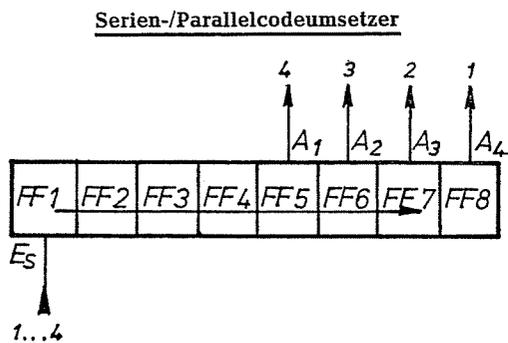
Nach dem ersten Schiebeimpuls liegen an den Eingängen des Volladdierers die Stellenwerte  $2^1$ ; sie kommen wie oben zur Berechnung. Außerdem wird der Übertrag aus der Vorstelle berücksichtigt, der nun am Ausgang des Zwischenspeichers liegt. Beim 2. Schiebeimpuls rücken die Stellen  $2^2$  beider Summanden an die Ausgänge der Schieberegister und das Ergebnis aus der Berechnung der Stelle  $2^1$  in das Register 2.

Die beschriebenen Vorgänge wiederholen sich, bis alle Stellen der Dualzahlen addiert sind. Das Gesamtergebnis steht dann als Dualzahl im Schieberegister 2. Die folgende Darstellung (Abb. 256) gibt ein Beispiel.

$$0101 + 1001 = 1110$$

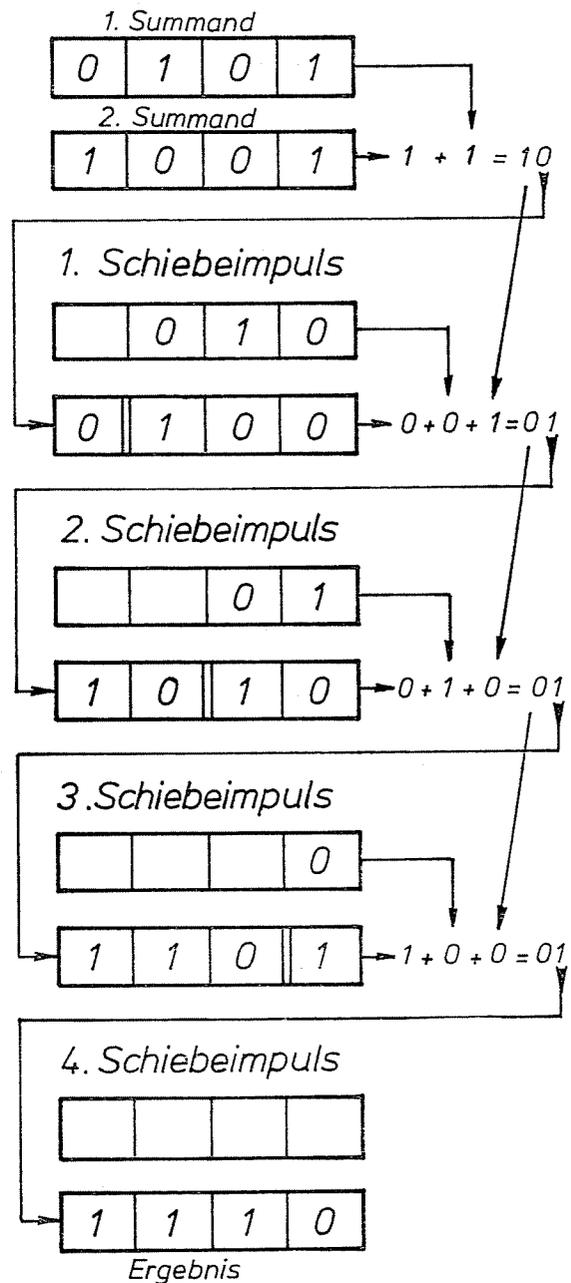
### 5.2.3.3. Serien-/Parallelcodeumsetzer

Wird eine mehrstellige Binärinformation seriell in ein Schieberegister eingespeichert, so kann diese, nachdem die letzte Stelle eingegeben ist,



(Abb. 257)

### Addition bei Serienaddierer



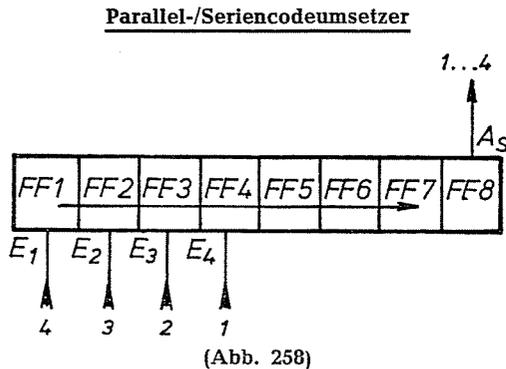
(Abb. 256)

parallel abgerufen werden. Für das achtstellige Schieberegister nach Abb. 252 sind insgesamt acht Schiebepulse notwendig, bis eine vierstellige Information in den Flipflops FF 5 . . . . FF 8, also an den Parallelcode-Ausgängen, liegt (Abb. 257).

Neben der Speicherung ist also mit Schieberegistern eine Umwandlung von serieller Datenübertragung auf einer Datenleitung in parallele Übertragung auf mehrere Leitungen möglich. Die Zahl der notwendigen Datenleitungen entspricht dabei der Anzahl der zu übertragenden Bits.

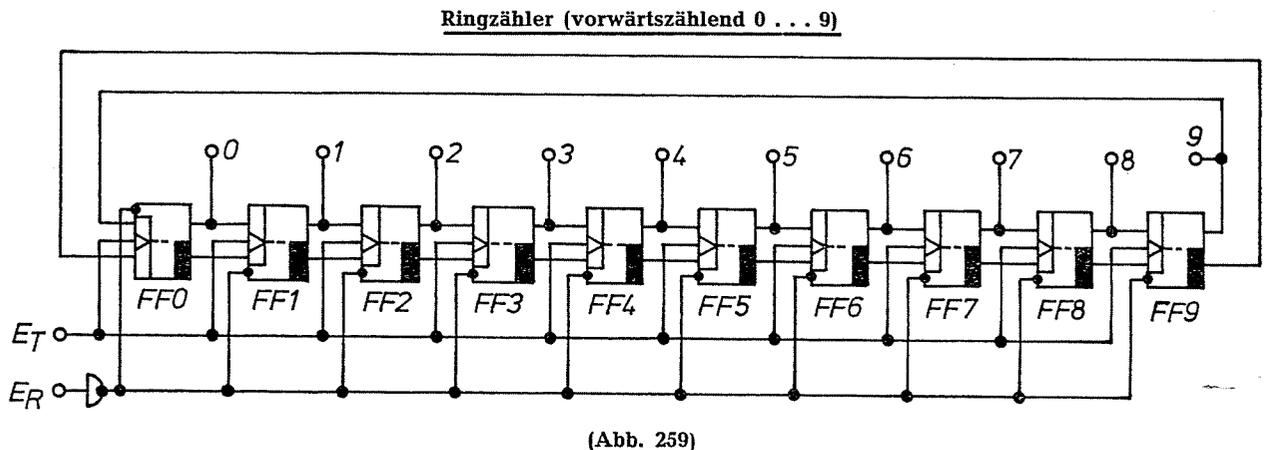
### 5.2.3.4. Parallel-/Seriencodeumwandlung

Die Umkehrung der in Abschn. 5.2.3.3. beschriebenen Arbeitsweise eines Schieberegisters ist die Umwandlung Parallelcode  $\rightarrow$  Seriencode. Diese wendet man immer dann an, wenn parallel übertragene Daten auf seriell arbeitende Datenverarbeitungsanlagen (z.B. Serienaddierer) angepaßt werden sollen. Für ein Schieberegister nach Abb. 252 werden dann als Eingänge  $E_1 \dots E_4$  und als Ausgang  $A_S$  benutzt (Abb. 258).



### 5.2.3.5. Ringzähler

Bei allen bis jetzt beschriebenen Anwendungen für Schieberegister war die Hauptaufgabe die Speicherung mehrerer Bits einer Information. Daneben lassen sich auch Schieberegister wie Zähler einsetzen, wenn die Anzahl der Registerflipflops gleich der Zählkapazität ist; der Aufwand erscheint deshalb im Vergleich zu Zählern mit Schaltungen nach Abschn. 5.1. verhältnismäßig hoch. Jedoch bieten die als Zähler eingesetzten Schieberegister, auch Ringzähler genannt, einige Vorteile, die mitunter den größeren Aufwand rechtfertigen. Die Schaltung eines Ringzählers für Vorwärtszählrichtung  $0 \dots 9$  ist in Abb. 259 dargestellt. Dazu sind 10 Flipflops erforderlich, von denen immer 9 Ruhelage und 1 Arbeitslage einnehmen.



Die Zählimpulse werden an den Takteingang  $E_T$  angeschaltet; sie wirken wie Schiebeimpulse bei einem Schieberegister, jeder Impuls schiebt also die jeweils nur einmal vorkommende Arbeitslage von Flipflop zu Flipflop weiter. Als Ruhelage des Ringzählers ist die Arbeitslage des ersten Flipflops FF 0 festgelegt. Aus der Verschiebung der Arbeitslage kann dann auf die Anzahl der an  $E_T$  wirksam gewordenen Impulse geschlossen werden. Jedem der insgesamt 10 Flipflops wird eine Wertigkeit  $0, 1, 2, 3 \dots 9$  zugeordnet, es wird also ein 1-aus-10-Code verwendet.

Laufen z.B. 6 Impulse in einen Ringzähler nach Abb. 259 ein, dann ist die Arbeitslage von FF 0 in FF 6 geschoben. Nur am Ausgang 6 entsteht Signal 1; deshalb würde auch nur eine am Ausgang 6 angeschlossene Anzeigeeinrichtung (z.B. Glühlampe) ansprechen.

Der wesentliche Vorteil der Ringzähler ist, daß Ziffernanzeigeröhren ohne Zwischenschaltung von Decodierschaltungen direkt das Zählergebnis anzeigen, da dieses als 1-aus-10-Code an den Flipflopaustritten erscheint. Die Rückstellung des Ringzählers auf 0 weist eine Besonderheit auf. Während die FF 1  $\dots$  FF 9 wie üblich in die Ruhelage rückgesetzt werden, muß FF 0 in die Arbeitslage gekippt werden; deshalb erfolgt die Ansteuerung vom FF 0 am Setzeingang auf der Seite mit dem Arbeitsausgang.

## 6. Codewandler

### 6.1. Decodierer mit Ziffernanzeige

Die in der elektronischen Zähl- und Rechen-technik verarbeiteten Daten sind meist in einem BCD-Code dargestellte Zahlenwerte, die nach Abschluß der Datenverarbeitung als Ergebnis in den für uns üblichen Dezimalzahlen angezeigt werden sollen. Dazu bedient man sich der sogenannten Ziffernanzeigeröhren.

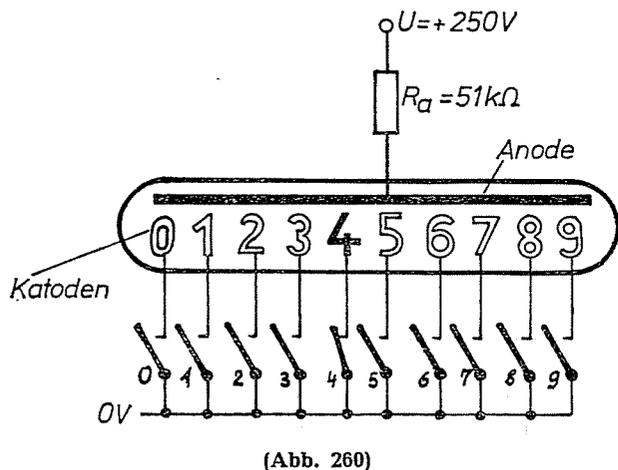
**Beispiel:** Im Abschn. 5.1.3.1. ist das Prinzip einer elektronischen Frequenzzählung kurz beschrieben. An den Ausgängen 1, 2, 4 und 8 der Flipflops des verwendeten Zählers steht das Ergebnis der Zählung im Dualcode. Die Ablesung des Ergebnisses bereitet insofern Schwierigkeiten, als der Benutzer nun erst den angezeigten Dualcode in das für ihn übliche Dezimalsystem umwandeln muß. Durch Verwendung von Ziffernanzeigeröhren, die über Decodierschaltungen direkt an die Flipflopausgänge angeschlossen werden, vereinfacht sich die Ablesung der Zählergebnisse, da die Umwandlung in das Dezimalsystem nun elektronisch durch die Decodierschaltung erfolgt.

Decodierschaltungen haben die Aufgabe, binär codierte Daten (meist sind es BCD-Codes) in Signale umzuwandeln, mit denen die verwendeten Ziffernanzeigeröhren so angesteuert werden können, daß jeweils nur die Ziffer aufleuchtet, deren Wert gerade vorliegt. Der Aufbau der Decodierschaltung hängt also von der Art der zugeordneten Ziffernanzeigeröhre ab.

Als Ziffernanzeige haben sich zwei Systeme durchgesetzt. Das erste ist eine Anordnung, bei der alle zehn Ziffern 0 . . . 9 als selbständige Elemente in einer Röhre vorhanden sind und getrennt über zehn Leitungen angesteuert werden können; zur Ansteuerung dient der 1-aus-10-Code.

Nach der Wirkungsweise kann man hier die Ziffernanzeigeröhren nach dem Glimmlampenprinzip (**Nixieröhren**) unterscheiden und solche, bei denen die Zifferndarstellung durch Glühlampen erzeugt wird. Nixieröhren besitzen eine Anode und meist zehn in Ziffernform ausgebildete Katoden. Beim Betrieb mit einer Gleichspannung genügender Größe leuchtet die jeweils benutzte Katode rot auf (Abb. 260).

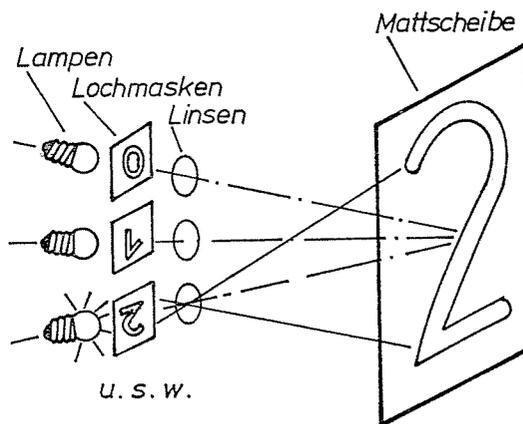
Schaltungsprinzip einer Nixieröhre



(Abb. 260)

Glühlampenbestückte Ziffernanzeigen findet man in den verschiedensten Bauformen; ein Beispiel ist in Abb. 261 dargestellt. Durch Lochmasken in Ziffernform werden die darzustellenden Ziffern auf eine Mattscheibe projiziert und sichtbar gemacht.

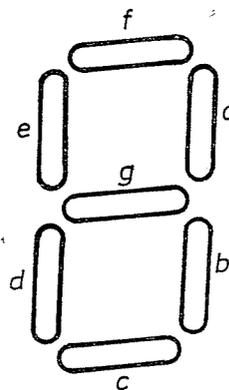
Glühlampenbestückte Ziffernanzeige



(Abb. 261)

Ein weiteres System der Ziffernanzeige ist die **Siebensegmentröhre**. Man geht davon aus, daß mit sieben nach Abb. 262 angeordneten Leuchsegmenten durch Ansteuerung mehrerer bestimmter Segmente jede Ziffer von 0 bis 9 darstellbar ist. In Tabelle 64 sind für jede Ziffer die anzusteuernenden Segmente durch x gekennzeichnet.

Siebensegment-Ziffernanzeige



(Abb. 262)

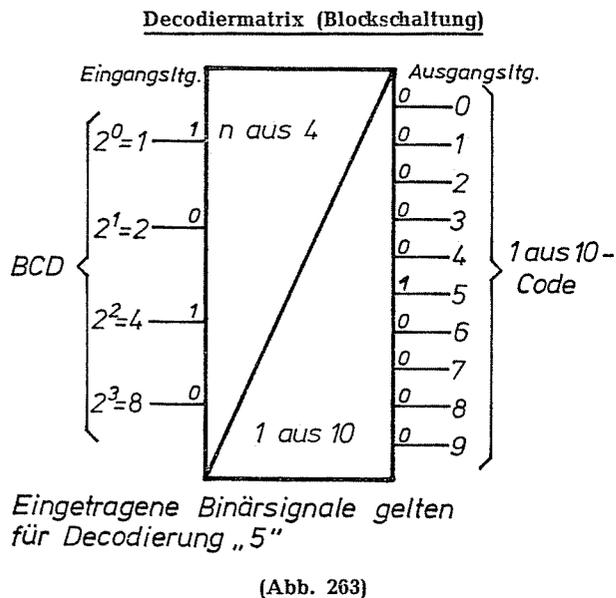
Ansteuerung für Siebensegment-Ziffernanzeige

Ziffer	0	1	2	3	4	5	6	7	8	9
a	x	x	x	x	x			x	x	x
b	x	x		x	x	x	x	x	x	x
c	x		x	x		x	x		x	x
d	x		x				x		x	
e	x				x	x	x		x	x
f	x		x	x		x	x	x	x	x
g			x	x	x	x	x		x	x

Tabelle 64

### 6.1.1. Decodiermatrix für 1-aus-10-Code

BCD-Codes benötigen zur Darstellung der Zahlenwerte 0 . . . 9 in der Regel vier Bits, die der Wandlerschaltung (Decodiermatrix) auf vier Zubringerleitungen parallel zugeführt werden. Das Ergebnis der Codeumwandlung, der im 1-aus-10-Code dargestellte entsprechende Zahlenwert, wird an zehn Ausgangsleitungen abgegriffen (Abb. 263).



Die Decodiermatrix setzt sich aus zehn UND-Gliedern mit je vier Eingängen zusammen, wobei jeder Ausgangsleitung ein UND-Glied zugeordnet ist (Abb. 264 auf Seite 134). Das Ausgangssignal jedes UND-Gliedes soll nur dann 1 betragen, wenn der der Ausgangsleitung zugeordnete Zahlenwert an den vierx Eingangsleitungen der Decodiermatrix im entsprechenden Code (hier dualer BCD-Code) angelegt wird.

Beispiel: Decodierung des Wertes „5“.

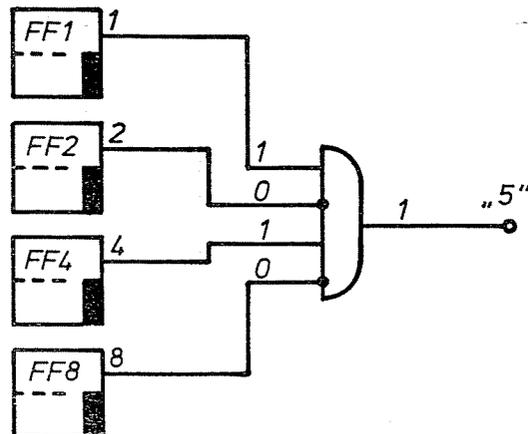
Aus der Codetabelle für dualen BCD-Code geht hervor, daß:

$$5 \triangleq 0101$$

In einem dualen BCD-Zähler (Abb. 225) liegen also beim Zählergebnis „5“ Flipflop 1 in Arbeitslage, Flipflop 2 in Ruhelage, Flipflop 4 in Arbeitslage und Flipflop 8 in Ruhelage. An den Arbeitsausgängen der vier Zählerflipflops findet man die den Stellenwerten entsprechenden Binärsignale. Diese, über ein UND-Glied miteinander verknüpft, sollen am Ausgang 1 ergeben, dagegen soll jede andere Signalkombination 0 am Ausgang zur Folge haben. Für das UND-Glied zur Decodierung des Wertes „5“ ist also nur die Beschaltung nach Abb. 265 möglich.

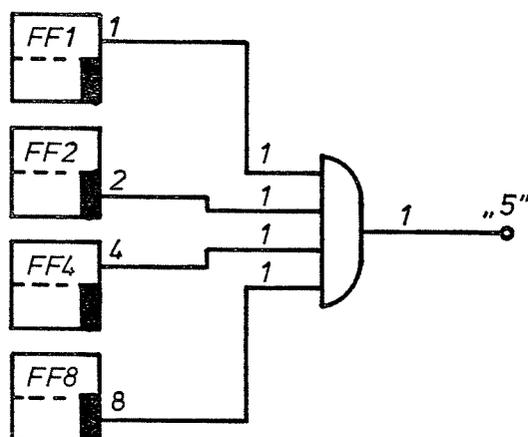
Werden die zur Decodierung geführten Binärsignale von Flipflops abgegriffen (bei Zählern und Schieberegistern), so können die Negationen an den Eingängen der UND-Glieder eingespart werden, wenn man dafür diese Signale an den Ruheausgängen der Flipflops abnimmt (Abb. 266).

#### Decodierung des Wertes „5“ (1. Möglichkeit)



(Abb. 265)

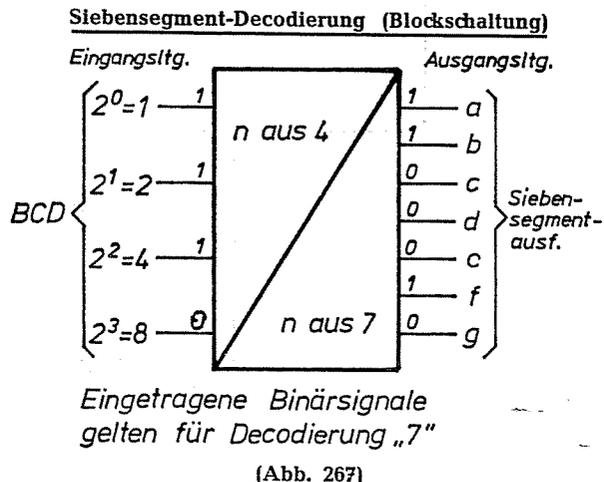
#### Decodierung des Wertes „5“ (2. Möglichkeit)



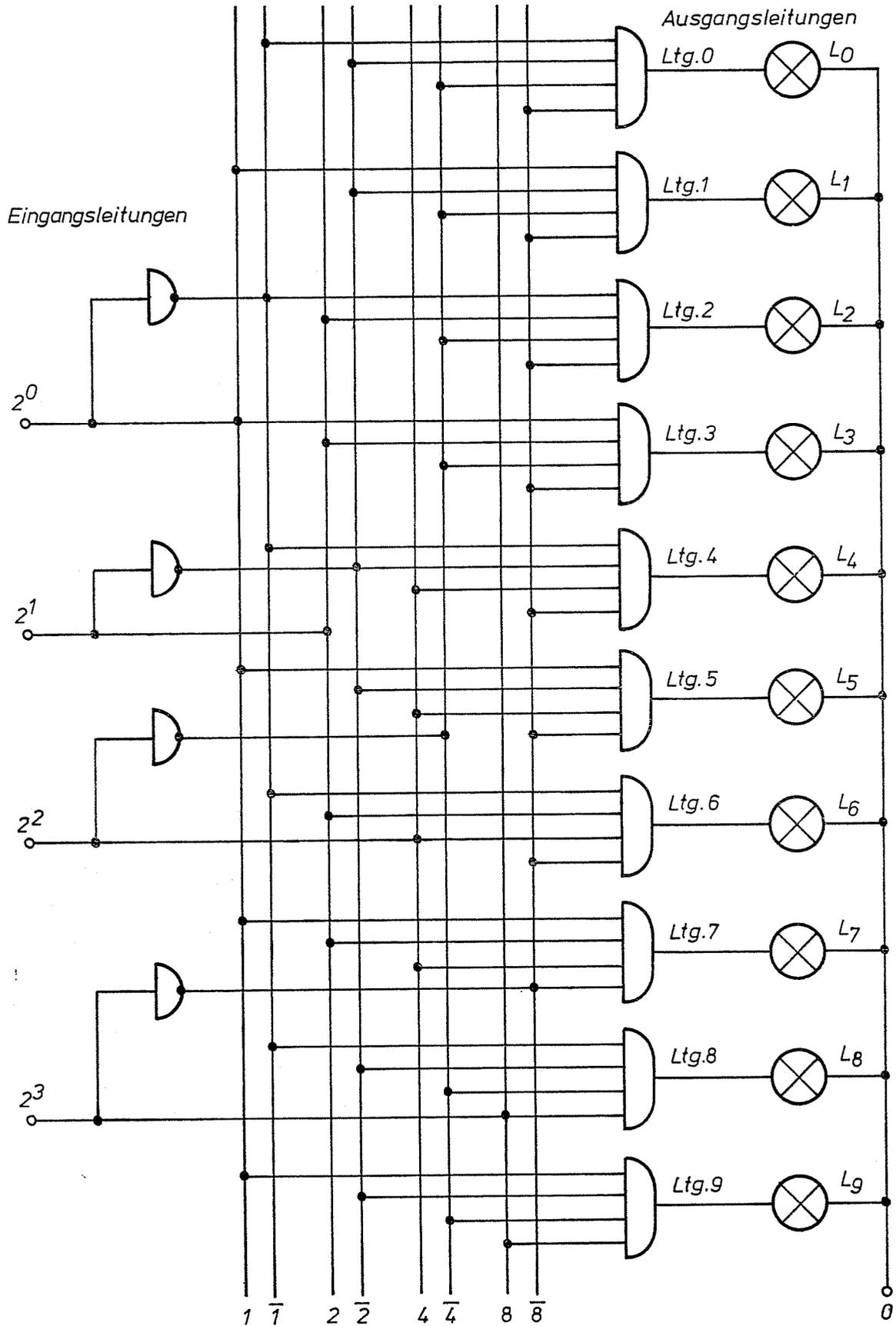
(Abb. 266)

### 6.1.2. Decodierung zur Siebensegmentsteuerung

Eine Siebensegment-Ziffernanzeige wird durch sieben Leitungen angesteuert, wobei immer nur die Leitungen das Binärsignal 1 führen, die mit den für die jeweilige Ziffer anzusteuern den Segmenten verbunden sind. Abb. 267 zeigt die Blockschaltung und Abb. 268 die Innenschaltung einer entsprechenden Decodierschaltung.

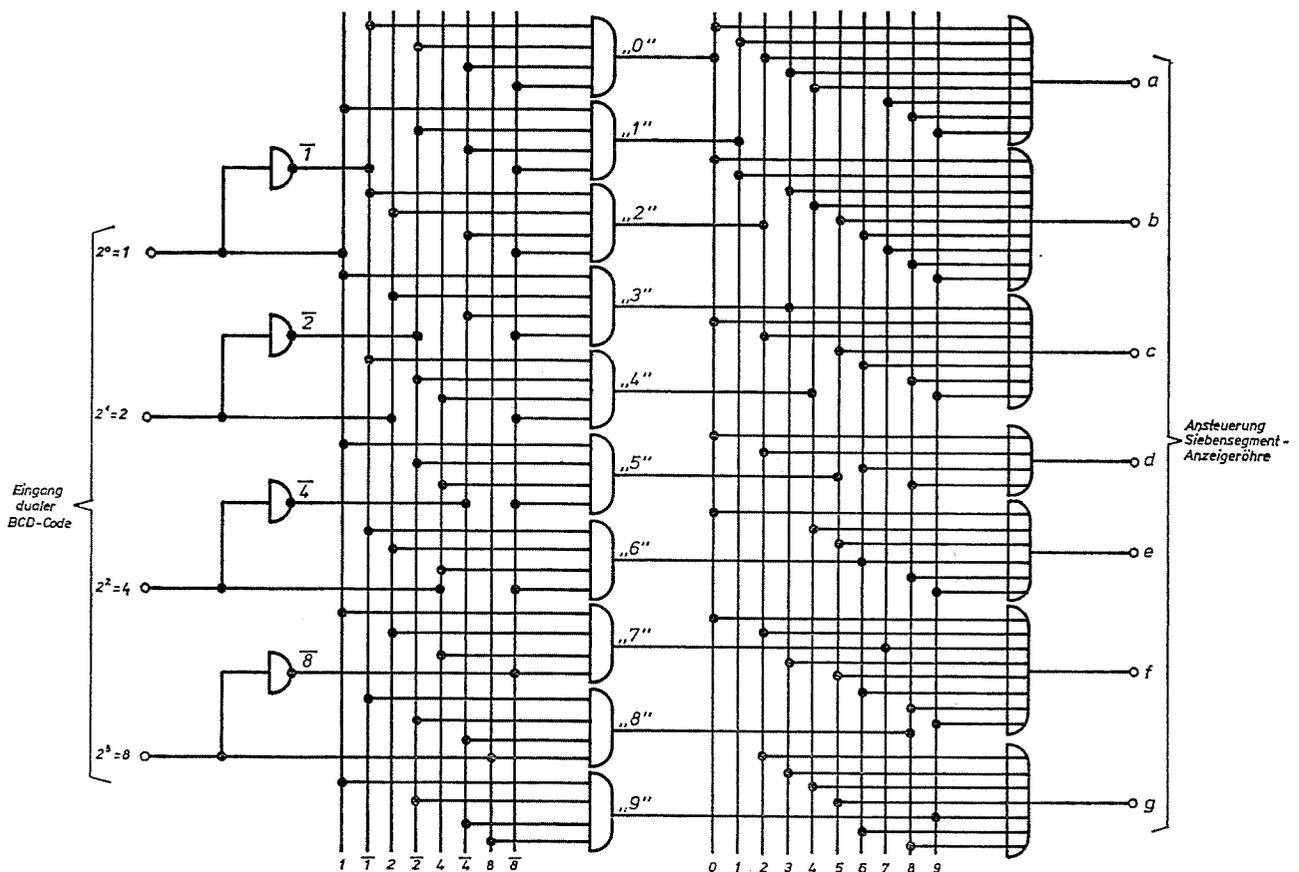


**Decodiermatrix (Schaltung)**



(Abb. 264)

### Siebensegment-Decodierung (Schaltung)



(Abb. 268)

## 6.2. Digital-Analog-Wandler

Neben der reinen digitalen Ziffernanzeige binär codierter Daten wird häufig die Forderung nach einer analogen Anzeige oder Weiterverarbeitung der Daten gestellt. Hierzu sind Schaltungen erforderlich, die digitale Größen in Analoggrößen umwandeln, sog. **D/A-Wandler**. Eine einfache und mit wenig Schaltungsaufwand verbundene Methode der D/A-Umwandlung ist die **mit abgestuften Teilströmen**; sie basiert auf zwei Vorgängen:

- Der Binärwert 1 jedes einzelnen Bits wird in einen der Wertigkeit dieses Bits analogen Teilstrom umgewandelt. Zur D/A-Wandlung können also **nur additive Binärcodes** herangezogen werden, da nur hier feste Stellenwertigkeiten anzunehmen sind.
- Die Teilströme aller Binärstellen werden summiert. Der Summenstrom ist proportional dem Digitalwert. Soll die Analoggröße eine Spannung sein, so ist diese als Spannungsabfall des Summenstroms an einem bekannten Widerstand zu gewinnen.

Die Schaltung nach Abb. 269 auf Seite 136 erfüllt beide Bedingungen; sie ist für Dualcode ausgelegt. Wie bekannt, betragen die Wertigkeiten der ersten vier Stellen  $2^0=1$ ,  $2^1=2$ ,  $2^2=4$  und  $2^3=8$ , so daß die daraus abgeleiteten Teilströme  $I_1$ ,  $I_2$ ,  $I_4$  und  $I_8$  im folgenden Verhältnis stehen:

$$I_1 : I_2 : I_4 : I_8 = 1 : 2 : 4 : 8$$

Da sich die Widerstände umgekehrt wie die Teilströme verhalten, ergeben sich folgende Abhängigkeiten:

$$R_1 : R_2 : R_4 : R_8 = I_8 : I_4 : I_2 : I_1$$

$$R_1 : R_2 : R_4 : R_8 = 8 : 4 : 2 : 1$$

$$= 1 : \frac{1}{2} : \frac{1}{4} : \frac{1}{8}$$

$$R_1 = R$$

$$R_2 = \frac{R}{2}$$

$$R_4 = \frac{R}{4}$$

$$R_8 = \frac{R}{8}$$

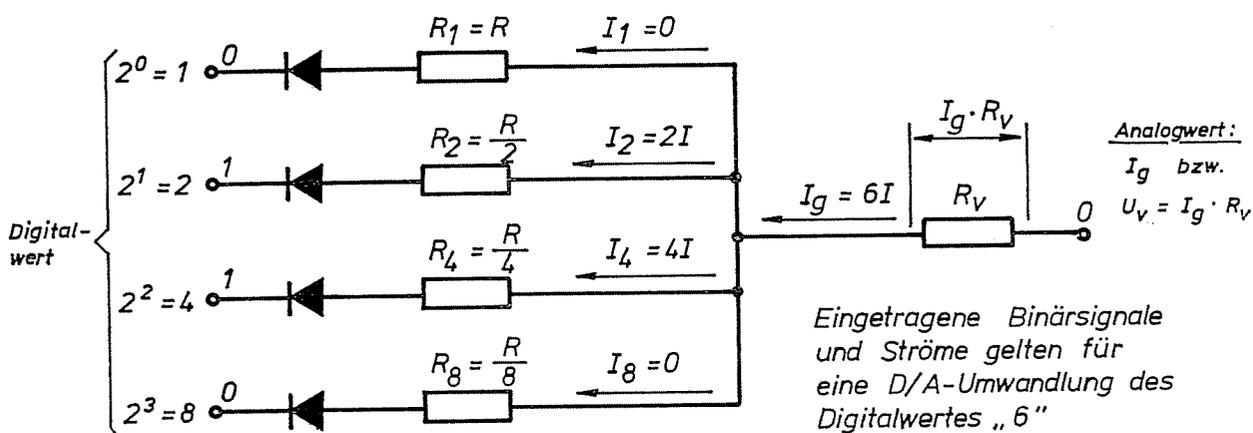
Man erhält also die einzelnen Widerstandswerte, wenn man den Widerstand am Ausgang 1 durch den jeweiligen Stellenwert dividiert.

Zur Entkopplung der Eingangsleitungen sind in jeder Leitung Dioden in Durchlaßrichtung zu den Teilströmen eingeschaltet. Die in Abb. 269 angegebene Diodenrichtung gilt für die in diesem Buch eingehaltene negative Logik. Am Punkt S findet die Summierung der Teilströme  $I_1 \dots I_8$  zum analogen Gesamtstrom  $I_g$  statt, der durch den Widerstand  $R_V$  fließt. Bei Analoganzeige mittels Zeigerinstrumenten (z.B. Drehspulmeßwerk) kann  $R_V$  durch den Meßwerk-Innenwiderstand gebildet werden.  $R_V$  soll gegenüber der Parallelschaltung aller Teilwiderstände  $R_1 \dots R_8$  klein sein, damit der durch den Gesamtstrom entstehende Spannungsabfall in  $R_V$

gegenüber der Gesamtspannung vernachlässigbar klein bleibt und so die Umwandlung nicht verfälscht.

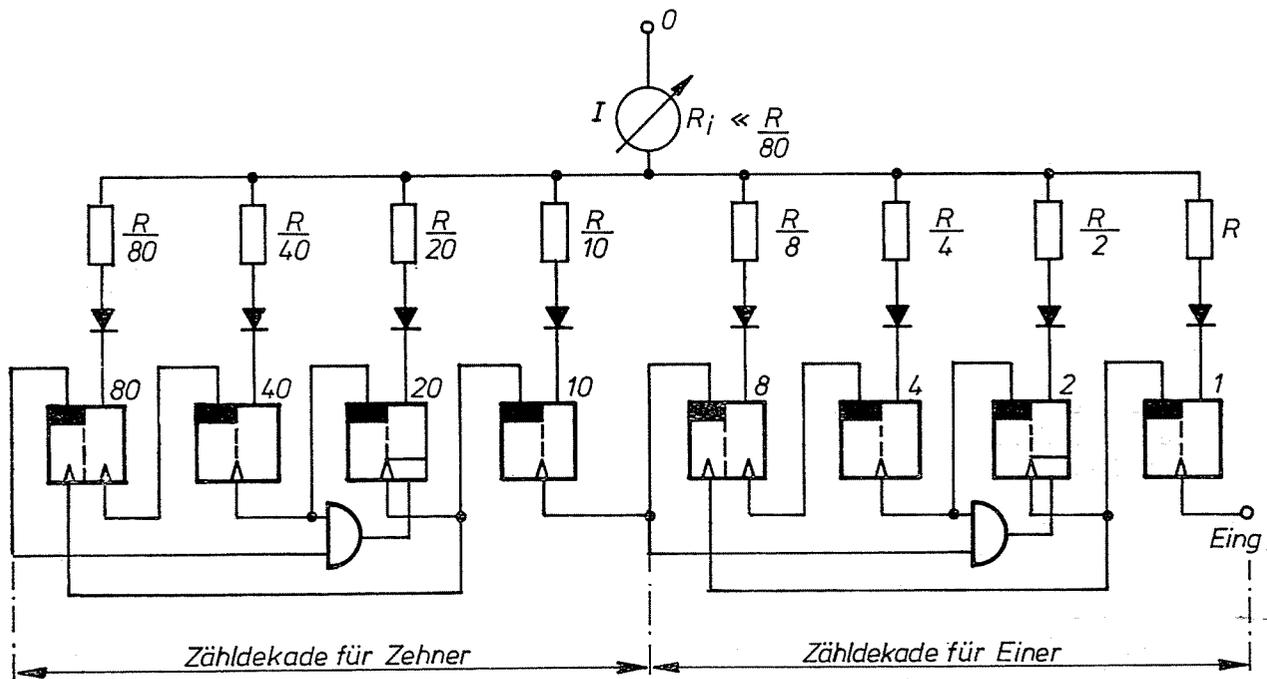
Der Strom  $I_g$  ändert sich stufenweise, exakt gesehen bleibt die Ausgangsgröße also digital. Bei der Schaltung nach Abb. 269 beträgt der kleinste Stromsprung etwa 6 % des Maximalstroms. Jedoch nähert sich die Ausgangsgröße einer Analoggröße, wenn die Änderungsstufen vernachlässigbar klein werden. Das ist der Fall, wenn sehr viele Binärstellen zur D/A-Umwandlung herangezogen werden. Durch Hinzunahme dreier weiterer Binärstellen mit den Wertigkeiten 16, 32 und 64 wird der Stufensprung kleiner als 1 %. In Abb. 270 ist ein dualer BCD-Zähler für zwei Dekaden dargestellt, dessen Zählergebnis durch ein Drehspulinstrument, also analog, angezeigt wird. Der kleinste Stromsprung in dieser Schaltung ist 1 % des Maximalstroms.

**D/A-Wandler (Schaltung)**



(Abb. 269)

**Analoganzeige eines BCD-Zählers**



(Abb. 270)

### 6.3. Analog-Digital-Wandler

Analog-Digital-Wandler (A/D-Wandler) werden immer dann eingesetzt, wenn analoge Größen, meist Spannungen, in digitale Meß- und Datenverarbeitungsschaltungen eingeführt werden sollen. Die beiden wichtigsten Verfahren der A/D-Umwandlung sind:

- a) Wandler nach dem Zählprinzip und
- b) Wandler nach dem Vergleichsprinzip.

#### 6.3.1. A/D-Wandler nach dem Zählprinzip

Die zu messende Gleichspannung  $U_M$  wird mit einer Sägezahnspannung  $u_s$ , die linear von negativen nach positiven Werten ansteigt, verglichen. Damit die Schaltung übersichtlich bleibt, sei angenommen, daß die Meßspannung immer positiv und kleiner als der positive Maximalwert der Sägezahnspannung bleibt. Für die Zeit zwischen dem Nulldurchgang der Sägezahn-

spannung ( $u_s = 0$ ) und der Gleichheit beider Spannungen ( $u_s = U_M$ ) wird ein Tor geöffnet, durch das während der Öffnungszeit Impulse auf einen Zähler gelangen (Abb. 271).

Der sich ergebende Zählerstand ist abhängig von der Größe der Meßspannung  $U_M$ , von der Steilheit der Sägezahnspannung  $a = \frac{\Delta u_s}{\Delta t}$  und von der Impulsfrequenz  $f_i$ . Sind die beiden letztgenannten konstant und bekannt, so ist der Zählerstand  $z$  proportional der angelegten Meßspannung  $U_M$ .

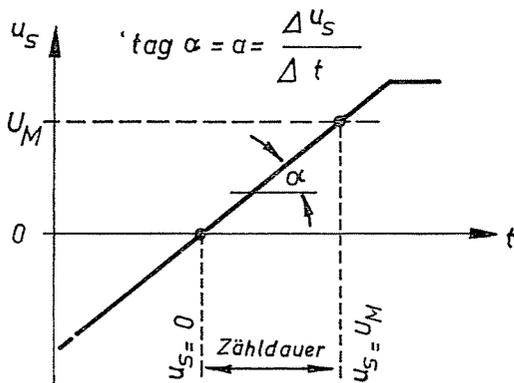
$$U_M \sim z$$

$$U_M = \frac{z \cdot a}{f_i}$$

**Beispiel:** Der Zählerstand  $z$  nach einer A/D-Umwandlung beträgt 528 bei einer Impulsfrequenz  $f_i = 1000$  Hz und einem Sägezahnanstieg  $a = 10$  V/s. Die gemessene Spannung läßt sich nach obiger Formel berechnen, wenn man die Größen in ihren Grundeinheiten einsetzt; es ist:

$$U_M = \frac{528 \cdot 10 \text{ V}}{1000 \text{ Hz} \cdot \text{s}} = \underline{\underline{5,28 \text{ V}}}$$

Spannungsvergleich

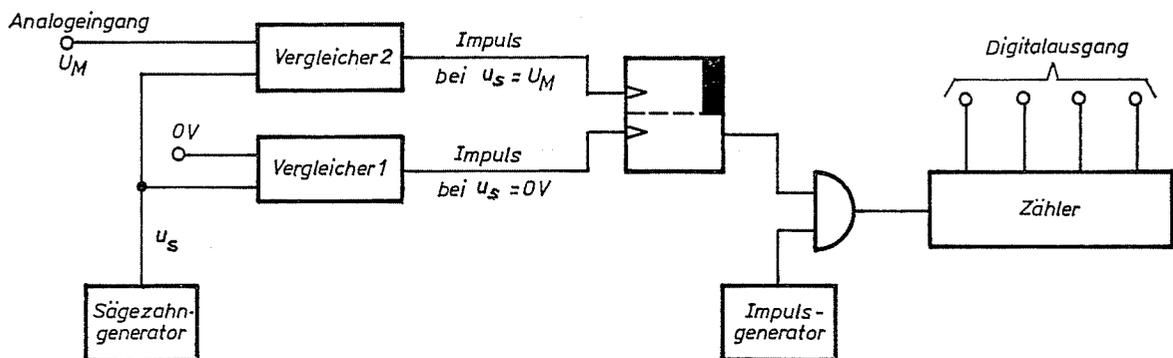


(Abb. 271)

Beim A/D-Wandler nach dem Zählprinzip wird die zu messende Spannung zunächst in eine analoge Zeit umgewandelt, die anschließend mit einem Zähler digital gemessen wird.

Die Schaltung (Abb. 272) setzt sich aus einem Sägezahn-generator, einem Impuls-generator, zwei Vergleichern, einem Flipflop, einem UND-Glied und einem Zähler zusammen. Die beiden Vergleichern besitzen eingangsseitig je einen Differenzverstärker und geben bei Gleichheit der Eingangsspannungen am Ausgang einen Impuls ab. Vergleich 1 hat die Aufgabe, den Nulldurchgang der Sägezahnspannung zeitlich zu fixieren, während Vergleich 2 den Zeit-

A/D-Wandler nach dem Zählprinzip



(Abb. 272)

punkt der Gleichheit zwischen Meß- und Sägezahnspannung festlegt. Der Ausgangsimpuls des Vergleichers 1 kippt das Flipflop in die Arbeitslage und gibt somit das UND-Glied für die zu zählenden Impulse frei. Der Ausgangsimpuls des 2. Vergleichers stoppt den Zählvorgang, indem er das Flipflop in die Ruhelage zurücksetzt und damit wieder 0 an den Eingang der UND-Schaltung legt.

A/D-Wandler nach dem Zählprinzip finden meist in digitalen Spannungsmessern Anwendung. Durch Erweiterung der Schaltung ist zu erreichen, daß auch negative Meßspannungen erfaßt werden können. Dann folgt zuerst der Vergleichsimpuls des Meßspannungsvergleichs, der also die Zählung beginnen läßt. Aus dem Kriterium, welcher der beiden Vergleichs zuerst anspricht, kann zusätzlich eine +/-Erkennung der Meßspannung abgeleitet werden.

### 6.3.2. A/D-Wandler nach dem Vergleichsprinzip

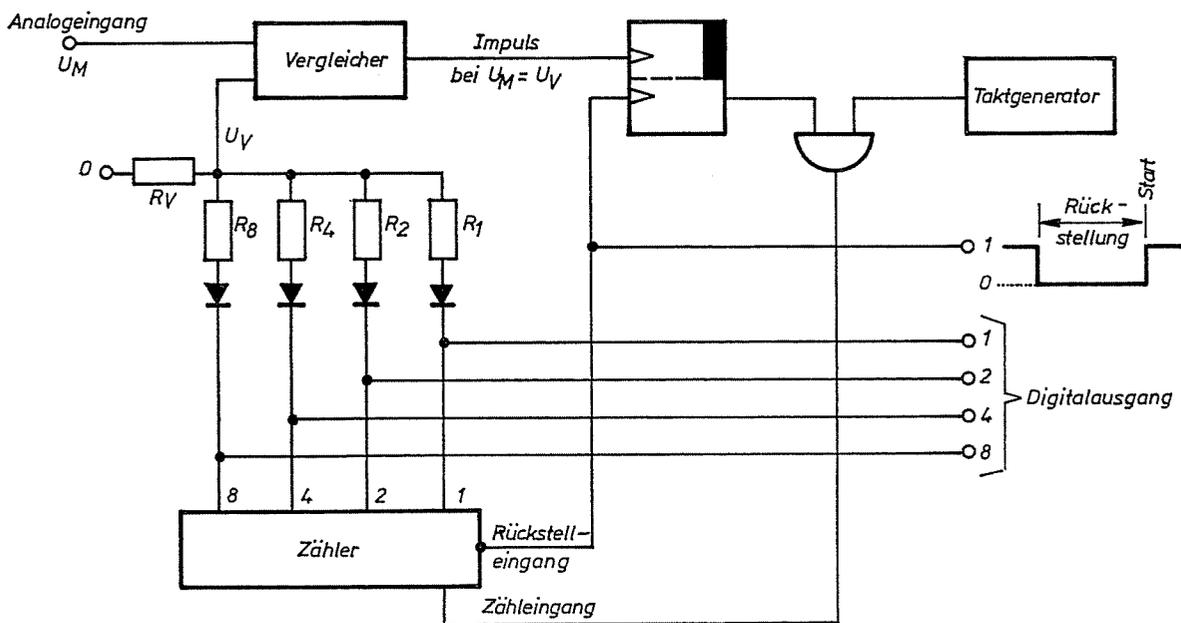
In einem Vergleichs wird die zu messende Spannung  $U_M$  mit einer von 0 aus in Stufen steigenden Spannung  $U_V$  verglichen. Sobald Gleichheit beider Spannungen eintritt, wird der stufenweise Anstieg der Vergleichsspannung  $U_V$  gestoppt. Die Erzeugung der Treppenspannung erfolgt in einer Zählkette, die durch einen D/A-Wandler nach Abschn. 6.2. ergänzt ist. Die Schaltung ist in Abb. 273 dargestellt.

Die Wirkungsweise der Schaltung ist wie folgt: Durch einen 0-Impuls werden zunächst alle Zählerflipflops statisch und in die Ruhelage gekippt und das Hilfsflipflop wird dynamisch am Ende des 0-Impuls in die Arbeitslage gebracht. Das dabei am Arbeitsausgang entstehende Binärsignal 1 gibt das UND-Glied frei, so daß die Impulse des Taktgenerators in den Zähler laufen und diesen weiterschalten. Die Ausgangssignale der Zählerflipflops werden durch den D/A-Wandler, bestehend aus den Widerständen  $R_1 \dots R_8$ , in eine analoge Spannung umgewandelt, die an  $R_V$  entsteht und stufenweise mit dem Zählerstand ansteigt. Sobald der Vergleichs anspricht, er gibt dann bei Gleichheit der Spannungen  $U_M$  und  $U_V$  einen Impuls an das Hilfsflipflop ab, wird das Hilfsflipflop in die Ruhelage gekippt und der Taktgenerator vom Zähler getrennt. Der bis dahin erlangte Zählerstand bleibt erhalten; er ist der Digitalwert der am Eingang der Schaltung angelegten analogen Meßspannung.

**Das Arbeitsprinzip eines A/D-Wandlers nach dem Vergleichsverfahren beruht auf einem Vergleich der Meßspannung mit einer digital erzeugten stufenweise steigenden Spannung.**

Neben den beiden angeführten Verfahren zur A/D-Umwandlung sind viele weitere bekannt, die teilweise an Genauigkeit bzw. Auflösungsvermögen die besprochenen Schaltungen übertreffen, dafür aber einen weitaus größeren Schaltungsaufwand erfordern.

A/D-Wandler nach dem Vergleichsprinzip



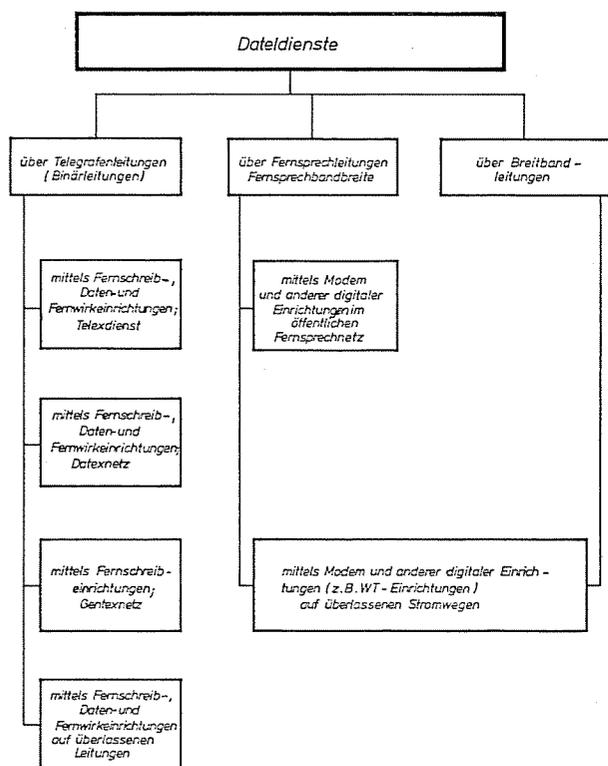
(Abb. 273)

## 7. Datenübertragungstechnik

### 7.1. Allgemeines

Bei der Übertragung von Daten werden sowohl analoge als auch digitale Signale verwendet, die die zu übertragenden Daten repräsentieren. Die Datenübertragung mittels analoger Signale soll hier nicht beschrieben werden, da die hierbei anfallenden Probleme in den Bereich der Fernsprechübertragungstechnik gehören. Nachstehend sollen vielmehr lediglich die Grundzüge der Übermittlung von Daten mittels digitaler Signale, also codiert dargestellter Nachrichten, erläutert werden.

Das bei der Datenübertragung wichtigste Problem ist die Aufgabe, die Daten trotz unvermeidbarer Störungen sicher dem Empfänger zuzuführen. Diese Anforderung geht soweit, daß selbst bei der Übermittlung von mehreren Millionen Zeichen nur ein Fehlzeichen auftreten darf. Diese Sicherheit ist bei einer normalen Leitung der heutigen Übertragungstechnik nicht ohne weiteres gewährleistet. Erst Fehlerschutz- und Fehlersicherungseinrichtungen an beiden Enden der Übertragungsleitung ermöglichen die geforderte Sicherheit der Übertragung. Die Abb. 274 gibt Ihnen einen Überblick über die heute bei der DBP verwendeten Übertragungsleitungen zur Übermittlung von digitalen Nachrichten.



(Abb. 274)

Für die Übertragung von digitalen Nachrichten bestehen im Fernmeldenetz z.Z. folgende Möglichkeiten:

#### 1. Telegrafenteleleitungen:

- im Telexnetz (max 50 Baud \*),
- im Datennetz (max 200 Baud) und
- auf überlassenen (gemieteten) Telegrafenteleleitungen (max 50, 100 oder 200 Baud).

#### 2. Fernsprechteleleitungen:

- im öffentlichen Fernsprechnetz (z.Z. max 1200 Baud) und
- auf überlassenen (gemieteten) Stromwegen.

#### 3. Breitbandteleleitungen: das sind Leitungen mit einer Bandbreite, die größer ist als die Bandbreite einer Fernsprechteleleitung.

### 7.2. Übertragungsverfahren

Bei der digitalen Datenübertragung besteht die Nachricht aus einer Zusammenstellung von Zeichen, die einer Codierung unterliegen. Zur Übermittlung dieser Zeichen dienen Signale, das sind physikalische Tatbestände (Spannung, Strom, Impulse usw.), die die Zeichen repräsentieren.

Ein Signal mit einer genau definierten Dauer, dem eindeutig ein Kennzustand von zwei möglichen zugewiesen werden kann, wird als Binärschritt bezeichnet. Bei der digitalen Datenübertragung müssen deshalb einzelne Binärschritte übertragen werden. Je nach Umfang des Zeichenvorrats des verwendeten Alphabets und der Art des gewählten Codes, also der Zuordnungsvorschrift, ist die Anzahl der zu übertragenden Binärschritte unterschiedlich. Bekannt ist das internationale **Telegrafentalphabet Nr. 2**, welches in der Fernschreibtechnik Verwendung findet. Zur Darstellung der Zeichen werden bei diesem Telegrafentalphabet 5 Binärschritte mit einer Dauer von 20 ms verwendet. Werden die einzelnen Binärschritte eines Zeichens gleichzeitig über den Datenübertragungsweg gegeben, so spricht man von einer **Parallelübertragung**. Werden die Binärschritte dagegen zeitlich nacheinander über die Leitung übertragen (also seriell), so erhält man eine **Serienübertragung**.

Es sind zwei prinzipielle Verfahren möglich, die es dem Empfänger erlauben, aus den empfangenen Binärschritten auf das übertragene Zeichen zu schließen.

\*) Baud ist die Anzahl der in einer Sekunde übertragenen Zeichenschritte.

Beim **Synchronverfahren** besteht zwischen dem Sender und dem Empfänger der Binärschritte absoluter Gleichlauf. Die Tastfolgen der Binärschritte des Senders und die Abtastgeschwindigkeit des Empfängers sind für den gesamten Zeitraum der Datenübertragung gleich. Sämtliche Zeichenfolgen entsprechen einem ganzzahligen Vielfachen des sogenannten Einheitschrittes. Es ist dies der kürzeste Binärschritt, der vorkommen kann. Diese Schrittbildung wird als isochrone Schrittbildung bezeichnet. Jeder Binärschritt trägt bei diesem Verfahren zur Datenübertragung bei und besitzt einen Informationsgehalt.

Da bei der isochronen Schrittbildung Anfang und Ende der dem Zeichen entsprechenden Bitkombination nicht ohne weiteres zu erkennen sind, werden am Anfang der Datenübertragung und auch zwischendurch Synchronisationsbitkombinationen gesendet, die den Datenanfang erkennen lassen und auch für den dauernden Gleichlauf sorgen. Ebenfalls kann aus der empfangenen Folge von Binärzeichen eine Regelspannung abgeleitet werden, die es gestattet, den Empfänger auf die Taktfrequenz des Senders abzustimmen. Hierzu wird häufig ein gleichgewichtiger Code gewählt.

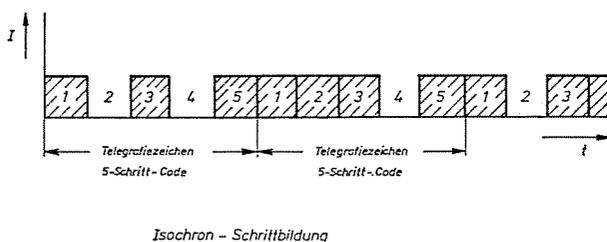
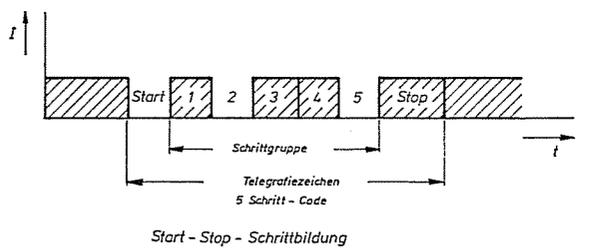
Das zweite Verfahren, dem Empfänger im richtigen Zeitmoment die Abtastung zu ermöglichen, ist das **Start-Stop-Verfahren**. Der Gleichlauf zwischen Sender und Empfänger wird hierbei jeweils nur für die Dauer der Übermittlung eines Zeichens hergestellt. Ein Startschritt am Anfang und ein Stoppschritt am Ende der Binärschritte eines Zeichens sind Merkmale dieses

Verfahrens. Da der Start- und Stoppschritt keinen Nachrichteninhalt besitzt, ist diese Art der Übertragung aus der Sicht der Übertragungstechnik nicht ganz so wirtschaftlich wie die isochrone Schrittbildung; sie erfordert jedoch geringeren technischen Aufwand auf der Sender- und Empfängerseite. Abb. 275 zeigt die Start-Stop- und die isochrone Schrittbildung.

### 7.3. Tast- und Modulationsverfahren

Auf den Datenübertragungsleitungen für digitale Signale müssen Signale mit mindestens zwei Kennzuständen übertragen werden können. Wird zwischen Gleichstromkennzuständen unterschieden, so erhält man **Gleichstromtastverfahren**. Werden dagegen Wechselstromgrößen verändert, so bezeichnet man dies als **Wechselstromtastung**. Es gibt eine ganze Reihe von Möglichkeiten, um Wechselstromgrößen zu ändern, z.B. kann die Amplitude, die Frequenz oder die Phasenlage eines Wechselstromes gesteuert werden. Unter Umständen können auch alle Möglichkeiten miteinander kombiniert werden; Abb. 276 zeigt einige verwendete Tastver-

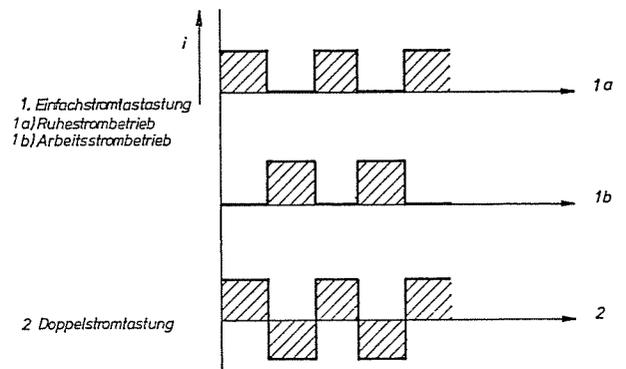
#### Start-Stop-Schrittbildung und isochrone Schrittbildung



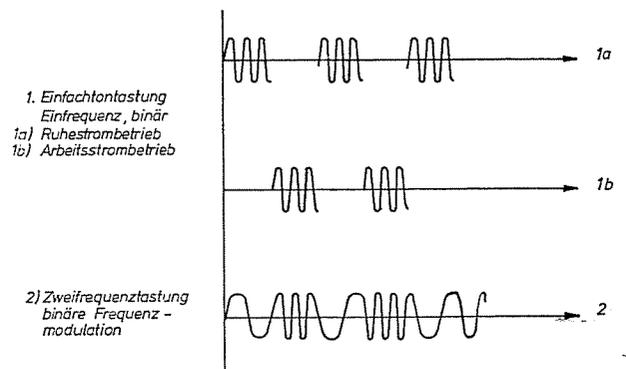
(Abb. 275)

#### Tastverfahren der Telegrafie

##### A. Gleichstrom - Tastverfahren



##### B. Wechselstrom - Tastverfahren



(Abb. 276)

fahren. Die Tabelle 65 zeigt weiter die Zuordnung der Binärsignale bei der Gleichstrom- und Wechselstromtastung.

**Zuordnung der Binärsignale**

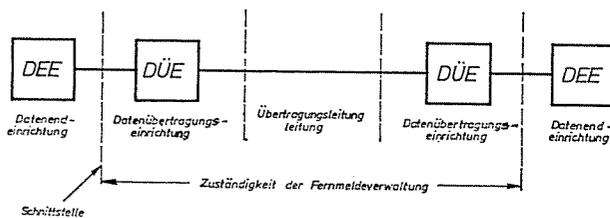
Start-Stop Fernschreiben	Start-polarität	Stop-polarität
Kennbuchstaben nach CCITT	A	Z
Binärziffern	0	1
Einfachstromtastung	kein Strom	Strom
Doppelstromtastung	negativ	positiv
Schnittstelle zwischen Datenend-Datenübertragungseinrichtung	positiv	negativ
Amplitudenmodulation	kein Ton	Ton
Frequenzmodulation	hohe Frequenz	tiefe Frequenz
Phasendifferenzmodulation	Phasen-umkehr	keine Phasen-umkehr
Phasenmodulation mit Bezugsphase	Gegen-phase	Bezugs-phase

Tabelle 65

**7.4. Aufbau eines Datenübertragungssystems**

Abb. 277 zeigt den Aufbau eines Datenübertragungssystems. An den beiden Enden dieses Systems befinden sich die Datenendeinrichtungen (DEE); sie dienen dem Senden und dem Empfangen der Daten, der Fehlererkennung und Fehlerkorrektur, sowie einer eventuell notwendigen Anpassung der Sendegeschwindigkeit an die Geschwindigkeit des Datenübertragungsweges. Während die Datenendeinrichtungen nicht in die Zuständigkeit der Fernmeldeverwaltung gehören, beginnt mit der Datenübertragungseinrichtung (DÜE) die Zuständigkeit der DBP. Zwischen Datenendeinrichtung und Datenübertragungseinrichtung liegt die Schnittstelle. Die an der Schnittstelle geforderten Eigenschaften sind genormt.

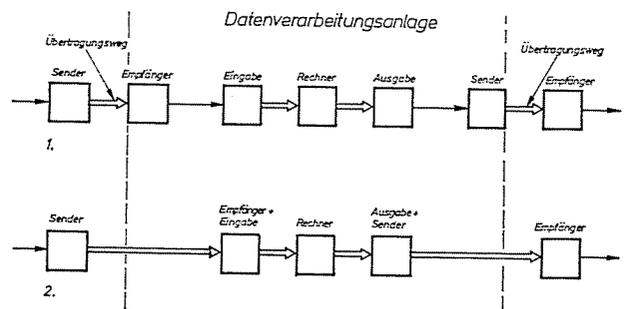
**Aufbau eines Datenübertragungssystems**



(Abb. 277)

Die Datenübertragungseinrichtung besteht aus einem Modulator/Demodulator (Modem). Ein Modem erzeugt die auf der Übertragungsleitung geforderten Signale aus den Signalen der Datenendgeräte und umgekehrt. Da Telegrafieleitungen unmittelbar für die Übertragung von digitalen Signalen geeignet sind, werden Modemeinrichtungen nur bei Fernsprecheleitungen und Breitbandleitungen erforderlich. Abb. 278 zeigt die beiden prinzipiellen Verfahren der Datenfernverarbeitung. Räumlich entfernte Teilnehmer können hierbei über Datenübertragungssysteme unmittelbar mit einer EDV-Anlage in Verbindung treten.

**Verfahren der Datenfernverarbeitung**



1. indirekte Datenfernverarbeitung (off line)  
2. direkte Datenfernverarbeitung (on line)

⇨ nicht elektrische Verbindung der Einrichtungen  
⇨ elektrische Verbindung der Einrichtungen

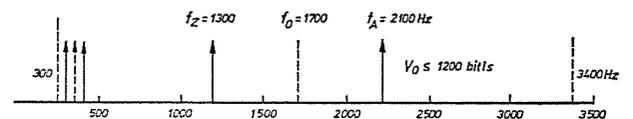
(Abb. 278)

**7.5. Aufbau von Datenübertragungseinrichtungen (Modem)**

**7.5.1. Modem für Serienübertragung**

Der prinzipielle Aufbau eines Modemgerätes für 1200 bits/s soll nachstehend kurz dargestellt werden; dieses Gerät arbeitet mit binärer Frequenzmodulation; den Frequenzplan zeigt Abb. 279.

**Frequenzplan für das Modem D 1200 S**



f<sub>A</sub> = Frequenz für den Kennzustand A  
f<sub>Z</sub> = Frequenz für den Kennzustand Z  
f<sub>0</sub> = Mittelfrequenz  
V<sub>0</sub> = Übertragungsgeschwindigkeit für Daten

(Abb. 279)

Die sogenannte Mittenfrequenz liegt bei 1700 Hz, die beiden Kennfrequenzen bei 1300 und 2100 Hz; der Frequenzhub beträgt deshalb  $\pm 400$  Hz. Die bei dieser Frequenzmodulation erforderliche Bandbreite geht von 900 Hz bis 2500 Hz. Unterhalb von 900 Hz wird ein Hilfskanal betrieben. Die Mittenfrequenz liegt bei 420 Hz, der Hub beträgt  $\pm 30$  Hz. Dieser Hilfskanal gestattet die Übermittlung von Steuer- und Quittungssignalen. Dieses Modemgerät D 1200 S erlaubt weiterhin die synchrone als auch asynchrone Übertragung von binären Nachrichten. Das Blockschaltbild des Modemgerätes D 1200 S für 1200 bits/s zeigt Abb. 280.

### 7.5.2. Modem für parallele Datenübertragung

Werden von mehreren Außenstellen eines Betriebs zu einer gemeinsamen Zentrale Daten übertragen und ist die Menge der zu übertragenden Daten nicht sehr groß, so ist es zweckmäßig und vorteilhaft, die Parallelübertragung anzuwenden. Bei dieser Art der Datenübertragung können z.B. zwei bzw. auch drei Frequenzgruppen mit je vier Einzelfrequenzen gleichzeitig übertragen werden. Bei geringem Datenfluß der einzelnen Außenstellen können diese zusammengefaßt und dadurch besonders wirtschaftlich übermittelt werden.

## 7.6. Datensicherung

Zur Zeit sind folgende Verfahren zur Sicherung der Übertragung von Daten gegen Störungen bekannt:

- die Echosicherung,
- die Codesicherung und
- die Fehlererkennung.

Unter Echosicherung versteht man alle Verfahren, bei denen eine Rücksendung der übermittelten Nachricht zum Zwecke des Vergleichs mit der Urschrift erfolgt. Im Zweifelsfall kann dann eine Wiederholung der Übertragung notwendig werden. Bei der Codesicherung und Fehlererkennung wird durch erhöhten Aufwand und zusätzliche Redundanz im Code dafür gesorgt, daß Störungen bei der Übermittlung entweder erkannt oder sogar korrigiert werden können. Wird nur mit Fehlererkennung gearbeitet, so kann die Erkennung eines Fehlers die Wiederholung des gestörten Datenblocks auslösen. Diese Anforderung kann z.B. über den Hilfskanal eines Modems erfolgen.

Die Einführung von Paritätsbits (auf gerade oder auf ungerade Zahl von 1 ergänzen) am Ende einer Zeichengruppe und eines Datenblocks sowie das Einführen von zusätzlichen Prüfcodeelementen ermöglicht die Selbstkorrektur einfacher Fehler auf der Empfängerseite selbst.

## 8. Magnetkerntechnik

In der binären digitalen Technik werden Bauelemente benötigt, die zwei Signalzustände technisch verwirklichen können. Zu den hierbei eingesetzten Bauelementen gehören auch die Magnetringkerne. Wegen ihrer preisgünstigen Herstellung finden sie in großem Umfang als Speicherelemente Verwendung. Sie lassen sich aber auch als Verknüpfungselemente, d.h. als Schaltkerne, in Schaltnetzen einsetzen. In diesem Anwendungsgebiet haben sie allerdings keine große Bedeutung mehr, da sie mit den integrierten Bausteinen kaum konkurrieren können. Da Schaltkerne bei einigen Fabrikaten immer noch Verwendung finden, wird auch ihre Funktion beschrieben.

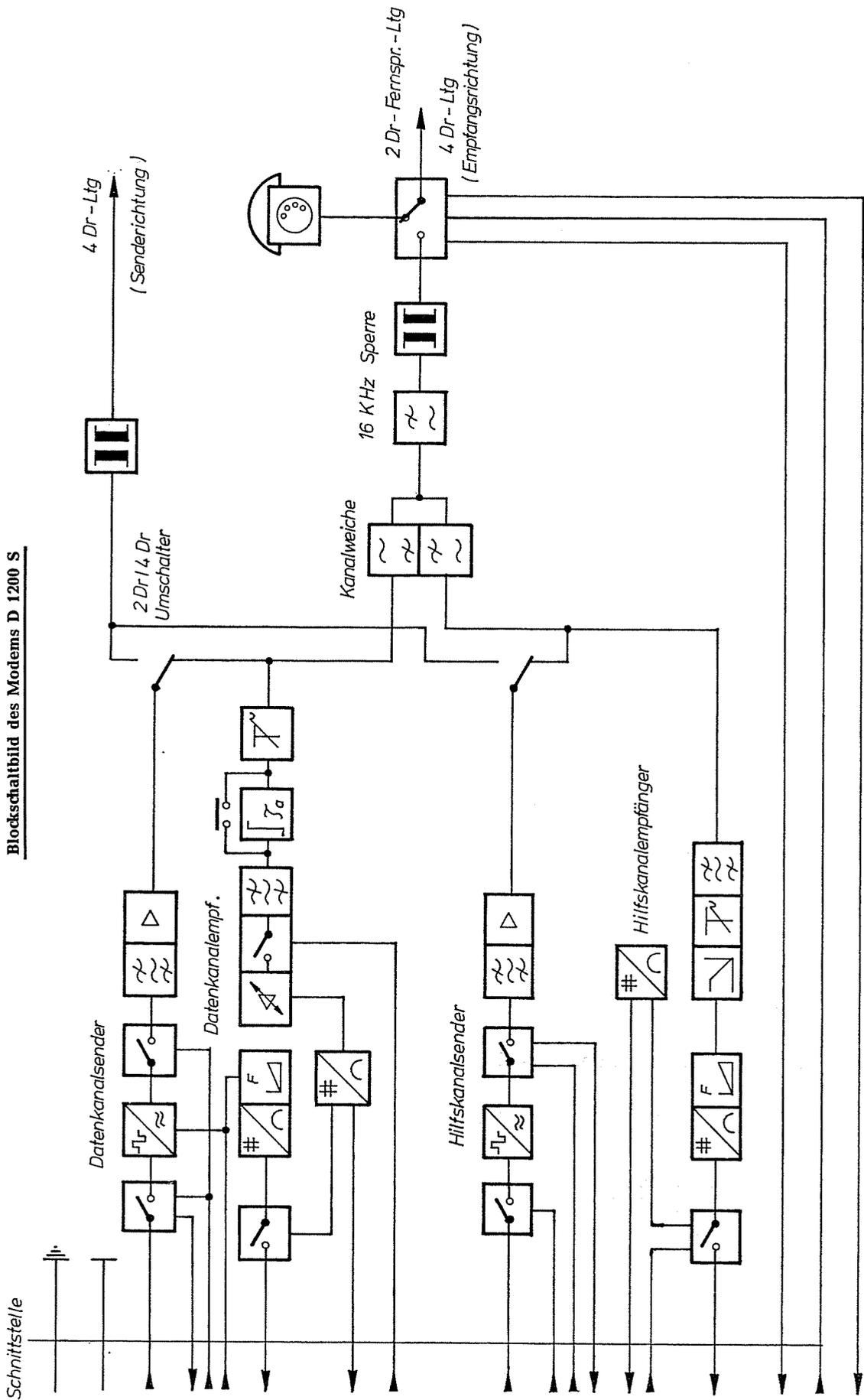
## 8.1. Physikalische Grundlagen

### 8.1.1. Allgemeine Eigenschaften

Grundsätzlich zeigen alle Stoffe magnetische Eigenschaften, aber nur **ferromagnetische und ferrimagnetische Stoffe** sind mit verhältnismäßig schwachen magnetischen Feldern magnetisierbar.

Die unter dem Begriff Magnetismus zusammengefaßten physikalischen Eigenschaften treten immer dann auf, wenn die Atome eines Stoffes magnetische Momente besitzen. Diese **magnetischen Momente** entstehen durch **Rotationsbewegungen von Elektronen**. Man stellt sich vor, daß die Elektronen auf planetenartigen Bahnen den Atomkern umkreisen und sich außerdem um die eigene Achse, also kreiselartig drehen; diese letztere Bewegung heißt man **Elektronenspin**. Nun hat sich gezeigt, daß der Elektronenspin hauptsächlich die magnetischen Eigenschaften eines Stoffes bestimmt. Entgegengesetzt orientierte, also antiparallel gerichtete, Spins von Elektronenpaaren können sich gegenseitig in ihrer magnetischen Wirkung aufheben. **Magnetische Eigenschaften erfordern also nicht kompensierte bzw. nicht vollständig kompensierte Spins.**

**Blockschaltbild des Modems D 1200 S**



(Abb. 280)

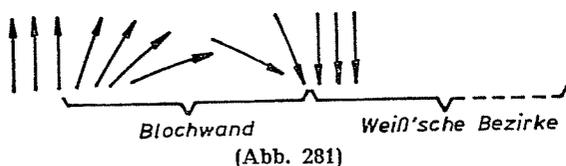
**Ferromagnetismus** ergibt sich, wenn innerhalb einer unvollständigen Elektronenschale unkompenzierte Spins vorliegen. Außerdem müssen die Atome ein Kristallgitter bilden, bei dem der Abstand der einzelnen Atome untereinander eine bestimmte Mindestgröße aufweist. **Ferromagnetisch** sind die Metalle **Eisen, Nickel, Kobalt** und viele ihrer Legierungen.

**Ferrimagnetismus** tritt in **keramischen Kristallen** aus einer Mischung aus **Eisenoxid ( $Fe_2O_3$ )** und **zweiwertigen Metalloxiden** auf. Als Metalle finden Mangan, Magnesium und Zink, Nickel und Lithium usw. Verwendung. Diese Mischungen werden in Formen gepreßt und bei hohen Temperaturen gesintert. Die magnetischen Eigenschaften können durch das Mischungsverhältnis, durch die Korngröße und das Herstellungsverfahren in weiten Grenzen beeinflusst werden. Beim Ferrimagnetismus sind die magnetischen Momente benachbarter Atome im Kristallgitter zueinander antiparallel; sie kompensieren sich jedoch nicht vollständig, da sie unterschiedlich groß sind. **Ferrimagnetische Stoffe** zeigen deshalb auch **starke magnetische Eigenschaften**.

Kerne aus ferrimagnetischem Material haben gegenüber Kernen aus ferromagnetischem Material einen großen Vorteil; sie haben einen hohen elektrischen spezifischen Widerstand. Hier können sich also keine Wirbelströme ausbilden, die bei häufiger Ummagnetisierung zu großen Wirbelstromverlusten führen würden. Bei ferromagnetischen Materialien werden Wirbelströme durch Unterteilung der Kerne in dünne, voneinander isolierte Bleche verhindert.

### 8.1.2. Physikalische Vorgänge beim Magnetisieren

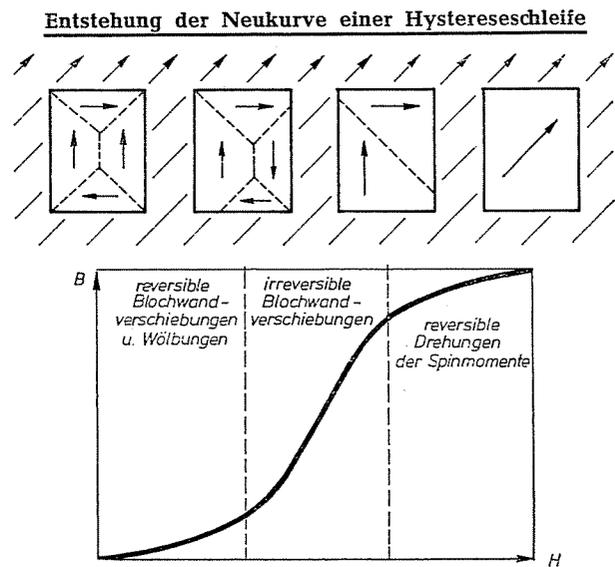
Nach der **Weiß'schen Theorie** ist magnetisches Material in viele kleine Bereiche, in sogenannte **Domänen oder Weiß'sche Bezirke**, aufgeteilt. Innerhalb einer solchen Domäne gibt es nur eine magnetische Richtung, die sich spontan einstellt. Wir haben dort einen magnetischen Elementardipol vor uns. Die Feldlinien schließen sich innerhalb des Materials. Weiß'sche Bezirke sind durch etwa  $0,1 \mu m$  dicke Übergangszonen voneinander getrennt, diese Zonen heißen **Blochwände**. Innerhalb der Blochwände gehen die Magnetisierungsvektoren \*) von einer Richtung in die andere über (vgl. Abb. 281).



Ohne Beeinflussung durch ein äußeres magnetisches Feld ist bei den einzelnen Weiß'schen Bezirken die Richtung leichtester Magnetisierung durch die Kristallstruktur des Stoffes gegeben. **Bei Beeinflussung durch ein äußeres Magnetfeld finden sowohl Drehungen der Magnetisierungsvektoren als auch Veränderungen der Blochwände statt.**

Bei kleinen magnetischen Feldstärken tritt eine Wölbung der Blochwände ein, ähnlich wie bei einer Seifenblasenhaut. Verschwindet das äußere magnetische Feld, so nehmen die Blochwände ihre alte Position wieder ein. Dieser Vorgang ist reversibel (umkehrbar); d.h., der ursprüngliche Zustand stellt sich nach Wegnahme des äußeren Feldes wieder ein. Bei größeren Feldstärken kommt es dagegen zu Verschiebungen der Blochwände, der Weiß'sche Bezirk vergrößert sich auf Kosten seiner Nachbarn. Dieser Vorgang ist nicht mehr reversibel, er ist irreversibel (nicht umkehrbar). Der neue Zustand bleibt also erhalten, auch wenn das äußere Magnetfeld verschwunden ist. Bei noch größeren magnetischen Feldstärken werden schließlich die Magnetisierungsrichtungen der einzelnen Bezirke nach und nach in die Richtung des äußeren Feldes gedreht, bis im Sättigungszustand alle Magnetisierungsvektoren die Richtung des aufgeprägten Feldes haben. Dieser Zusammenhang ist in Abb. 282 dargestellt.

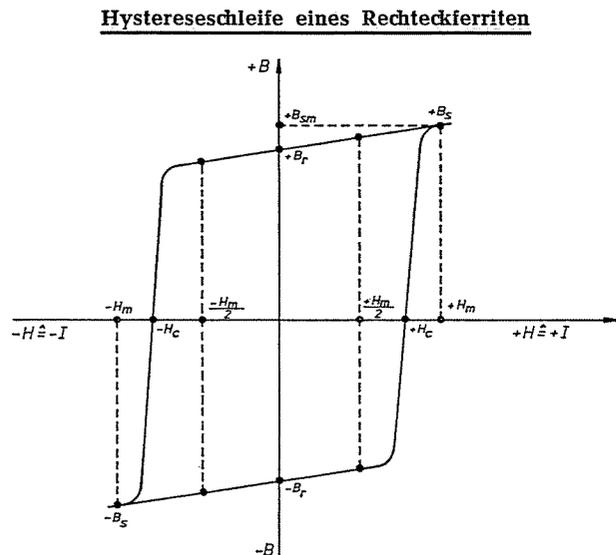
**Der Kurvenzug, der den Zusammenhang zwischen der Magnetisierung eines Körpers, also der Induktion B und der Stärke des angelegten Feldes (Feldstärke H) beschreibt, wird Neukurve genannt.**



\*) Vektor ist ein Pfeil, der Größe und Richtung einer Kraft angibt.

### 8.1.3. Hystereseschleife eines Rechteckferriten

Entläßt man einen Rechteckferriten aus einem starken magnetischen Feld, so wird die sich einstellende Abhängigkeit zwischen der Feldstärke  $H$  und der Induktion  $B$  durch den Verlauf der Hystereseschleife beschrieben. **Ringkerne für Speicher- und Schaltzwecke haben eine Hystereseschleife mit fast rechteckigem Verlauf;** Abb. 283 zeigt die Hystereseschleife eines solchen Rechteckferriten.



(Abb. 283)

Ist der Rechteckferrit einem magnetischen Feld von der Stärke  $+H_m$  ausgesetzt, so befindet er sich in der Sättigungsinduktion  $+B_s$ . Wird das magnetische Feld verringert, so verringert sich die magnetische Induktion  $B$  nur wenig; sie behält einen endlichen Wert, auch wenn die Feldstärke Null wird. Man nennt diesen Wert die Remanenzinduktion  $+B_r$ . Der Kern hat also die Erregung auf  $H_m$  gespeichert.

Soll die Remanenzinduktion zum Verschwinden gebracht werden, so ist die Richtung des Feldes umzukehren. **Die zur Aufhebung der Remanenz notwendige Feldstärke heißt Koerzitivfeldstärke  $H_c$ .** Wird diese Feldstärke überschritten, so geht der Rechteckkern schnell in die entgegengesetzte Sättigung  $-B_s$ , er klappt um. Nach Abschalten des Erregerfeldes bleibt dann die negative Remanenz  $-B_r$  bestehen. **Die angenähert waagerechten Achsen der Hystereseschleife entstehen durch die reversibel verlaufenden, die angenähert senkrechten Achsen durch die irreversibel verlaufenden Drehprozesse und Blochwandverschiebungen.**

Diese Betrachtungen gelten für langsame Änderungen des magnetischen Feldes. Wird ein Ringkern von einem steilen Stromimpuls durchflos-

sen und erfolgt die Feldänderung daher sehr schnell, so treten während der kurzen Anstiegszeit des Feldes zunächst nur reversible Änderungen des Magnetisierungszustands auf, die irreversiblen Änderungen erfolgen, wenn der Impuls seine maximale Höhe schon erreicht hat.

### 8.1.4. Anforderungen an einen Rechteckferriten

Für die Anwendung der Kerne als Speicher- und Schaltelemente wäre eine vollkommen rechteckige Hystereseschleife am günstigsten; diese Forderung ist jedoch nicht zu erfüllen. Das Rechteckigkeitsverhältnis eines Rechteckferriten wird durch folgende Formel ausgedrückt:

$$R_s = \frac{B(H_m/2)}{B_m}$$

Unter  $B_{H_m/2}$  versteht man die Induktion bei der Feldstärke  $H_m/2$ . Wäre die Hystereseschleife völlig rechteckig, so wäre  $R_s = 1$ ; erreicht werden Werte von 0,8 bis 0,9.

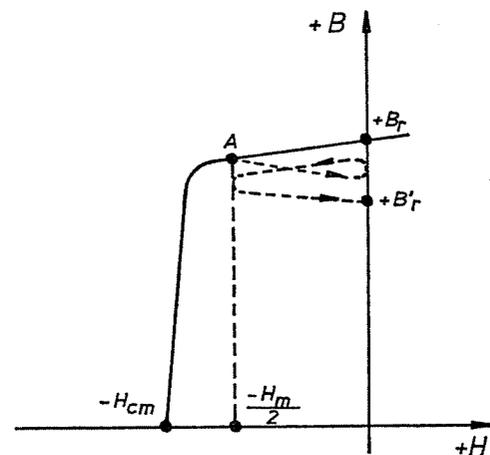
Die Feldstärke  $H_m$ , die zum Umklappen der Magnetisierungsrichtung erforderlich ist, ergibt sich aus folgender Formel:

$$H_m = \frac{n \cdot I_m}{2 \cdot \pi \cdot r}$$

Hierbei ist  $n$  die Windungszahl,  $r$  der Radius des Kerns und  $I_m$  der benötigte Strom. Durch Messungen wurde ermittelt, daß das günstigste Rechteckigkeitsverhältnis zu erreichen ist, wenn  $H_m$  um den Faktor 1,3 bis 1,5 größer ist als die Koerzitivfeldstärke  $H_c$ . Für den Ansteuerstrom  $I_m$  ergibt sich also der Wert  $I_m = (1,3 \dots 1,5) \cdot I_c$ .

Für Speicheranwendungen ist es wichtig, daß ein Kern bei Erregung mit der halben Feldstärke  $H_m$  seine Remanenzinduktion nicht verläßt. Wenn also eine Halberregung  $H_m/2$  auftritt, wird zwar die Induktion den Punkt A (Abb. 284) erreichen, nach Abschalten der Erregung sollte sie möglichst auf  $+B_r$  zurückkehren. In der Praxis ist dies nicht ganz der Fall, den Wert  $+B_r$  nimmt sie nicht wieder ein. Nach einigen Halberregungen sinkt sie bis auf  $+B'_r$  ab, geht aber dann nicht weiter zurück. Derselbe Zusammenhang gilt auch für den negativen Remanenzpunkt  $-B_r$ .

### Teilmagnetisierungen durch Halbstrom



(Abb. 284)

Die Schaltzeit von Speicherkernen, d.h. die Zeit bis zur vollständigen Ummagnetisierung eines Kerns, ist durch die endliche Geschwindigkeit der Blochwandverschiebungen bedingt. Sie kann durch die Höhe der Erregerfeldstärke beeinflusst werden. Bei gegebener Stromamplitude  $I_m$  (z.B.  $I_m = 1,4 I_0$  für Speicherkerne) ist **die Schaltzeit etwa proportional dem Kerndurchmesser**. Je kleiner der Kern ist, desto schneller kann er geschaltet werden. Dies erklärt auch das Bestreben, immer kleinere Kerne zu wählen. Kleine Kerne ergeben jedoch Schwierigkeiten bei der Herstellung von Speichermatrizen, so daß hier Grenzen gesetzt sind. Üblich sind Außendurchmesser von 0,55 bis 3 mm. Die erreichbaren Schaltzeiten liegen bei etwa 0,2 bis 10  $\mu s$ .

Nachfolgend sind die an die Ringkerne gestellten Anforderungen zusammengestellt.

**Die Hystereseschleife soll ein Rechteckigkeitsverhältnis haben, das nahe bei Eins liegt.**

**Maximalinduktion  $B_m$  und Remanenzinduktion  $B_r$  sollen einander möglichst entsprechen. Die Koerzitivfeldstärke soll möglichst klein sein, damit man mit geringen Umschaltströmen auskommt. Eine geringe Koerzitivfeldstärke ergibt im allgemeinen auch geringe Hystereseverluste. Der spezifische Widerstand soll genügend groß sein, um Wirbelstromverluste zu vermeiden.**

**Bei Speicherkernen soll die Schaltzeit gering sein, um eine hohe Arbeitsgeschwindigkeit des Speichers zu ermöglichen; das wird durch kleine Kerne (kleiner Durchmesser, dünnwandige Ringe) erreicht.**

**Die magnetischen Eigenschaften sollen möglichst wenig temperaturabhängig sein.**

## 8.2. Ringkerne als Speicherelemente

Der Wert einer elektronischen Datenverarbeitungsanlage wird nicht zuletzt von ihrem Arbeitsspeicher bestimmt. Dies ist der Speicher, mit dem die Anlage bei fast jeder Operation zusammenarbeitet. Er kann mit dem Notizzettel verglichen werden, den ein Mensch benutzt, um z.B. Zwischenergebnisse kurz zu notieren. Der Arbeitsspeicher muß vom Rechner schnell erreicht werden können. Daher kommen nur solche Speichermedien in Frage, die sehr geringe Zugriffszeiten — das ist die Zeit, die zum Finden und zerstörungsfreien Lesen einer abgespeicherten Information nötig ist — aufweisen. Das z.Z. wirtschaftlichste Speichermedium für

diesen Zweck ist der Ferritkern; es sind Zugriffszeiten von unter 1  $\mu s$  zu erzielen.

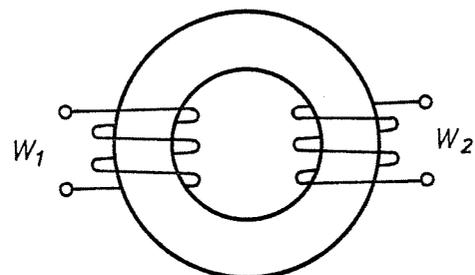
Der Magnetkern kann durch ein äußeres magnetisches Feld in die positive Sättigung oder in die negative Sättigung gebracht werden. Nach Abschalten dieses Erregerfeldes verbleibt der Kern in der entsprechenden Remanenzinduktion. Er speichert also die Richtung des Erregerfeldes, auch wenn dieses nicht mehr vorhanden ist. Zum Halten dieser eingeschriebenen Information wird keine Energie benötigt. **Der Zustand der positiven Remanenz  $+B_r$  wird mit „Eins“, der der negativen Remanenz  $-B_r$  mit „Null“ bezeichnet.** Der Magnetkern ist also in der Lage, zwei mögliche Signalzustände anzunehmen; **er kann damit genau ein Bit speichern.**

Arbeitsspeicher moderner Rechner (z.B. IBM 360, Siemens 4004) weisen Mindestkapazitäten von etwa 100 000 bis zu mehreren Millionen Bits auf. Da für jedes zu speichernde Bit ein eigener Ferritkern nötig ist, werden mindestens 100 000 Kerne benötigt.

### 8.2.1. Prinzip der Informationsspeicherung in Ringkernen

Das Prinzip, nach dem die Informationsspeicherung erfolgt, ist außerordentlich einfach. Ein Ringkern aus ferrimagnetischem Material wird von einem Draht durchsetzt. Fließt durch diesen Draht ein Strom, so ruft er bei genügend großer Stärke je nach Richtung eine magnetische Feldstärke  $+H_m$  oder  $-H_m$  hervor, die den Kern

Ringkern mit Schreib- und Lesewicklung



(Abb. 285)

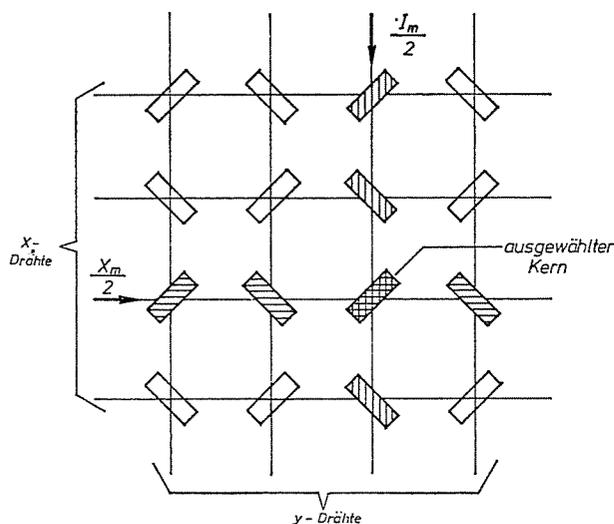
nach Abschaltung des Stroms im positiven oder negativen Remanenzzustand zurückläßt. Da positive Remanenz mit „Eins“ und negative Remanenz mit „Null“ bezeichnet wird, kann man sagen, daß ein **positiver Stromimpuls eine „Eins“**, ein **negativer Stromimpuls eine „Null“** ergibt; also kann eine Eins oder eine Null in den Kern eingeschrieben werden. Zum Auslesen der gespeicherten Information wird ein weiterer Draht, ein Lesedraht, erforderlich. Ein den ersten Draht durchfließender negativer Leseimpuls erzeugt in dem Lesedraht nach dem Induktionsgesetz

einen Spannungsimpuls. Die Größe dieses Impulses ist abhängig von der Induktionsänderung in der Zeiteinheit. Sie ist also abhängig davon, ob der Kern sich im Zustand „Eins“ oder im Zustand „Null“ befunden hat. Vom Zustand „Null“ aus, also von  $-B_r$ , werden durch den negativen Stromimpuls nur **geringe Induktionsänderungen bewirkt**; es wird ja nur der angenähert waagerechte Ast der Hystereseschleife durchlaufen. Der sich ergebende Spannungsimpuls, **der Leseimpuls, ist klein**. Befindet sich der Kern dagegen im Remanenzpunkt  $+B_r$ , ist also eine „Eins“ **eingeschrieben worden**, so tritt beim Durchlaufen des senkrechten Astes der Hystereseschleife eine große Induktionsänderung auf. Der entstehende **Spannungsimpuls ist groß**, es wird eine „Eins“ gelesen. **Nach dem Lesen befindet sich der Kern stets im Remanenzpunkt  $-B_r$** . Soll die Information „Eins“ durch das Lesen nicht verlorengehen, so muß sie nach dem Lesen wieder neu geschrieben werden.

### 8.2.2. Koinzidenzprinzip

Ein Ferritkern kann nur ein Bit speichern. Größere Speicherkapazitäten werden daher durch das Bilden von Kernmatrizen hergestellt. Ein Kern in einer Matrix ist genau bestimmt, wenn seine X- und Y-Koordinate angegeben werden. **Die X-Koordinate wird mit Zeile, die Y-Koordinate mit Spalte bezeichnet**. Der Kern wird nun bei der Koinzidenzansteuerung von zwei Erregerdrähten durchzogen, dem X-Draht und dem Y-Draht. (Aus herstellungstechnischen und wirtschaftlichen Gründen werden die Erregerdrähte und der Lesedraht bei den Matrizen nur einfach durch die Kerne durchgesteckt.)

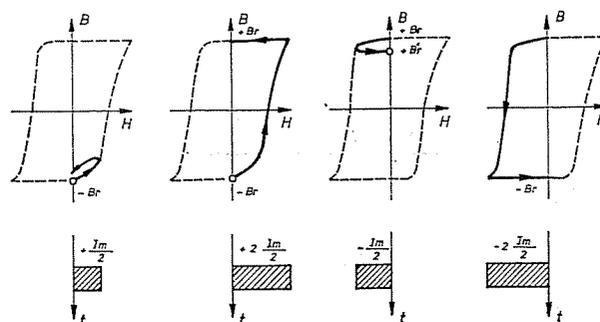
#### Prinzip der Koinzidenzansteuerung



(Abb. 286)

Der Kern wird nun meist so beschrieben, daß z.B. beim Einschreiben einer „Eins“ der zum Erreichen der Feldstärke notwendige Strom  $I_m$  durch einen Strom halber Größe auf beiden Drähten gleichzeitig erreicht wird. **Erst durch das Zusammentreffen beider Halbströme  $I_m/2$  auf der Spaltenleitung und der Zeilenleitung ist die zur Ummagnetisierung notwendige Feldstärke gegeben**. Bei diesem Prinzip wird also immer nur der Kern angesprochen, bei dem beide Halbströme vorhanden sind und in gleicher Richtung fließen. Die anderen Kerne der angesprochenen Spalte und Zeile werden nur von einem Halbstrom  $I_m/2$  durchflossen. Die hierdurch erreichte Feldstärke reicht nicht aus, um den Kern zu klappen. In Abb. 287 sind die Verhältnisse für das Schreiben und das Lesen noch einmal dargestellt.

#### Möglichkeiten der Erregung eines Kerns nach dem Koinzidenzprinzip



(Abb. 287)

**Beim Schreiben mit Halbstrom wird nur der angenähert waagerechte Teil der Hystereseschleife durchlaufen; es ergibt sich nur eine kleine Verschiebung der Remanenz.**

**Beim Schreiben mit Vollstrom wird der Kern ummagnetisiert; es wird eine „Eins“ eingeschrieben.**

**Beim Lesen mit Halbstrom bleibt die „Eins“ erhalten; die positive Remanenz wird nur wenig verringert.**

**Beim Lesen mit Vollstrom wird der Kern wieder ummagnetisiert; der Nullzustand wird wieder hergestellt.**

Das Koinzidenzprinzip ermöglicht also die Auswahl eines Kerns aus einer ganzen Matrix. **Bedeutend ist, daß die Auswahl des Kerns kein Suchvorgang in der Zeit ist, wie etwa beim Suchen einer Information auf einem Magnetband, sondern das gezielte Aufsuchen eines bestimmten Kerns**. Man erkennt außerdem, daß alle Kerne der Matrix gleich gut, d.h. gleich schnell, zugänglich sind und spricht in diesem Zusammenhang auch von **wahlweisem Zugriff des Speichers**.

### 8.2.3. Schreib- und Lesesignale

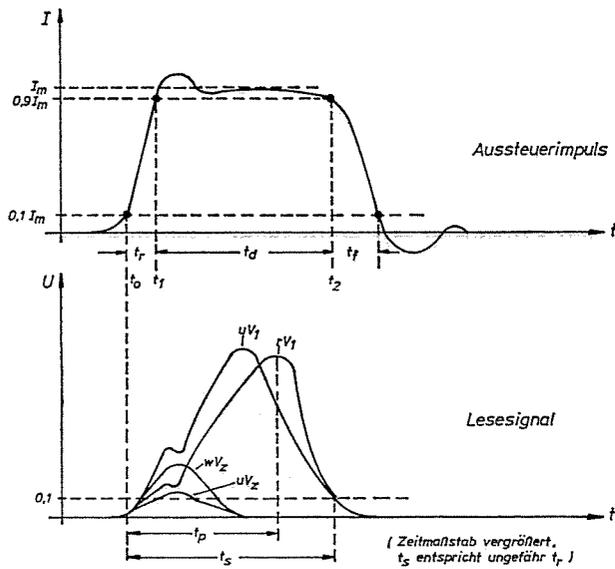
Die ideale Form des  $I_m/2$ -Ansteuerimpulses beim Schreiben wäre ein Rechteckimpuls. Durch die induktiv (und auch kapazitiv) belasteten Leitungen wird jedoch das Rechtecksignal verzerrt. Die typische Form des Ansteuersignals zeigt Abb. 288 im oberen Teil.

International haben sich einheitliche Bezeichnungen für diese Werte durchgesetzt.  $I_m$  ist der Nennwert des Schaltstroms. Das Überspringen über den Nennwert von  $I_m$  wird in % von  $I_m$  angegeben, ebenso das Unterschwingen am Ende. Als Beginn des Impulses gilt der Zeitpunkt  $t_0$  (time origin), an dem die ansteigende Impulsflanke 10 % (= 0,1  $I_m$ ) erreicht hat. Die Anstiegszeit  $t_r$  (rise time) zählt für die Zeit  $t_0$  bis  $t_1$ , in der  $I_m$  auf 90 % angestiegen ist. Die Abfallzeit  $t_f$  (fall time) wird umgekehrt definiert, vom Abfallpunkt bei 90 %  $I_m$  bis zum Impulsende bei 10%  $I_m$ . Die eigentliche Impulsdauer  $t_d$  (time duration) gilt für die Zeit zwischen  $t_1$  und  $t_2$ .

Der untere Teil der Abb. 288 zeigt das dem Ansteuersignal folgende Lesesignal. Auch hier gelten einheitliche englischsprachige Begriffe; es bedeuten:

- V = Voltage (Spannung)
- w = write disturbed (schreibgestört)
- Index 1 = „Eins“
- u = undisturbed (ungestört)
- r = read disturbed (lesegestört)
- Index z (zero) = „Null“

#### Schreib- und Lesesignale

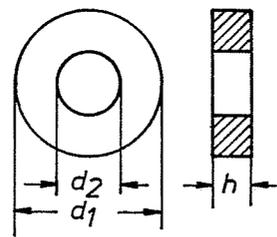


(Abb. 288)

Die Ausgangsspannung beim Lesen einer ungestörten „Eins“ (deren Remanenz also noch auf dem Punkt +B<sub>r</sub> liegt) ist  $uV_1$ , die einer mit Halberregungen zuvor gestörten „Eins“ (Remanenz +B'<sub>r</sub>) verläuft etwas flacher und wird mit  $rV_1$  bezeichnet. War in dem Kern eine „Null“ eingeschrieben und diese noch nicht durch Halberregungen in der Remanenz geändert, so erscheint das Stör-signal  $wV_z$  auf der Leseleitung. Wenn hingegen der Kern durch vorhergegangene Halbstromimpulse teilerregt wurde, führt der Lese Draht das Signal  $wV_z$ .

Die Schaltzeit eines Kerns ist definiert als die Zeit, die vom Anlegen des Erregerstroms — Zeitpunkt  $t_0$  — bis zum Abklingen des Lesesignals auf 10 % von  $rV_1$  vergeht. Die Spitzenzeit  $t_p$  (peak time) ist die Zeitspanne zwischen  $t_0$  und dem Erreichen des Scheitelpunkts von  $rV_1$ . Wenn in der Definition die Werte von  $rV_1$  herangezogen werden, so deshalb, weil für die Auslegung der Schaltung die längere Zeit maßgebend ist.

In der Tabelle 66 sind als Beispiel aus der Praxis die Daten der Siemens-SIFERRIT-Rechteckspeicherkerne zusammengefaßt.



(Abb. 289)

### 8.3. Speichermatrizen und Speicherblöcke

#### 8.3.1. Koinzidenzspeicher mit vier Drähten je Kern

##### 8.3.1.1. Aufbau und grundsätzliche Wirkungsweise

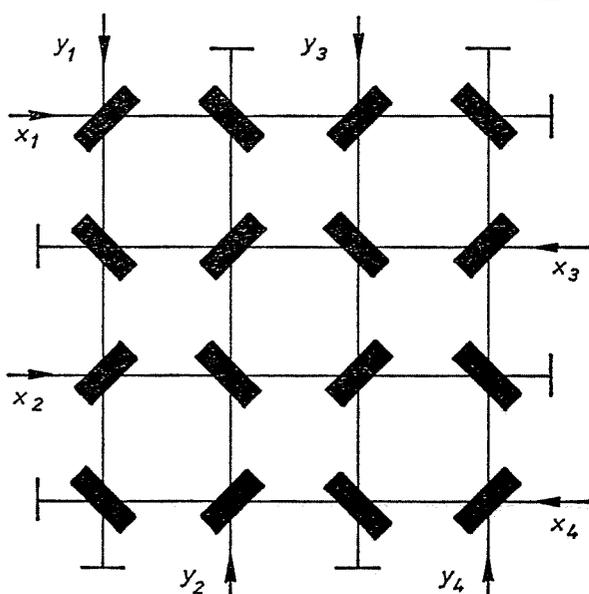
Wie schon beschrieben, wird die Information für einen bestimmten Kern einer Matrix dadurch eingeschrieben und ausgelesen, daß über den X- und Y-Draht je ein Halbstromimpuls  $I_m/2$  gegeben wird. Der Kern im Kreuzungspunkt der Drähte erhält die zur Ummagnetisierung erforderliche Feldstärke. Für den konstruktiven Aufbau, für die Arbeiten bei der Verdrahtung und für den Zusammenbau von Spei-

Kern	d <sub>1</sub> mm	d <sub>2</sub> mm	h mm	Nennstrom I <sub>m</sub> mA	Schreibimpuls		Lesesignal			Schaltzeit μs t <sub>s</sub>
					Breite t <sub>d</sub> μs	Anstiegszeit t <sub>r</sub> ns	Spannung „1“ rV <sub>1</sub> mV	Spannung „0“ wV <sub>z</sub> mV	Spitzenzeit t <sub>p</sub> ns	
0,3	0,3	0,2	0,08	860	0,3	25	30	6	50	0,1
0,5	0,5	0,33	0,11	860	1,0	50	33	9	100	0,18
0,8	0,8	0,5	0,2	750	0,3	100	30	7	200	0,4
1,25	1,25	0,80	0,35	550	3,5	200	50	9	500	1,0
2	2	1,3	0,6	400	3,5	200	63	19	950	2,2

Tabelle 66

cherblöcken ist es günstiger, nicht alle Zuleitungen von der gleichen Seite der Matrix aus zu erregen, sondern abwechselnd von links bzw. von oben und dann von rechts bzw. von unten. Die Kerne liegen dadurch nicht alle in einer Richtung, sondern so, wie es Abb. 289 zeigt. Da immer nur ein Kern in einer Matrix zur gleichen Zeit angesprochen wird, kommt man mit einem Lesedraht pro Matrix aus. Den Verlauf des Lesedrahtes zeigt Abb. 290 b. Die eigenartige Drahtführung bewirkt, daß sich Störsignale, die von den reversiblen Induktionsänderungen der

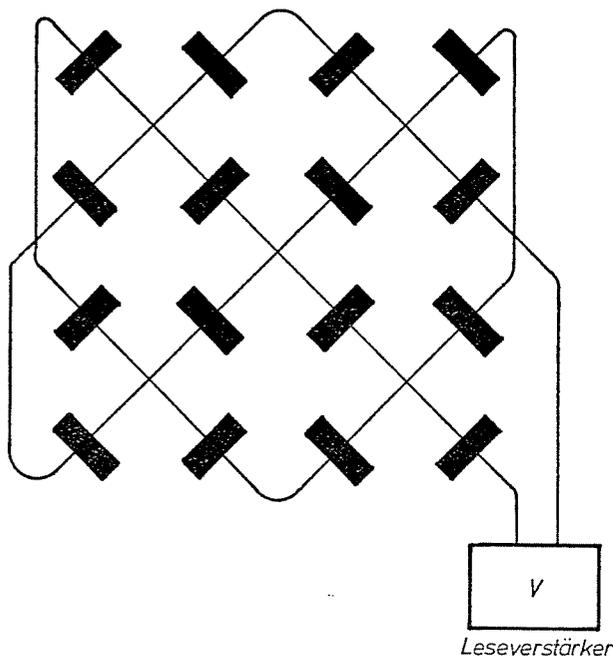
#### Anordnung der Ferritkerne einer Speichermatrix



(Abb. 290 a)

#### Fädung des Lesedrahtes

(X- und Y-Drähte sind nicht mitgezeichnet!)

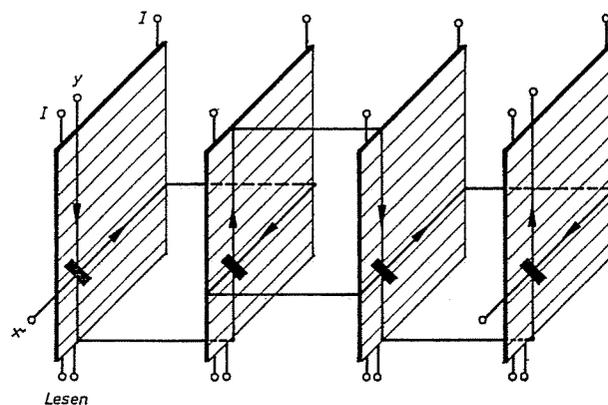


(Abb. 290 b)

halbausgewählten Kerne stammen, überwiegend kompensieren. Die Kompensation ist jedoch niemals vollständig; sie wird nur durch die Führung besonders gut. Der Lesedraht soll außerdem nicht parallel zu einem X- oder Y-Draht liegen; die Kopplung zwischen ihnen wäre sonst zu groß.

Bei dem Koinzidenzverfahren wird immer nur ein Kern, also nur ein Bit, aufgerufen. Eine zu speichernde Information, z.B. ein Maschinenwort eines Rechners, hat aber 40 bis 50 Dualstellen. Man faßt deshalb **sovieler Matrizen Bits besitzt**. Dadurch ergibt sich ein sogenannter **Speicherblock**. Die Grundschaltung eines solchen Speicherblocks aus vier Matrizen zeigt Abb. 291.

#### Speicherblock mit vier Matrizen



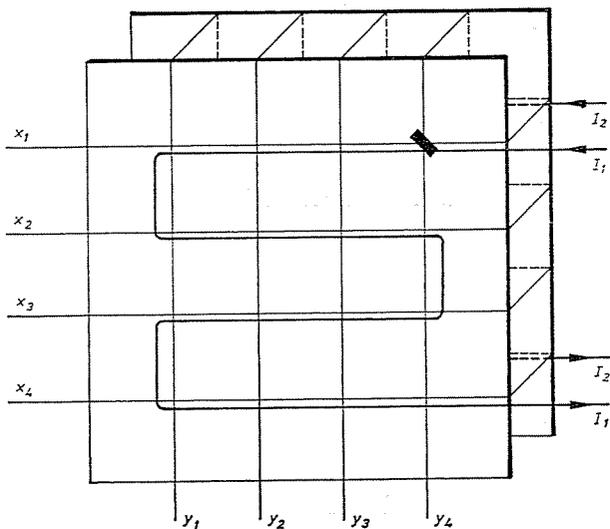
(Abb. 291)

Während die Zeilendrähte in der X-Richtung und die Spaltendrähte in der Y-Richtung verlaufen, reihen sich die einzelnen Matrizen in der Z-Richtung des Speicherblocks auf. **Die X- und Y-Drähte aller Matrizen sind dabei in Reihe geschaltet.** Wird also ein X-Draht und ein Y-Draht erregt, so wird in jeder Matrix genau ein Kern ausgewählt. Alle ausgewählten Kerne des Speichers haben die gleiche Z-Richtung hintereinander; man nennt die Gesamtheit dieser Kerne **eine Speicherzelle des Kernspeichers**. Die Speicherelemente sind dreidimensional angeordnet, in der X-, Y- und Z-Ebene. Das Vierdrahtkoinzidenzprinzip wird deshalb auch 3-D-Verfahren genannt.

**Jede Matrix des Speicherblocks hat selbstverständlich einen eigenen Lesedraht**, dessen Spannungsimpuls auf einen besonderen Leseverstärker gegeben wird. Ein Speicher aus 18 Matrizen mit 16 Zeilen und 16 Spalten kann also  $16 \times 16 = 256$  Wörter mit einer Länge von 18 Bits speichern.

Da nun alle Kerne einer Speicherzelle durch den X- und Y-Draht in gleicher Weise angesprochen werden, können keine unterschiedlichen Bits in die Speicherzelle eingeschrieben werden. Erst ein weiterer Draht, der sog. **Informationsdraht (auch Blockier- oder Inhibitdraht)**, ermöglicht das Einschreiben unterschiedlicher Informationen. Dieser vierte Draht zieht sich parallel zu dem X-Draht mäanderförmig durch alle Kerne einer Matrix.

**Führung des Informationsdrahtes**



(Abb. 292)

tionsdraht ebenfalls ein Halbstromimpuls gegeben, aber in entgegengesetzter Richtung. Die Gesamtfeldstärke reicht dann zum Umklappen des Kerns nicht mehr aus; er bleibt in der negativen Remanenzlage  $-B_r$ .

Dies bedeutet also:

**Einschreiben einer „Null“ — Halbstromimpuls im Informationsdraht,**

**Einschreiben einer „Eins“ — Kein Strom im Informationsdraht.**

Adressensteuerung (Auswahl der X- und Y-Drähte) und Informationssteuerung sind bei Einführung des Informationsdrahtes völlig voneinander getrennt. Die Adresse einer Zelle ist durch ein Paar aus X- und Y-Drähten bestimmt; sie werden auch häufig Adreßdrähte oder Adreßtreiber genannt. Die Information, die eingeschrieben werden soll, ist durch den Zustand des Informationsdrahtes angegeben. Die ausgelesene Information ergibt sich aus dem Spannungsimpuls auf der Leseleitung. Die Vorgänge beim Schreiben und Lesen werden in der nachfolgenden Tabelle noch einmal zusammengestellt.

Nach dem Lesen befindet sich der Kern also immer in dem negativen Remanenzzustand  $-B_r$  (Null). Die Information „Eins“ wird durch das Lesen zerstört; die während des Schreibvorgangs auf dem Lesedraht vorhandenen Spannungsimpulse werden nicht ausgewertet.

	Kernzustand vorher	X- und Y-Draht	Informationsdraht	Lesedraht	Kernzustand nachher
Einschreiben einer „Null“	$-B_r$ (Null)	$2 x + I_m/2$	$-I_m/2$	$V_z$	$-B_r$ (Null)
Einschreiben einer „Eins“	$-B_r$ (Null)	$2 x + I_m/2$	—	$V_1$	$+B_r$ (Eins)
Auslesen einer „Null“	$-B_r$ (Null)	$2 x - I_m/2$	—	$V_z$	$-B_r$ (Null)
Auslesen einer „Eins“	$+B_r$ (Eins)	$2 x - I_m/2$	—	$V_1$	$-B_r$ (Null)

Tabelle 67

Also ist — ebenso wie beim Lesedraht — auch nur ein Informationsdraht pro Matrix vorhanden. Der Informationsdraht hat nun folgende Aufgabe. Beim Einschreiben einer Information befinden sich alle Kerne im Remanenzzustand  $-B_r$ ; sie haben also eine „Null“ gespeichert. Auf den entsprechenden X- und Y-Drähten wird jetzt ein Halbstromimpuls  $I_m/2$  gegeben, der die Kerne in den Eins-Zustand bringen wird. Soll eine „Eins“ eingeschrieben werden, so ist dies völlig in Ordnung. Soll dagegen der Kern eine „Null“ speichern, so muß verhindert werden, daß der Kern klappt. Dazu wird nun in den Informa-

### 8.3.1.2. Signale beim Auslesen der Information

Die beim Auslesen in dem Lesedraht induzierte Spannung muß eindeutig die im Kern gespeicherte Information erkennen lassen. Da der Lesedraht sämtliche Kerne einer Matrix durchläuft, können halberregte Kerne erhebliche Störspannungen erzeugen, obwohl durch die Führung des Lesedrahtes versucht wird, dies weitgehend zu vermeiden. Bei größeren Matrizen ist es oft nicht möglich, allein aus der Spannungsamplitude die Information zu erkennen. Die auftretende Störspannung im Lesesignal

hängt auch von der Verteilung der Information in der Matrix ab. Außerdem führen unvermeidliche Toleranzen der einzelnen Kerne zu weiteren Störspannungsanteilen.

Die durch die halberregten Kerne hervorgerufenen Störsignale sind nun vorwiegend auf die reversiblen Induktionsänderungen zurückzuführen. Sie erreichen ihren Maximalwert früher als das Nutzsignal. Das Erkennen der gelesenen Information wird wesentlich erleichtert, wenn die Auswertung der Signale durch einen Leseverstärker erst dann erfolgt, wenn das Nutzsignal seinen Höchstwert erreicht hat und das Störsignal abgeklungen ist. Man erreicht dies durch einen **Auftastimpuls**, auch **Strobe-Impuls** genannt, der den Leseverstärker im geeigneten Zeitpunkt einschaltet. Der Auftastimpuls muß beendet sein, wenn durch die Rückflanke des Leseimpulses neue Störspannungen ausgelöst werden. Dieses Verfahren hat außerdem den Vorteil, daß der Leseverstärker beim Einschreiben die durch das Einschreiben einer Information erzeugten Impulse nicht aufnimmt, es ist ja kein Auftastimpuls vorhanden. Man kann auch einen der beiden Leseimpulse verspätet gegenüber dem anderen anlegen. Die jetzt erzeugten Störimpulse fallen dann zeitlich nicht mehr alle zusammen. Diese Maßnahme vergrößert jedoch die Zugriffszeit.

Werden integrierende Leseverstärker verwendet, so heben sich die durch die reversiblen Flußänderungen beim Aufstieg und Abfall des Leseimpulses entstehenden Störspannungen auf; es bleibt nur der Nutzimpuls. Solche Verstärker erfordern jedoch erheblichen Schaltungsaufwand. Ebenfalls wird die Zugriffszeit vergrößert, da die Information erst nach Ende des Leseimpulses zur Verfügung steht.

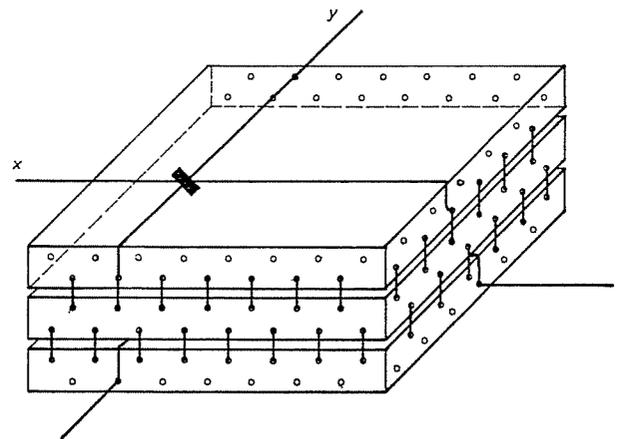
### 8.3.1.3. Mechanischer Aufbau der Matrizen und Blöcke

Die Kerne einer Matrix werden in einem Rahmen geflochten. Dieser Rahmen dient gleichzeitig zur Befestigung der Lötflächen. Die Rahmengröße ist der Kerngröße angepaßt. In einem Rahmen wird normalerweise nur eine Matrix geflochten, es sind jedoch auch mehrere Matrizen, z.B. vier, möglich. Üblich sind Speicher matrizen von der Größe 16 x 16 bis 128 x 128 Kerne.

Um das Zusammenschalten der einzelnen Matrizen zu einem Speicherblock zu erleichtern, sind die Lötflächen der X- und Y-Drähte jeweils in zwei übereinanderliegenden Reihen angeordnet. Ein X- oder Y-Draht verbindet stets eine

obenliegende Lötfläche auf der einen Seite mit einer untenliegenden Lötfläche auf der anderen Seite. Die Rahmen werden in zwei verschiedenen Ausführungen hergestellt. Zur Bildung eines Speicherblocks werden nun die verschiedenen Rahmen abwechselnd aufeinandergeschichtet. Die zur Reihenschaltung der X- und Y-Drähte notwendigen Lötflächen liegen dann unmittelbar übereinander und können im Lötbad miteinander verbunden werden.

### Zusammensetzung der Ebenen zu einem Speicherblock



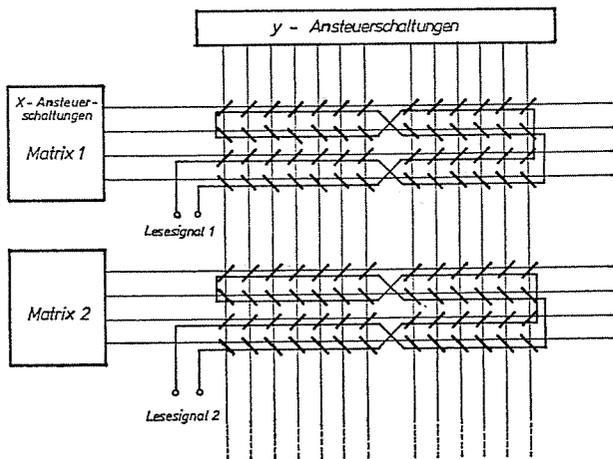
(Abb. 293)

### 8.3.2. Koinzidenzspeicher mit weniger als vier Drähten

Um den Flechtaufwand der Matrizen zu verringern, sind auch Koinzidenzspeicher mit weniger als vier Drähten gebaut worden. Beim Zweidraht-Koinzidenzspeicher verwendet man als Informations- und Lesedraht zusätzlich den X-Draht, d.h., daß der Ansteueraufwand erheblich steigt. **Jede Matrix eines Speicherblocks braucht einen X-Treiber pro X-Draht.** Bei 40 Speicher-ebenen werden also 40mal soviel X-Treiber benötigt, da ja der X-Draht außer der Adresse noch die Information bestimmt. Das Lesesignal auf dem X-Draht ist außerdem noch von einem Gleichspannungssignal überlagert. Beim Dreidraht-Koinzidenzspeicher wird zusätzlich zum X- und Y-Draht noch ein Lesedraht verwendet, der jedoch nicht diagonal geflochten zu werden braucht. Durch den zusätzlichen Lesedraht wird das Auslesen leichter.

Speicher dieser Technik erfordern hohen schaltungstechnischen Aufwand, die Kernspeichermatrizen werden jedoch billiger. Abb. 294 zeigt den Aufbau eines solchen Dreidraht-Koinzidenzspeichers; dieses Speicherprinzip wird auch  $2\frac{1}{2}$ -D-Verfahren genannt.

### Dreidraht-Koinzidenzspeicher mit X-, Y- und L-Draht

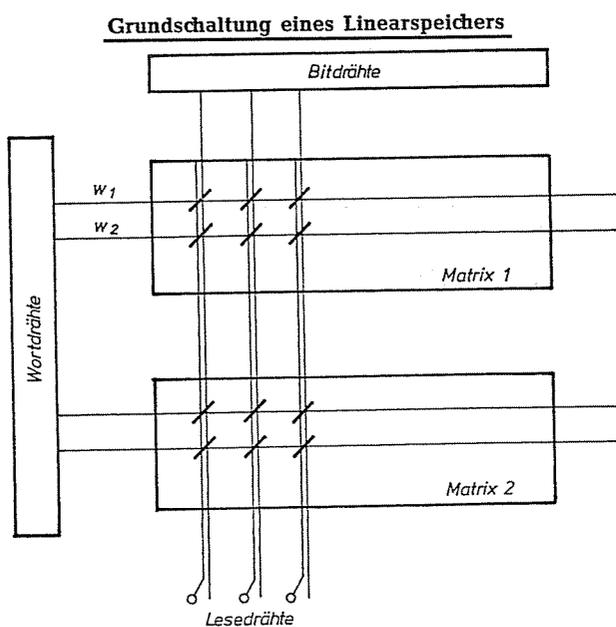


(Abb. 294)

### 8.3.3. Linearspeicher (Wortadressenspeicher)

#### 8.3.3.1. Aufbau des Linearspeichers

Bei der Realisierung von kleinen, aber sehr schnellen Kernspeichern wählt man den sogenannten Linearspeicher. **Die einzelnen Bits eines gespeicherten Wortes** sind daher nicht in den verschiedenen Ebenen eines Speicherblocks (je Matrix ein Bit), sondern **in einer Reihe in einer Matrix nebeneinander angeordnet**. Die Anzahl der Kerne einer Reihe ist damit durch die Anzahl der zu speichernden Bits bestimmt. **Die Reihe einer Matrix entspricht also einem Wort**. Die Wortkapazität des Speichers ist durch die Gesamtzahl der Reihen gegeben. Da hier nur in der X- und Y-Ebene die Speicherkerne angeordnet sind, wird dieses Verfahren auch als 2-D-Verfahren bezeichnet. Die Grundschaltung eines Linearspeichers zeigt Abb. 295.



(Abb. 295)

Die Kerne sind parallel angeordnet und werden von drei Drähten durchsetzt, dem Wortdraht in der X-Richtung, dem Informationsdraht (auch Bitdraht) in der Y-Richtung und parallel zum Informationsdraht von dem Lesedraht. Es sind soviele Lesedrähte wie Spalten pro Matrix vorhanden. Durch einen einzelnen Stromimpuls auf der Wortleitung wird die Information des gesamten Wortes ermittelt. Sollen mehrere Matrizen zu einem Speicherblock verbunden werden, so verbindet man nur die Informations- und Lesedrähte der einzelnen Matrizen miteinander, alle Wortdrähte bleiben ohne Verbindung untereinander.

#### 8.3.3.2. Einschreiben und Auslesen der Information

Zum Lesen eines Wortes wird nur auf der entsprechenden Wortleitung ein Leseimpuls gegeben. Da dieser nur die Kerne des zu lesenden Wortes durchsetzt, kann seine Amplitude wesentlich größer als  $I_m$  sein. Der Lesevorgang wird dadurch wesentlich beschleunigt. Die Ummagnetisierungszeit des Kerns ist ja von der Größe der erregten Feldstärke abhängig.

In der Leseleitung wird auch nur von dem einen, in der Spalte gelesenen Kern eine Spannung induziert, wobei die Lesesignale aller Spalten gleiches Vorzeichen haben. Dies bedeutet, daß der Leseverstärker sehr einfach aufgebaut werden kann.

**Das Einschreiben einer Information** muß jedoch auch beim Wortadressenspeicher nach dem **Koinzidenzprinzip** vorgenommen werden. Das Einschreiben erfolgt durch einen gleichzeitigen Impuls auf der Wort- und auf der Informationsleitung; zum Einschreiben sind mehrere Verfahren anzuwenden.

Beim **Augmentverfahren** wird durch den Wortdraht ein Impuls  $+I_m/2$  gegeben und die Kerne, die eine „Eins“ speichern sollen, werden durch den Informationsdraht zusätzlich mit  $+I_m/2$  beaufschlagt. Die durch die Ströme hervorgerufenen Feldstärken addieren sich. Man kann aber auch einen vollen Schreibimpuls  $I_m$  durch den Wortdraht schicken und diejenigen Kerne, die eine „Null“ speichern sollen, erhalten zusätzlich einen negativen Informationsimpuls  $-I_m/2$ . Dieses Verfahren wird **Inhibitverfahren** genannt.

Diese **beiden Verfahren** können miteinander **kombiniert** werden. Ein Schreibimpuls  $+2I_m/3$  durchfließt den Wortdraht. Soll nun eine „Eins“ eingeschrieben werden, so fließt  $+I_m/3$  durch

den Informationsdraht. Soll jedoch eine „Null“ eingeschrieben werden, so wird ein negativer Impuls  $-I_m/3$  auf dem Informationsdraht gegeben. Nicht zu schreibende Kerne werden bei diesem Verfahren nur durch  $I_m/3$ -Impulse gestört, was zu einem wesentlich besseren Verhältnis zwischen Nutz- und Störsignal führt.

Um die Einschreibgeschwindigkeit zu erhöhen, werden auch häufig das Augmentverfahren und das Inhibitverfahren folgendermaßen kombiniert. Der Schreibimpuls beträgt  $I_m$  und die Informationsimpulse  $-I_m/2$  bei „Null“ und  $+I_m/2$  bei „Eins“. Das Einschreiben der „Eins“ erfolgt jetzt mit  $3I_m/2$ , so daß die Einschreibgeschwindigkeit erhöht wird. Die Kerne werden allerdings jetzt wieder durch  $I_m/2$ -Impulse gestört.

Eine weitere Variante ist der Betrieb mit Vormagnetisierung. Hier wird durch einen weiteren, parallel zum Wortdraht geführten Draht ein ständiger Vormagnetisierungsstrom von der Größe  $-I_m/3$  geführt. Zum Einschreiben einer „Eins“ wird ein Wortimpuls  $2I_m/3$  und ein Informationsimpuls  $2I_m/3$  erforderlich, beim Einschreiben der „Null“ bleibt der Informationsdraht stromlos. Auch bei diesem Verfahren ergibt sich wieder ein sehr gutes Verhältnis zwischen Nutz- und Störsignal. Zusätzlicher Vorteil ist die gleiche Polarität und Größe der Wort- und Informationsimpulse. Will man auch hier die Schreibgeschwindigkeit erhöhen, so wird ein Vormagnetisierungsstrom von  $I_m/2$  bei gleichen Wort- und Informationsimpulsen von  $2I_m/2$  gewählt. Geschrieben wird dann mit  $3I_m/2$ .

In der nachfolgenden Tabelle sind die verschiedenen Verfahren zum Einschreiben der Information noch einmal zusammengestellt.

**Impulse beim Schreiben**

	Impuls auf dem Wortdraht	Impuls auf dem Informationsdraht		Gesamtstrom	
		„Eins“	„Null“	„Eins“	„Null“
Augmentverfahren	$+I_m/2$	$+I_m$	—	$+I_m$	$+I_m/2$
Inhibitverfahren	$+I_m$	—	$-I_m/2$	$+I_m$	$+I_m/2$
Augment-Inhibitverfahren ( $I_m/3$ -Methode)	$+2I_m/3$	$+I_m/3$	$-I_m/3$	$+I_m$	$+I_m/3$
Augment-Inhibitverfahren ( $I_m/2$ -Methode)	$I_m$	$+I_m/2$	$-I_m/2$	$+3I_m/2$	$+I_m/2$
Augment-Inhibitverfahren mit Vormagnetisierung	$J_m/3$ $J_m/2$	$2I_m/3 + (-I_m/3)$ $I_m + (-I_m/2)$	$2I_m/3$ $I_m$	$+I_m$ $+3I_m/2$	$+I_m/3$ $+I_m/2$

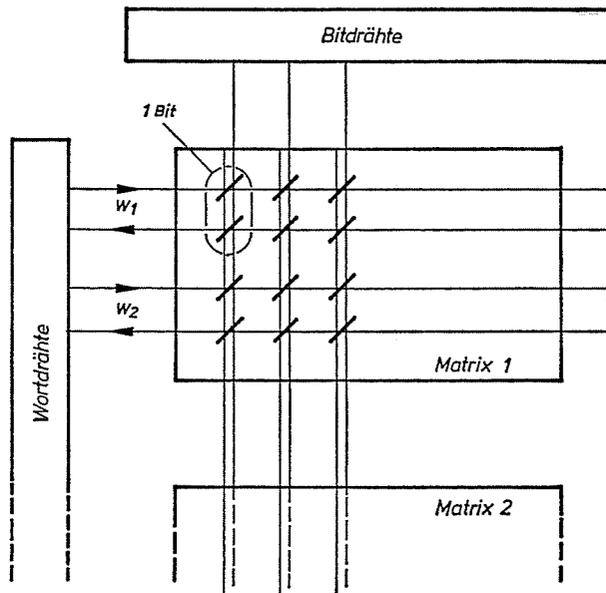
Tabelle 68

**8.3.3.3. Wortadressenspeicher mit zwei Kernen je Bit**

Werden bei Wortadressenspeichern für jedes zu speichernde Bit zwei Kerne gewählt, so ergeben sich weitere Vorteile gegenüber einfachen Linearspeichern. Den Aufbau eines solchen Speichers zeigt Abb. 296.

Nach einem Leseimpuls durch den Wortdraht befindet sich der eine der beiden Kerne je Bit im Remanenzpunkt  $-B_r$ , der andere im Punkt  $+B_r$ . Sie sind also unterschiedlich magnetisiert; dies ist der Ausgangszustand. Beim Einschreiben wird über den Informationsdraht und über

**Wortadressenspeicher mit zwei Kernen je Bit**



(Abb. 296)

den Wortdraht gleichzeitig ein Strom geleitet. In dem einen Kern addieren sich die erzeugten magnetischen Felder, in dem anderen subtrahieren sie sich. Die Stromrichtung in dem Informationsdraht wird durch die Information bestimmt, die eingeschrieben werden soll. Nach

dem Einschreiben einer „Eins“ befinden sich beide Kerne im Remanenzpunkt  $+B_r$ , nach dem Einschreiben einer „Null“ werden beide Kerne im Remanenzpunkt  $-B_r$  vorgefunden.

Wird gelesen, so stellt der Stromimpuls auf der Wortleitung wieder den Ausgangszustand her. War eine „Eins“ eingeschrieben, so kippt der eine Kern von  $+B_r$  wieder nach  $-B_r$ ; es ergibt sich ein positiver Leseimpuls auf der Leseleitung. Der andere Kern bleibt unverändert bei  $+B_r$ . War eine „Null“ gespeichert, also beide Kerne am Remananzpunkt  $-B_r$ , so treibt der Leseimpuls auf der Wortleitung den anderen Kern von  $-B_r$  nach  $+B_r$ ; es ergibt sich ein nega-

tiver Impuls auf der Leseleitung. Beim Lesen bedeutet also ein positiver Impuls eine „Eins“, ein negativer eine „Null“. Die nachfolgende Tabelle zeigt noch einmal die Arbeitsweise eines Speichers mit zwei Kernen je Bit.

Zeile und Spalte das Wort selektiert ist, müssen doch die X-Drähte der einzelnen Matrizen getrennt angesteuert werden, da sie die zu schreibende Information bestimmen. Bei 64 Spalten, 64 Reihen und 10 Ebenen (also ebenfalls 4096

	vor dem Impuls		nach dem Impuls		Lesesignal
	Kern A	Kern B	Kern A	Kern B	
Schreiben „Eins“	$-B_r$	$+B_r$	$+B_r$	$+B_r$	negativer Impuls
Schreiben „Null“	$-B_r$	$+B_r$	$-B_r$	$-B_r$	positiver Impuls
Lesen „Eins“	$+B_r$	$+B_r$	$-B_r$	$+B_r$	positiver Impuls
Lesen „Null“	$-B_r$	$-B_r$	$-B_r$	$+B_r$	negativer Impuls

Tabelle 69

Beide Informationen, „Eins“ und „Null“, ergeben bei diesem Verfahren einen Leseimpuls, jedoch von unterschiedlicher Polarität. Fehlt ein Ausgangssignal, so wird eine Störung angezeigt. Da beim Schreiben und Lesen grundsätzlich pro Bit ein Kern umgeschaltet wird, ergeben sich einfache Treiberschaltungen.

### 8.3.4. Vor- und Nachteile der einzelnen Kernspeichersysteme

#### 8.3.4.1. Koinzidenzsystem mit vier Drähten je Kern

Hauptvorteil dieses Systems ist, daß die Kerne durch ihre Anordnung nicht nur zum Speichern, sondern auch zur Auswahl der Speicherzellen ausgenutzt werden können. Die Ansteuerschaltungen, die einen beträchtlichen Teil der Kosten eines Kernspeichers ausmachen, sind relativ gering. Bei  $z$ -Ebenen aus  $x \cdot y$ -Kernen müssen  $x + y + z$  Drähte angesteuert werden, nämlich die Spalten-, Zeilen- und Informationsdrähte. Bei einem Speicherblock aus 10 Ebenen von Matrizen zu 64 Spalten und 64 Zeilen sind 138 Drähte anzusteuern, wobei insgesamt 4096 Wörter je 10 Bits gespeichert werden können.

Nachteilig ist bei diesem System, daß das Flechten der Matrizen aufwendig und kostspielig ist. Die Kerne müssen alle sehr einheitlich und die Treiberströme eng toleriert sein. Die Leseverstärker erfordern großen Aufwand, da große Störsignale das eigentliche Lesesignal verfälschen. Andere Kernspeichersysteme sind auch schneller. Trotzdem wird das Vierdrahtkoinzidenzsystem am häufigsten verwendet.

#### 8.3.4.2. Koinzidenzsystem mit weniger als vier Drähten je Kern

Die bei diesem System verwendeten Matrizen erfordern geringeren Aufwand beim Flechten, jedoch steigt der Aufwand bei den Ansteuerschaltungen. Obwohl durch die Angabe der

Wörtern je 10 Bits) sind  $10 \times 64$  x-Drähte und 64 Y-Drähte, insgesamt also 704 Drähte, anzusteuern. Bei sehr großen Speicherkapazitäten sind durch die geringen Kosten für die Matrizen diese Speicher trotzdem wirtschaftlicher.

### 8.3.4.3. Linearspeicher

Linearspeicher ermöglichen sehr schnelle Kernspeicher. Die Matrizen sind sehr einfach verdrahtet und die Leseverstärker unkompliziert. Werden zwei Kerne je Bit verwendet, so verringert sich der Aufwand für die Leseverstärker noch einmal.

Der Linearspeicher kann im Gegensatz zum Koinzidenzspeicher auch in der Wortrichtung leicht erweitert werden. Wesentlicher Nachteil dieser Speicher ist die hohe Zahl an Ansteuerschaltungen. Sollen auch hier 4096 Wörter je 10 Bits gespeichert werden, so muß man 4096 Wortleitungen und 10 Bitleitungen, also insgesamt 4106 Leitungen ansteuern. Linearspeicher sind wirtschaftlich bei schnellen Speichern geringer Kapazität und großer Bitzahl pro Wort; sie finden z.B. als Pufferspeicher bei EDV-Anlagen Anwendung.

## 8.4. Auswahlhaltungen zur Adressen-ansteuerung

### 8.4.1. Auswahlhaltungen mit Schaltern und Dioden

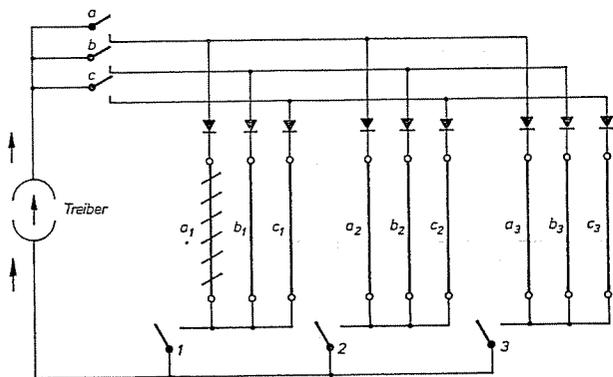
Die X- und Y-Drähte eines Speichers müssen zum Lesen und Schreiben einer Information von Stromimpulsen durchflossen werden. Die Auswahlhaltungen der Adressen-ansteuerung haben die Aufgabe, in Abhängigkeit von der angegebenen Adresse die entsprechenden Spalten- und Zeilendrähte auszuwählen und den richtigen Stromtreiber zu erregen, so daß ein Strom vorgegebener Größe, Polarität und Dauer fließt. Die Art der Ansteuer- und Auswahlhaltungen ist abhängig von der Größe des Speichers, von der verlangten Geschwindigkeit und dem Betriebstemperaturbereich und daher sehr



Der Aufwand an Schaltelementen, besonders hinsichtlich der Stromtreiberschaltungen, ist bei einer solchen Art der Ansteuerung sehr groß. Bei einer Matrix von 64 x 64 Kernen werden schon 128 Treiber benötigt, hinzu kommen die UND-Schaltungen und die Entschlüsselungsmatrix. Bei jedem Lese- und Schreibvorgang arbeitet nun nur ein Spalten- und ein Zeilentreiber. Es liegt also nahe, nur einen oder doch nur einige **wenige Treiber für einen Speicherblock** zu verwenden. Hinzukommt, daß die Zeilen- und Spaltenströme aller Kerne dann genau gleich sind. **Besondere Stromschalter**, gesteuert von der Entschlüsselung, entscheiden jetzt, durch **welche Zeile und Spalte** und **in welcher Richtung** der Strom fließen soll. Als **Stromschalter** werden überwiegend **Transistoren** eingesetzt. **Dioden** werden zusätzlich zur **Entkopplung** herangezogen. Beim Hintereinanderschalten der Stromschaltertransistoren treten **Potentialschwierigkeiten** auf, so daß zur Ansteuerung dieser Transistoren **Trenntransformatoren** notwendig werden.

Abb. 298 zeigt eine Adressenansteuerung mit Schaltern und Dioden.

Adressenansteuerung mit Schaltern und Dioden

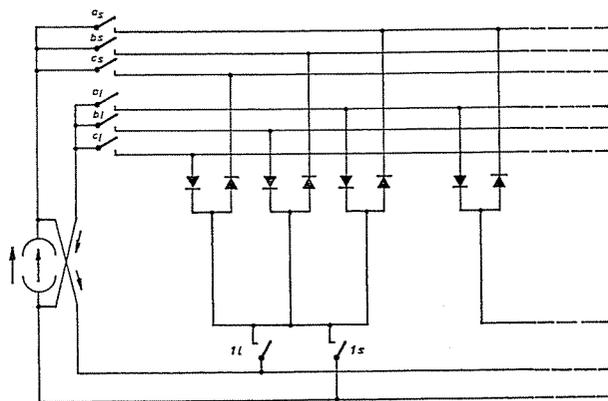


(Abb. 298)

Die dicken Leitungen kennzeichnen eine Y-Leitung, auf der Kerne aufgefädelt sind. Die gezeichneten 9 Spalten sind zu je drei zusammengefaßt. Es ist ein Treiber vorhanden, und sechs Kontakte symbolisieren die Transistorschalter. Durch Schließen je eines der Kontakte a, b oder c und 1, 2 oder 3 wird genau eine der 9 Spalten mit dem Treiber verbunden, so daß Treiberstrom fließen kann. Sind die Schalter a und 1 geschlossen, so wird die Spalte 1 ausgewählt. Die Dioden sind zur Entkopplung notwendig, da sonst z.B. auch über a2 — b2 — b1 Strom fließen würde.

Abb. 299 zeigt die Erweiterung der Schaltung für beide Stromrichtungen.

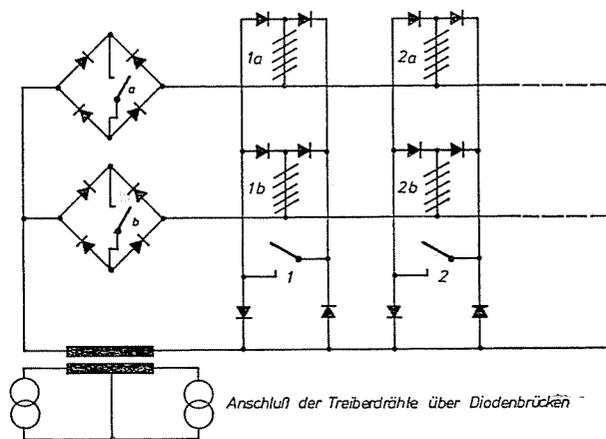
Adressenansteuerung mit Schaltern und Dioden für beide Stromrichtungen



(Abb. 299)

Die Anzahl der Schalter und Dioden hat sich verdoppelt. Auf diese Weise kann der Strom des Treibers in beiden Richtungen durch die X- und Y-Drähte geleitet werden. Bemerkenswert ist, daß durch die Zusammenfassung der Spalten bzw. Zeilen zu Gruppen ein Teil der Entschlüsselung vollzogen wird. Bei 9 Spalten sind nur noch  $2 \times \sqrt{9} = 2 \times 3 = 6$  Schalter notwendig. Wird ein Teil der Stromschalter in Diodenbrücken eingefügt (Abb. 300), so kann die Zahl der notwendigen Transistoren verringert werden, die Zahl der Dioden nimmt zu. Die Ansteuerung der Transistoren muß auch hier über Trenntransformatoren erfolgen. Sind die Schalter 2 und b geschlossen, so durchsetzt der vom Stromtreiber induzierte Impuls je nach Polarität den Treiberdraht 2b in einer Richtung. Für das „Lesen“ und das „Schreiben“ ist jeweils ein eigener Stromtreiber notwendig. Das Umschalten von „Lesen“ auf „Schreiben“ erfolgt bei gleicher Spalte und gleicher Zeile nur durch Umschalten der Stromgeneratoren. Abb. 300 zeigt das Prinzip der Diodenbrückenschaltung.

Anschluß der Treiberdrähte über Diodenbrücken



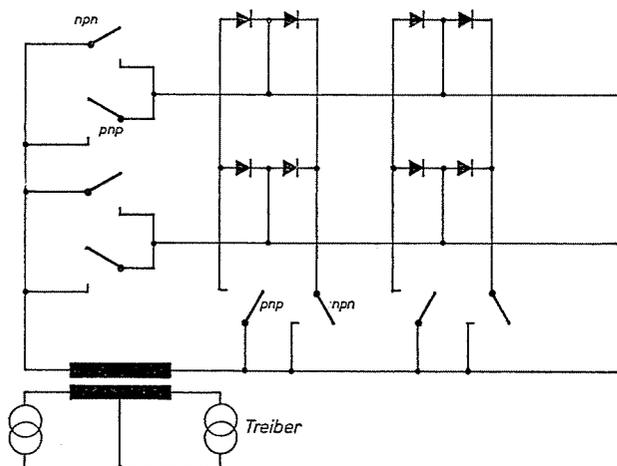
Anschluß der Treiberdrähte über Diodenbrücken

(Abb. 300)

Eine Variante der Diodenbrückenschaltung ergibt der Einsatz von NPN- und PNP-Transistoren. Die Hälfte der Schalttransistoren kann dann ohne Trenntransformatoren angesteuert werden.

Wie bei der Gruppenmethode ist auch hier zwischen „Lesen“ und „Schreiben“ umzuschalten. Dies bedeutet zusätzlichen Zeitaufwand gegenüber der Brückenmethode. Abb. 301 zeigt eine Auswahl-schaltung mit PNP- und NPN-Transistoren.

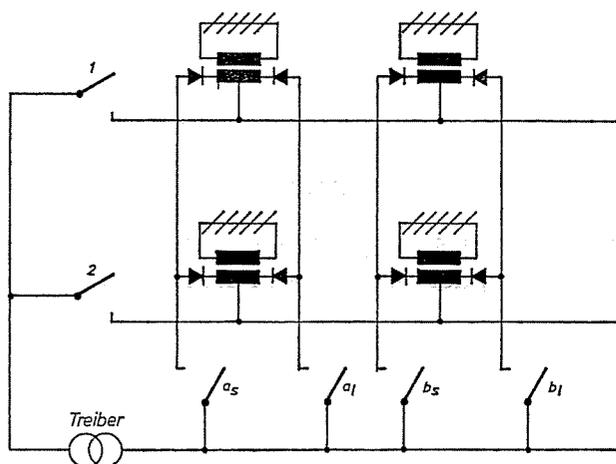
#### Anschluß der Treiberdrähte über PNP- und NPN-Transistoren



(Abb. 301)

Weitere Vorteile gegenüber bisher beschriebenen Schaltungen bringt der Einsatz von Symmetrietransformatoren; Abb. 302 zeigt eine derartige Schaltung.

#### Anschluß der Treiberdrähte über Transformatoren



(Abb. 302)

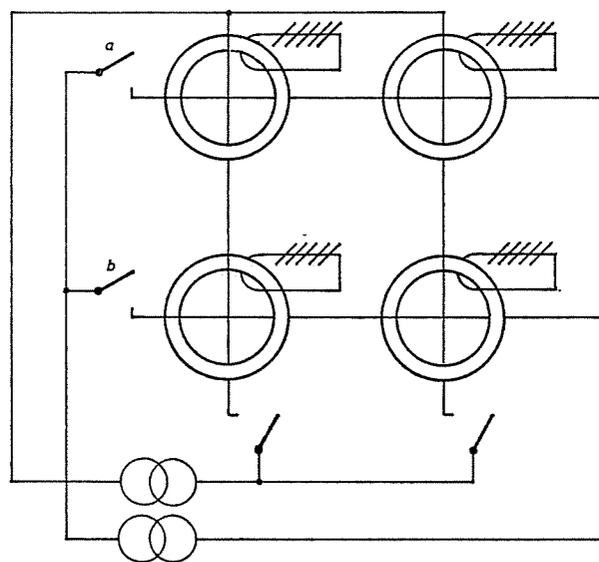
Durch eine entsprechende Auslegung der Über-träger läßt sich eine optimale Anpassung an die Transistorschaltung erzielen.

### 8.4.2. Auswahl-schaltungen mit Schaltkernen

Der Aufwand an Bauelementen für die Adres-sen-ansteuerung läßt sich weiter vermindern, wenn zur Auswahl der Zeilen und Spalten **Schaltmatrizen, auch Wählermatrizen genannt**, verwendet werden. Die Ringkerne einer solchen Matrix werden hier nicht zum Speichern, sondern zum Schalten benutzt. Beim Umklappen eines Schaltkerns wird in einer Ausgangswicklung eine Spannung induziert, die zur Erzeugung eines Stroms in einer Treiberleitung auszunutzen ist. Da ein Schaltkern mehrere Speicherkerne umschalten muß, verwendet man Kerne mit größerem Querschnitt. Es werden auch Kerne aufeinander gestapelt und gemeinsam bewickelt, wobei die Wicklung mehrere Windungen haben kann. Damit läßt sich eine optimale Anpassung an den Strom- und Span-nungsbedarf des Kernspeichers erzielen.

Zur Ansteuerung der Schaltmatrizen sind drei, dem Koinzidenzprinzip ähnliche Verfahren be-kannt. Beim sogenannten **Antikoinzidenzprinzip** befinden sich sämtliche Kerne anfangs im nega-tiven Remanenzzustand.

#### Anschluß der Treiberdrähte über eine Schaltkernmatrix



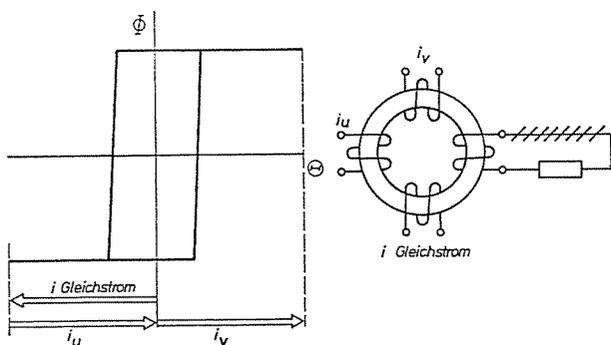
(Abb. 303)

Zur Erzeugung eines Leseimpulses werden nun durch alle Spalten der Schaltmatrix negative Stromimpulse geschickt, ausgenommen ist die ausgewählte Spalte. Durch den ausgewählten Zeilendraht wird gleichzeitig ein positiver Stromimpuls gegeben, so daß der ausgewählte Kern ummagnetisiert wird; er liefert einen Ausgangsimpuls. Die durch den Erregerstrom hervorgerufene magnetische Durchflutung wird

sehr groß gewählt, größer als zum Ummagnetisieren erforderlich ist. Der Überschuß an Durchflutung kann dann zur Ummagnetisierung der Speicherkerne verwendet werden.

Ein Einschreibimpuls entsteht, wenn alle Spalten einen negativen Stromimpuls erhalten. Die Zeilendrähte bleiben stromlos. Der vorher beim Lesen erregte Kern wird wieder in die negative Remanenzlage zurückgebracht und ergibt den erforderlichen, dem Leseimpuls entgegengesetzten Schreibimpuls. Bei der **Ansteuerung mit Gleichstromvormagnetisierung** werden alle Kerne durch eine vierte Wicklung so vormagnetisiert, daß sie sich weit in der negativen Sättigung befinden.

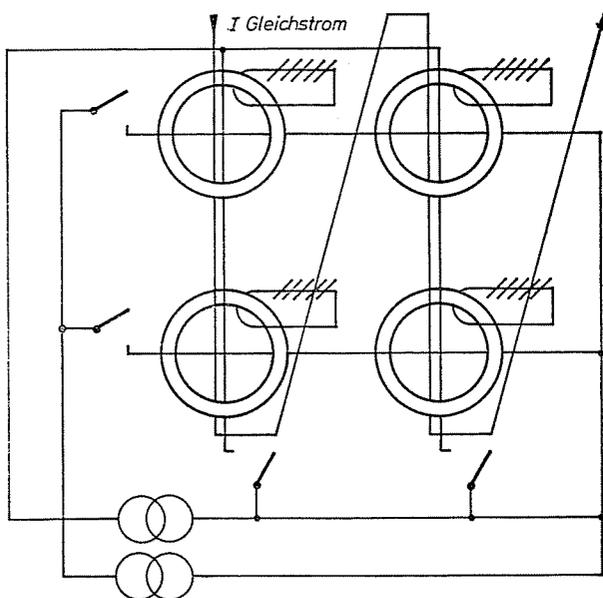
#### Schaltkern mit Gleichstromvormagnetisierung



(Abb. 304)

Die beiden Koordinatenströme  $I_u$  und  $I_v$  werden so gewählt, daß nur die Summe beider den Kern in die positive Sättigung bringen kann. Die Kerne sind wesentlich weiter auszusteuern als

#### Schaltkernmatrix mit Vormagnetisierung

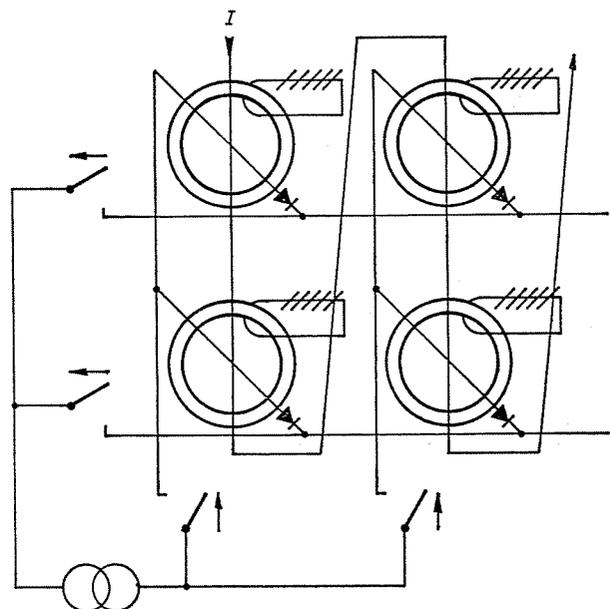


(Abb. 305)

beim Koinzidenzverfahren. Werden die Koordinatenströme  $I_u$  und  $I_v$  abgeschaltet, so wird der Kern durch die Vormagnetisierung in die negative Remanenzlage zurückgeschaltet. Es entsteht ein Stromimpuls in der Ausgangswicklung, der zum Wiedereinschreiben der Information verwendet wird. Ein Widerstand im Sekundärkreis erzwingt eine von der Anzahl der umgeschalteten Speicherkerne unabhängige Amplitude des Stroms. Abb. 305 zeigt eine solche Schaltkernmatrix mit Vormagnetisierung.

Bei den beiden bis jetzt beschriebenen Verfahren mit Schaltkernmatrizen ergeben sich Störimpulse auf nicht ausgewählten Leitungen durch die mit Teilströmen erregten Kerne. Diese **Störimpulse können durch eine Kombination einer Schaltkernmatrix mit einer Diodenmatrix vermieden werden**. Abb. 306 zeigt das Grundsätzliche einer solchen Aussteuermatrix.

#### Anschluß der Treiberdrähte über eine Schalt- und Diodenmatrix



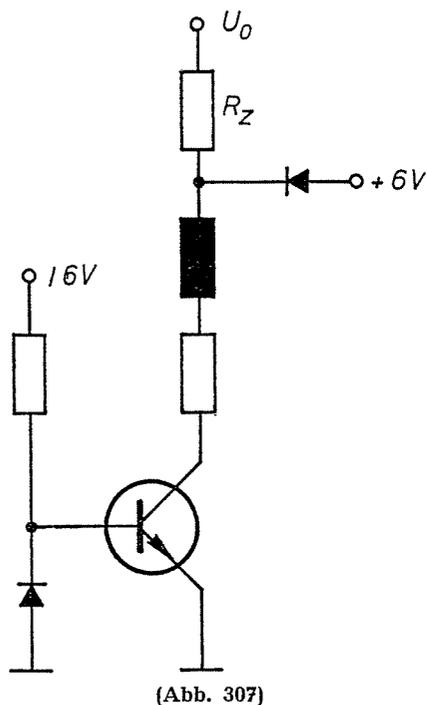
(Abb. 306)

Hierbei wird mit Vormagnetisierungsstrom gearbeitet, der alle Kerne in die negative Sättigung zwingt. Durch eine entsprechende Kombination von Spalt- und Zeilenschalter wird ein Kern ausgewählt und durch einen Stromimpuls in die positive Sättigung gebracht; es entsteht ein Leseimpuls. Ist der Stromimpuls zu Ende, so geht durch die Vormagnetisierung der Schaltkern wieder in die negative Sättigung; es entsteht ein Schreibimpuls. Da bei diesem Verfahren nur der ausgewählte Kern von einem Stromimpuls durchflossen wird, entsteht kein Störimpuls in der Schaltkernmatrix.

### 8.4.3. Stromtreiber

Die von den Treiberstufen gelieferten **Stromimpulse müssen** in der Anstiegszeit und in der Amplitude **ziemlich eng tolerierte, feste Werte** haben. Die Anstiegszeit beeinflusst die Schaltzeit des Kerns, die entstehende Störspannung in der Matrix und die induktive Gegenspannung nicht voll ausgewählter Kerne. Die Amplitude ist bei dem Koinzidenzprinzip durch die Form der Hystereseschleife vorgegeben. Da die Hystereseschleife temperaturabhängig ist, wird der Speicher entweder auf gleicher Temperatur gehalten, oder der Treiberstrom wird temperaturabhängig gemacht. Als Treiber werden meistens Leistungstransistoren benutzt. In dem Kollektorkreis liegt dann über den Transistorschaltern die Adressenleitung. Durch einen Zusatzwiderstand  $R_z$  wird der Einfluß der Induktivität der Kerne vermindert. Der Treibertransistor wird häufig über einen Übertrager angesteuert; das ergibt kurze Anstiegs- und Abfallzeiten des Impulses.

Einfache Treiberschaltung

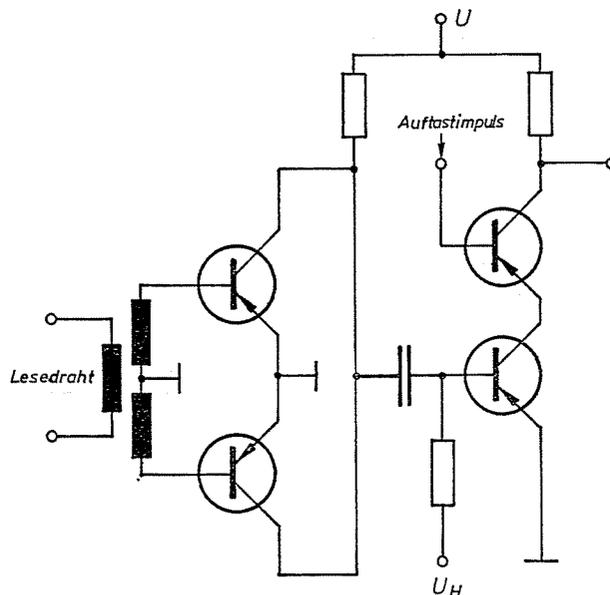


### 8.4.4. Leseverstärker

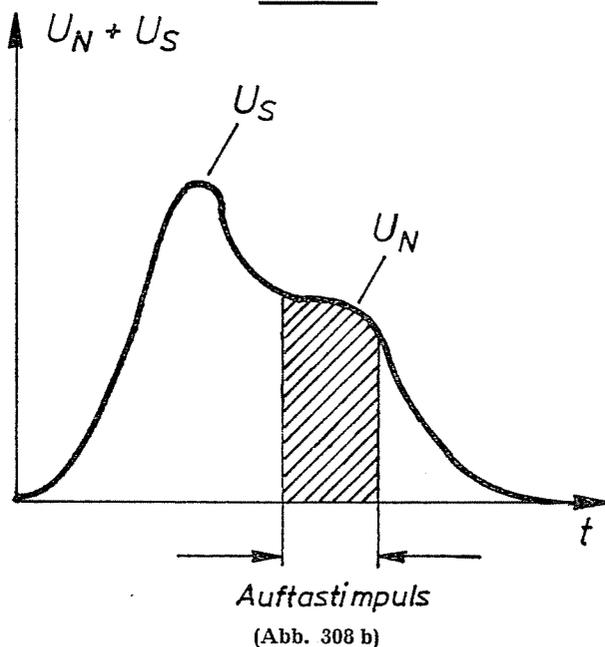
Besonderen Aufwand erfordert der Aufbau von Leseverstärkern. Beim Vierdrahtkoinzidenzverfahren erscheint nicht nur das Nutzsignal des ausgewählten Kerns, sondern auch die Störspannung aller halberregten Kerne. Bei einer Matrix von  $64 \times 64$  Kernen sind dies  $128 \cdot 2 = 126$  Störsignale. Trotz geschickter Fädung des Lesedrahtes kompensieren sich die Störsignale nicht vollständig. Der Leseverstärker muß das

Nutzsignal vom Störsignal trennen, außerdem auch häufig die Lesespannung gleichrichten, da beide Polaritäten auftreten können. Abb. 308 a zeigt das Prinzip eines einfachen Leseverstärkers.

Einfacher Leseverstärker



Leseimpuls



Trifft ein Leseimpuls ein, so wird je nach Polarität einer der beiden parallelgeschalteten Eingangstransistoren aufgesteuert. Die verstärkte Lesespannung geht aber nur dann über den Kondensator auf den nächsten Transistor, wenn sie die Vorspannung  $U_H$  überwindet. Hierdurch ist ein **Schwellwert** gegeben, den die Lesespannung überschreiten muß. Störspannungen mit geringerer Amplitude werden unterdrückt. Es ergibt

sich auch nur dann eine Spannung am Ausgang, wenn durch einen **Auftastimpuls** der Arbeitswiderstand angeschaltet wird. Der Auftastimpuls trifft ein, wenn die **Störspannung abgeklungen** ist und der **Nutzimpuls seinen größten Wert** erreicht hat.

### 8.5. Speicherzyklus

Da durch das Lesen die Information eines Speicherkerns zerstört wird, muß sie nach dem Lesen wieder neu eingeschrieben werden. Andererseits ist vor jedem Einschreiben einer neuen Information die Speicherzelle vorher zu löschen. Soll in den Kern, in dem eine „Eins“ gespeichert ist, eine „Null“ eingespeichert werden, so ist durch einen Leseimpuls der Kern in den Nullzustand zu bringen, da er beim Schreiben

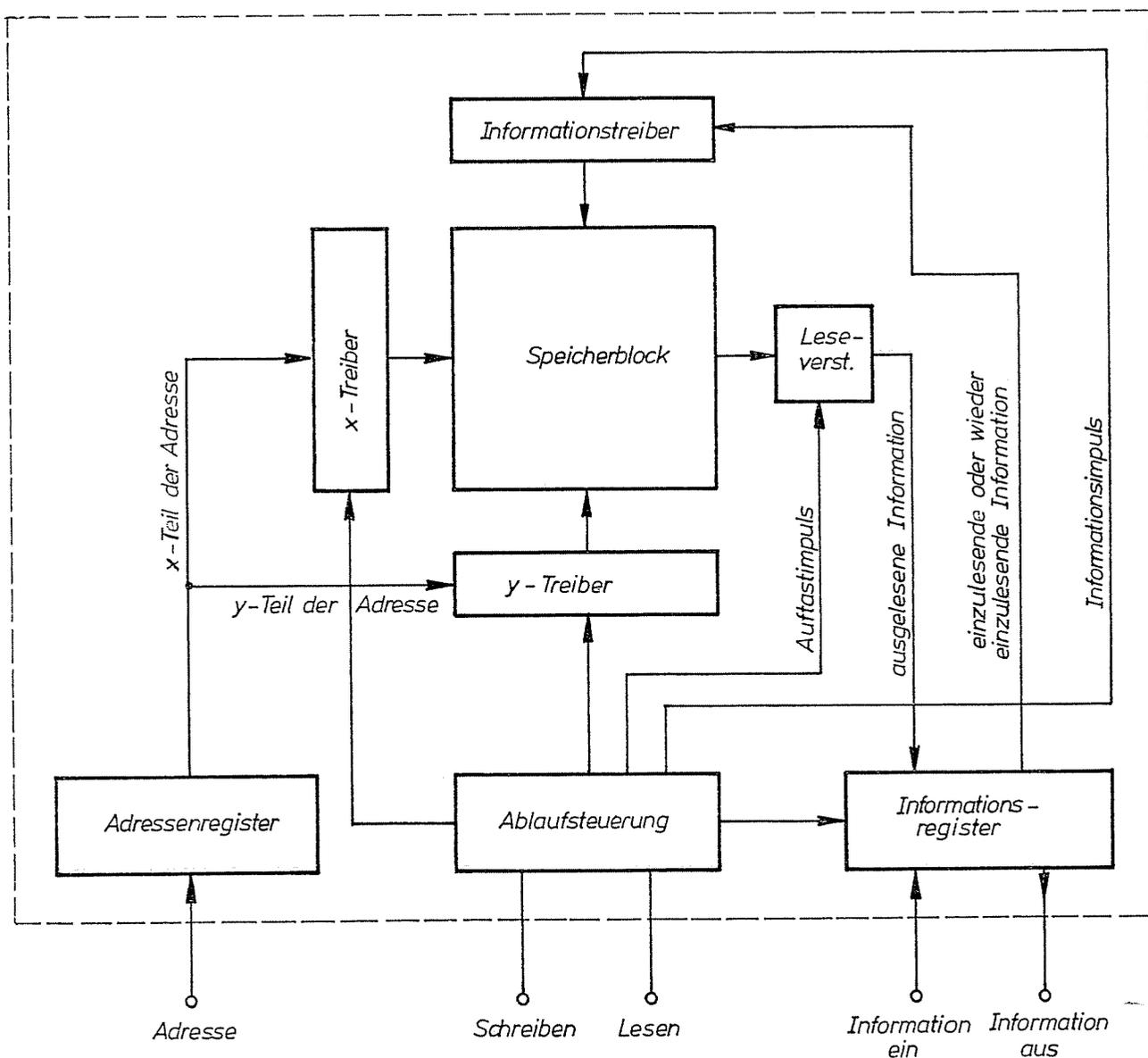
ja nur mit Halbstrom erregt wird, und die „Eins“ sonst erhalten bliebe. Es wird also beim „Einschreiben“ und beim „Auslesen“ einer Information grundsätzlich zuerst gelesen bzw. gelöscht und dann geschrieben.

Diese Folge nennt man Speicherzyklus, die benötigte Zeit Zykluszeit. **Die Zykluszeit ist ein gutes Maß für die Arbeitsgeschwindigkeit eines Kernspeichers.**

### 8.6. Gesamtaufbau eines Kernspeichers

In Abb. 309 ist ein möglicher Gesamtaufbau eines Kernspeicherwerks im Koinzidenzprinzip im Blockschaltbild dargestellt. In der Mitte ist der eigentliche Speicherblock, links davon die Adressenansteuerung. Die Adressenansteuerung

Gesamtaufbau eines Kernspeicherwerks



(Abb. 309)

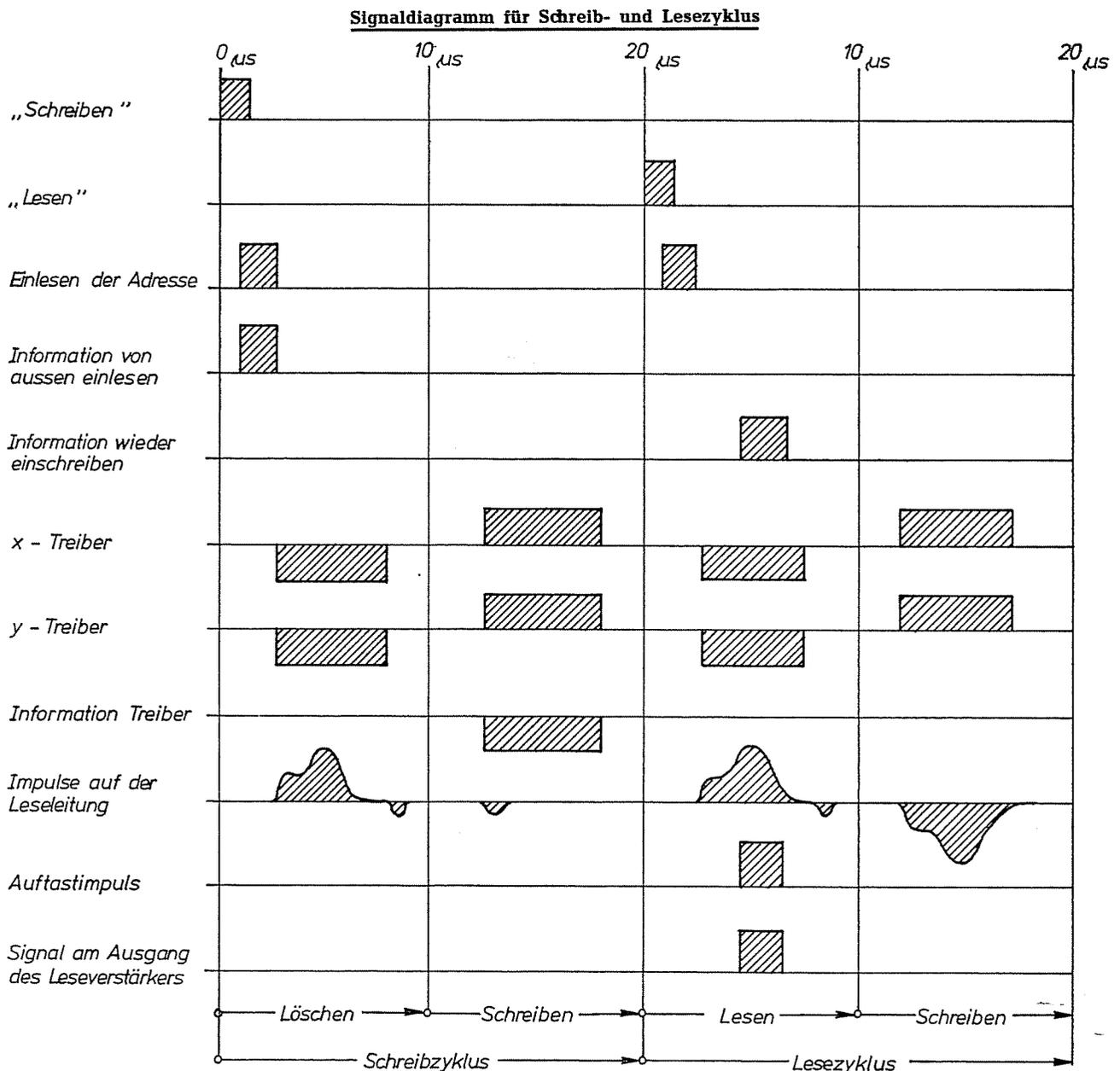
erung besteht aus dem Adressenregister und der Entschlüsselung mit der Auswahlhaltung. Rechts befindet sich die Informationssteuerung; sie besteht aus dem Speicherregister, den Informationstreibern und den Leseverstärkern. Auf alle Teile wirkt die Ablaufsteuerung ein; sie sorgt für die richtigen Zeitabstände aller Vorgänge.

Von außen wird durch das Signal „Lesen“ oder „Schreiben“ ein entsprechender Speicherzyklus veranlaßt. Gleichzeitig muß die Adresse anliegen und — im Falle des Schreibens — auch die Information. Abb. 310 zeigt das Impulsdiagramm eines Schreib- und Lesezyklus. Die Zykluszeit beträgt hier  $20 \mu\text{s}$ .

Zu Beginn wird durch das Signal „Schreiben“ ein Zyklus eingeleitet und dann die Adresse

und die Information eingelesen. Hiernach löscht ein Leseimpuls auf der X- und Y-Leitung die Speicherzelle. Durch das Fehlen des Auftastimpulses für den Leseverstärker wird keine Information in das Speicherregister eingelesen; dann folgt der Schreibvorgang. Es soll eine „Null“ eingeschrieben werden, deshalb ein Stromimpuls auf der Informationsleitung.

Der Lesezyklus wird mit dem Signal „Lesen“ eingeleitet; er läuft ähnlich wie der Schreibzyklus ab. Hier wird aber zur Zeit des größten Leseimpulses der Leseverstärker aufgesteuert, so daß die gelesene Information in das Speicherregister eingegeben und beim Rückschreiben die im Speicherregister enthaltene Information wieder zurückgeschrieben wird, hier eine „Eins“. Der Informationstreiber wird also nicht erregt.



(Abb. 310)

## 8.7. Ferritkern als Schaltelement

### 8.7.1. Anforderungen an Schaltkerne

Ferritkerne mit rechteckiger Hystereseschleife lassen sich nicht nur zur Speicherung verwenden, sie können auch in verschiedenen Digital-schaltungen vorteilhaft eingesetzt werden. **Durch sie können z.B. Schaltungsabschnitte potentialfrei miteinander verbunden, logische Verknüpfungen erzielt und auch Schieberegister und Zählstufen mit Schaltkernen aufgebaut werden. Schaltkerne haben eine praktisch unbegrenzte Lebensdauer und eine hohe Zuverlässigkeit.**

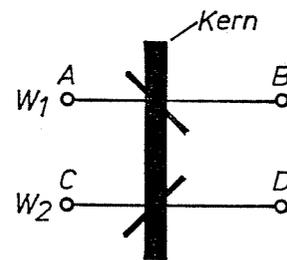
In fast allen Anwendungsgebieten soll beim Schaltkern ein möglichst großer magnetischer Fluß mit wenig Energieaufwand umgeschaltet werden. Schaltkerne sollen daher eine **hohe Remanenz und eine kleine Koerzitivfeldstärke** haben. Auch müssen fast immer mehr als eine Wicklung mit mehreren Windungen aufgebracht werden. Sie sind aus diesen Gründen oft größer als Speicherkerne; Durchmesser zwischen 2 und 14 mm sind üblich. Die Schaltzeit der Kerne ist

wenig interessant, bei einigen Anwendungen werden sogar bewußt lange Schaltzeiten gefordert, um z.B. Störimpulse zu unterdrücken.

### 8.7.2. Schaltzeichen

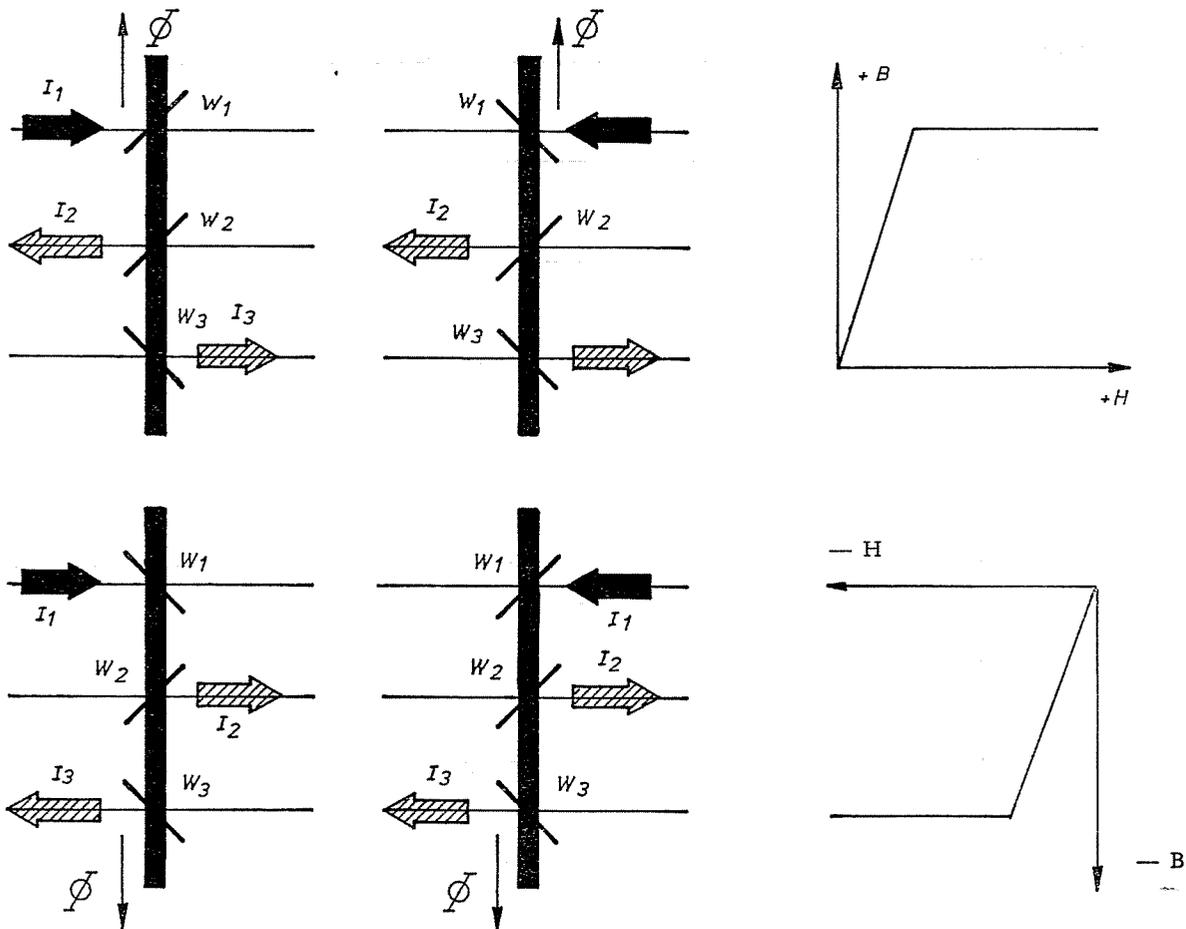
Für Schaltkerne gibt es ein eigenes Schaltsymbol. In Abb. 311 stellt der senkrechte Strich den eigentlichen Kern dar, die Querstriche symbolisieren die Wicklungen, und die Neigung der Querstriche läßt den Wicklungssinn der einzelnen Wicklungen erkennen. Die Richtung der durch einen Erregerstrom hervorgerufenen In-

Schaltsymbol eines Schaltkerns



(Abb. 311)

Karnaugh-Spiegelsymbolik



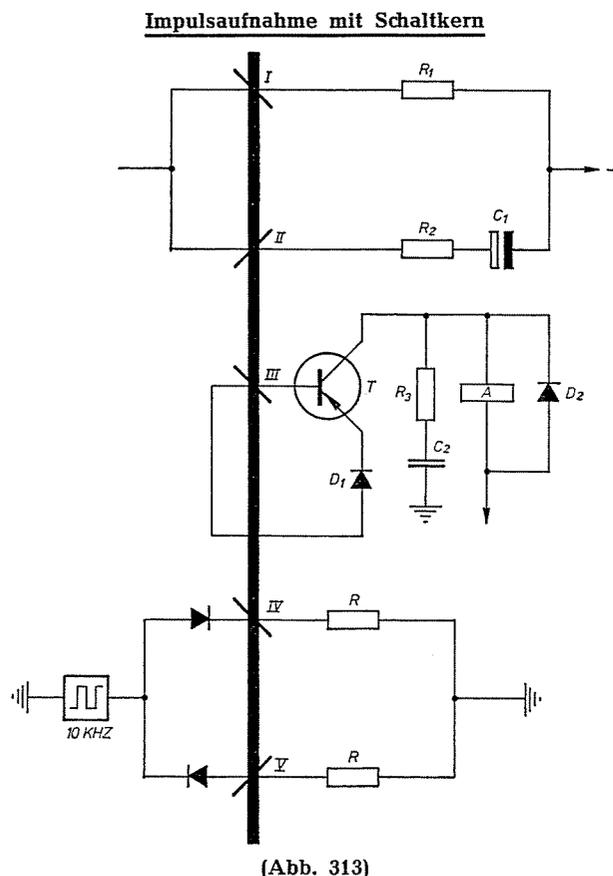
(Abb. 312)

duktion und die Richtung eines in einer zweiten Wicklung erzeugten Stroms sind durch die „Karnaugh-Spiegelsymbolik“ gegeben. Abb. 312 zeigt die Bedeutung der Spiegelsymbolik.

Die Richtung des Magnetfeldes ergibt sich durch Spiegelung des Erregerstroms an dem Schr gstrich. Spiegelt dieser den Strom nach oben, so geht der Kern in die positive Remanenzlage, der magnetische Flu  geht von unten nach oben. Wird der Strom nach unten gespiegelt, so schaltet der Kern in die negative Remanenzlage um, und der magnetische Flu  zeigt von oben nach unten. In den Ausgangswicklungen wird durch die  nderung des Magnetfeldes beim Umklappen eine Spannung induziert, die einen Sekund rstrom hervorruft. Die Richtung des erzeugten Stroms ergibt sich ebenfalls aus der Neigung der die Wicklung darstellenden Schr gstriche. Die negative Seite der induzierten Spannung liegt immer auf der Seite, nach der sich der magnetische Flu  spiegelt. Dementsprechend ergibt sich die Richtung eines Sekund rstroms in der entgegengesetzten Richtung der Spiegelung des magnetischen Flusses.

### 8.7.3. Schaltungen mit Schaltkernen

In Nebenstellenanlagen tritt folgendes Problem auf: Erdimpulse auf der a-Ader von der  ffentlichen W hlvermittlungsstelle sollen als W hlinformation erkannt, aufgenommen und ausgewertet werden. St rimpulse unter



etwa 8 ms Dauer sollen eindeutig als solche identifiziert werden und d rfen nicht zu einer Auswertung f hren. Abb. 313 gibt eine L sung dieses Problems mit Schaltkernen an.

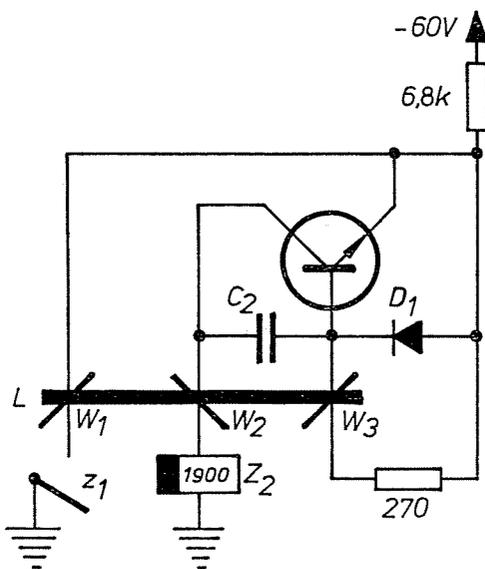
Die Schaltung besteht aus drei Teilen, die miteinander  ber einen Schaltkern verbunden sind. Der 10-kHz-Generator liefert einen Strom in die Wicklung IV und V, so da  der Kern dauernd ummagnetisiert wird. In der Wicklung III entsteht eine Rechteckspannung, die den Transistor im 10-kHz-Takt leitend macht und wieder sperrt. Das Relais spricht an und h lt sich durch das Siebglied  $R_3$  und C, trotz der immer wieder auftretenden Unterbrechungen; das ist der Ruhezustand. Kommt eine Wahlinformation, so flie t ein Strom durch die Wicklung I und II. Die Wirkung dieser Str me ist jedoch entgegengesetzt, sie hebt sich auf.

Nach etwa 8 ms ist der Kondensator geladen, und der Strom durch die Wicklung II h rt auf. Der Strom in der Wicklung I treibt jetzt den Kern weit in die negative S ttigung. Der von dem 10-kHz-Generator gelieferte Strom reicht nicht mehr aus, um den Kern umzuschalten. Der Transistor wird nicht mehr angesteuert und das Relais f llt ab.

Die Diode 2 verhindert eine zu hohe Abschaltspitze der Spannung. Die Diode 1 bewirkt, da  die Schaltspannung einen Schwellwert  berwinden mu , bis der Transistor anspricht. Hierdurch wird eine bessere St rsicherheit erreicht. Fehlt der Erdimpuls wieder, so entf llt die Vormagnetisierung und der Kern kann wieder laufend ummagnetisiert werden. Das Relais zieht wieder an.

Bei der nachfolgenden Schaltung wird die Schaltzeit eines Rechteckferriten ausgenutzt.

### Z hlimpulsverk rzung mit einem Schaltkern



Zur Einf hrung des Auslands-SWFD nach den USA wurde in HDW-VSt eine Z hlimpulsverk rzung notwendig. Wesentlicher Bestandteil der f r diesen Zweck eingef hrten Baugruppe ist ein Schaltkern. Abb. 314 zeigt die Schaltung, die zum I. GW geh rt. Wenn  $z_1$  schlie t, wird der Kern so magnetisiert, da  die Magnetisierungsrichtung von links nach rechts verl uft und der Kern in der positiven Remanenzlage  $+B_s$  liegt. Die dabei in  $w_2$  induzierte Spannung hat keinen Einflu , die in  $w_3$  induzierte wird  ber die Schutzdiode  $D_1$  abgeleitet (und hat ebenfalls keinen Einflu ).  ffnet jedoch  $z_1$ , verl uft der Kern die Remanenzlage  $+B_s$  und geht auf  $+B_r$  zur ck. In  $w_3$  erzeugt diese Induktions nderung eine geringe Spannung positiver Polarit t; sie reicht aus, den Transistor leitend zu steuern.

Bei leitendem Transistor kann ein Strom über  $Z_2$ ,  $w_2$  fließen ( $Z_2$  spricht an), der den Kern ummagnetisiert. Dieser Vorgang hält in  $w_3$  so lange eine positive Spannung aufrecht, bis der Kern in der anderen Remanenzlage angekommen ist. Jetzt bricht die Spannung in  $w_3$  zusammen, der Transistor sperrt,  $Z_2$  fällt ab. Die Schaltung ist so ausgelegt, daß  $Z_2$  eine Schaltzeit von  $100 \pm 20$  ms einhält.

## 8.8. Transfluxoren

### 8.8.1. Aufbau und Wirkungsweise

Transfluxoren — 1955 von Rajchman und Lo erfunden — sind Ferritkerne mit mehr als einem Loch (daher auch Mehrlochkerne) und rechteckiger Hystereseschleife. Der magnetische Fluß, der die meist verschieden großen Löcher umgibt, verkettet die einzelnen magnetischen Kreise miteinander. Durch Abfragen über einen Kreis läßt sich der Zustand eines anderen erfahren, ohne dessen Richtung zu ändern. Damit können z.B. als Speicherelemente verwendete Transfluxoren ausgelesen werden, ohne die Information zu zerstören.

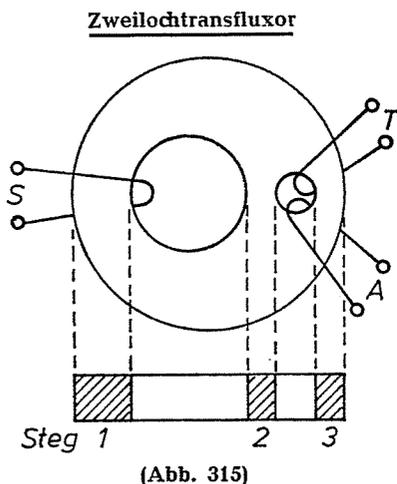
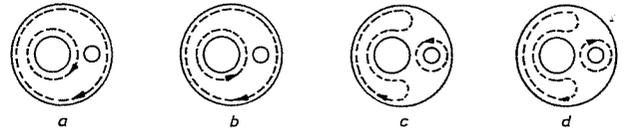


Abb. 315 zeigt einen einfachen Transfluxor mit zwei Löchern, wobei aus der Querschnittszeichnung die Bezeichnung der Stege hervorgeht. Der Kern ist mit der Steuerwicklung S, der Treiberwicklung T und der Ausgangswicklung A bewickelt. Über S wird die Information eingeschrieben, mit Hilfe der Treiberwicklung T abgefragt, während an A die der Information entsprechende Spannung auftritt. Wichtig ist, daß der Querschnitt von Steg 1 mindestens gleich der Summe der Querschnitte von Steg 2 und 3 ist. Außerdem soll die kleinstmögliche Länge der Feldlinien der Steuerwicklung größer sein als die größtmögliche Länge der Feldlinien des gesteuerten Kreises.

Wenn in die Steuerwicklung S ein so hoher Stromimpuls eingespeist wird, daß er den gesamten Kern im gleichen Sinn magnetisiert (Abb. 316a), spricht man vom „blockierten“ Zustand

des Kerns. Impulse in der Treiberwicklung können den magnetischen Kreis um das kleinere Loch nicht verändern. Ihre Amplitude darf allerdings auch nicht so groß sein, daß sie etwa den magnetischen Fluß um das große Loch beeinflusst. In die Ausgangswicklung wird keine Spannung induziert.

### Magnetisierungsrichtungen eines Transfluxors

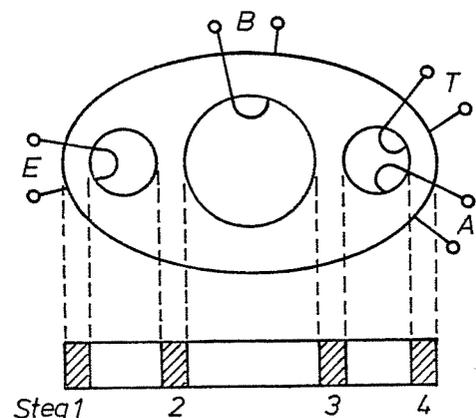


(Abb. 316)

Ein Steuerimpuls in entgegengesetzter Richtung kann je nach Amplitude einen Teil des Ringbereichs ummagnetisieren (Abb. 316b), der Transfluxor ist „eingestellt“. „Voll eingestellt“ ist er dann, wenn dieser Impuls so groß war, daß der Steg 2 vollständig ummagnetisiert wurde (wie in Abb. 316b). Wenn jetzt ein Strom durch die Treiberwicklung fließt, kann er Flußänderungen um das kleine Loch herum erzeugen; in der Ausgangswicklung entsteht ein entsprechender Spannungsimpuls. Abb. 316c zeigt die Flußänderung mit positivem Impuls durch die Treiberwicklung, Abb. 316d die mit negativen Treiberstrom.

In digitalen Anwendungen wird dem **blockierten Zustand** des Transfluxors die „0“, dem **eingestellten die „1“** zugeordnet. Speziell für digitale Verwendung ist jedoch ungünstig, daß die Amplituden der verschiedenen Impulse ziemlich genau eingehalten werden müssen, z.B. kann auch ein zu hoher Treiberstrom den Kern blockieren oder umgekehrt ein zu kleiner Einstellimpuls den Steg 2 nur unvollständig ummagnetisieren, wodurch wiederum nur kleine Ausgangsspannungen entstehen.

### Dreilochtransfluxor



(Abb. 317)

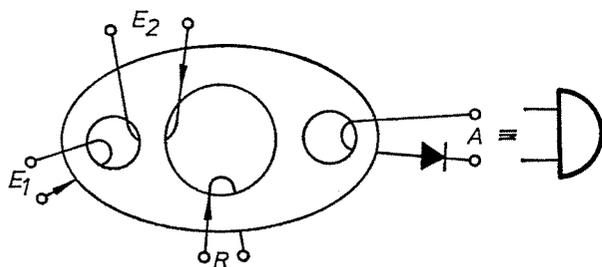
Vorteilhafter in dieser Beziehung ist der Dreilochtransfluxor nach Abb. 317. Die Steuerwicklung des Zweilochtransfluxors teilt sich hier auf in die Einstellwicklung E, für die das dritte Loch vorgesehen ist, und die Blockierwicklung B. Die Einstellwicklung kann genau auf Steg 2 gewickelt werden. Durch diese Aufteilung läßt sich mit dem **Dreilochtransfluxor** ein wesentlich **sicherer Betrieb erreichen**.

Da das magnetische Verhalten und damit die Verkettung der magnetischen Kreise miteinander weitgehend von der Form der Transfluxoren abhängt, sind für viele Anwendungsfälle spezielle Gebilde entwickelt worden. Jedoch fanden die Transfluxoren — trotz der anfänglichen Erwartungen — keinen allzu großen Markt.

### 8.8.2. Schaltbeispiel mit einem Transfluxor

**Transfluxoren** lassen sich vorteilhaft als **Speicherelemente für zerstörungsfreies Auslesen** einsetzen, solange die Speicherkapazität gering und der Platzbedarf ohne Belang ist (z.B. bei Maschinensteuerungen usw.). Weiterhin können beliebige Gatter oder in der linearen Technik z.B. Frequenzspeicher, Variometer o.ä. aufgebaut werden.

UND-Schaltung mit Transfluxor



(Abb. 318)

Abb. 318 zeigt ein aus einem Transfluxor aufgebautes UND-Gatter mit Impulskoinzidenz. Da beim Dreilochtransfluxor Steg 1 und Steg 2 gleichermaßen verwendbar sind, wurde Eingang 1 über Steg 1 und Eingang 2 über Steg 2 geführt. Am Ausgang entsteht nur dann ein Impuls, wenn beide Eingangsimpulse gleichzeitig auftreten. Über die Blockierwicklung R wird das Gatter rückgestellt.

Auf diese verhältnismäßig einfache Art lassen sich komplette Logikschaltungen realisieren. In der sogenannten **allmagnetischen Technik** werden fast **ausschließlich Schaltelemente wie Transfluxoren und Schaltkerne** verwendet. Der besondere Vorteil dieser Schaltkerne liegt in ihrer Störunanfälligkeit, ihrem großen Temperaturbereich oder z.B. darin, daß sie gegen Kernstrahlung weitgehend unempfindlich sind.

## 9. Grundsätzliches über EDV-Anlagen

### 9.1 Merkmale einer EDV-Anlage

Auf fast allen Gebieten der Wissenschaft, Technik und Wirtschaft werden heute „elektronische Datenverarbeitungsanlagen“ (EDV-Anlagen) eingesetzt. Sie ermöglichen durch ihre hohe Rechengeschwindigkeit und fehlerlose Arbeit die Lösung von Problemen, die früher durch ihren Umfang nicht in Angriff genommen werden konnten oder bei denen das Ergebnis erst dann vorlag, wenn es schon überholt war. Auch bei der DBP werden heute EDV-Anlagen eingesetzt, z.B. zur Erstellung der Fernmelderechnungen oder im Fernmeldezeugwesen. Rechnergesteuerte Fernsprech- und Telegrafiesysteme werden in nächster Zukunft der Vermittlungstechnik bei der DBP ein neues Gesicht geben. Es wäre jedoch falsch, wenn man allein in der hohen Arbeitsgeschwindigkeit das entscheidende Merkmal einer EDV-Anlage sehen würde. Weitere Eigenschaften unterscheiden die EDV-Anlagen in weit höherem Maße von normalen Rechenmaschinen.

Eine dieser Eigenschaften ist die **Programmsteuerung**. Ein Programm, das den gesamten Ablauf einer längeren Rechnung mit allen auftretenden Möglichkeiten vorschreibt, bestimmt den Arbeitsablauf der EDV-Anlage. Die Rechnung kann dabei von nahezu beliebiger Kompliziertheit sein. Die Fähigkeit, außer Zahlen auch Buchstaben und Zeichen zu verarbeiten, unterscheidet die EDV-Anlage weiter von der normalen Bürorechenmaschine. **Es können Daten aller Art verarbeitet werden**, so daß heute auch zutreffend von **Datenverarbeitungssystemen**, anstatt von Rechenautomaten gesprochen wird.

Das Rechnen von Tischrechenmaschinen beruht auf Zählvorgängen. Zum Beispiel wird bei der Addition  $8 + 3$  das Ergebnis dadurch erreicht, daß zu acht Einheiten drei Einheiten dazugezählt werden. Die EDV-Anlage arbeitet anders, sie zählt nicht. **Sie verknüpft die Zahlen und Daten nach den Regeln der mathematischen Logik**; es werden logische Verknüpfungen durchgeführt. Dies ist von weitreichender Bedeutung. Alle Probleme, für die sich eine klare, eindeutige Lösungsanweisung aufstellen läßt, sind damit lösbar.

**Programmsteuerung, Datenverarbeitung und logische Verknüpfungen sind Merkmale einer modernen Datenverarbeitungsanlage.**

## 9.2. Analogrechner und Digitalrechner

Ganz allgemein ist zwischen zwei Arten von elektronischen Datenverarbeitungsanlagen zu unterscheiden:

- a) dem stetig arbeitenden „Analogrechner“ und
- b) dem schrittweise rechnenden „Digitalrechner“.

Beim Analogrechner benutzt man keine Zahlen, sondern verknüpft die Größen selbst oder andere, die ihnen analog sind; z.B. werden Strecken addiert (Rechenschieber) oder Spannungen und Ströme multipliziert (Wattmeter). Das Ergebnis wird meist in eine Länge umgesetzt und kann als Zeigerausschlag eines Meßinstruments abgelesen oder auf dem Bildschirm eines Oszillografen angezeigt werden. **Das Rechnen eines Analogrechners beruht also auf physikalischen Gesetzen.**

Beim Digitalrechner wird das Problem in ziffernmäßiger Form behandelt. **Hier sind eine Zahleneinheit und ein Zahlensystem vorhanden.** Alle Größen sind Vielfache dieser Zahleneinheit. Beide Rechnerarten haben Vor- und Nachteile: Beim Analogrechner ist das Ergebnis sofort und unmittelbar vorhanden, beim Digitalrechner dauert die Rechnung durch die Benutzung von Zahlen und durch die schrittweise Arbeitsweise eine gewisse Zeit. Dagegen kann durch entsprechend hohen Aufwand die **Stellenzahl eines Digitalrechners vergrößert und damit eine beliebig hohe Genauigkeit erreicht werden.** Der analogen Rechnung sind durch unvermeidlich auftretende Fehler in den Verknüpfungseinrichtungen in der Genauigkeit Grenzen gesetzt.

Gute Analogrechner erreichen eine Genauigkeit von drei Dezimalstellen, Digitalrechner können über zwölf und mehr Dezimalstellen genau arbeiten. Sollen Größen verknüpft werden, die primär als Zahlen oder Zeichen vorliegen, und wird eine hohe Genauigkeit gefordert, so werden Digitalrechner eingesetzt. Wirtschaft, Verwaltung sowie Technik und Industrie bevorzugen deshalb die Digitalrechner. Sollen dagegen funktionelle Zusammenhänge physikalischer Größen oder Zeitfunktionen dargestellt werden, wie z.B. in der Regeltechnik, so finden Analogrechner Anwendung. Nachfolgend wird nur die Wirkungsweise von Digitalrechnern beschrieben.

## 9.3. Darstellung von Informationen in EDV-Anlagen

Die Verarbeitung von Daten in einer EDV-Anlage erfordert im wesentlichen die Speicherung, Übertragung und Verknüpfung von Informationen. Diese Aufgaben lassen sich nur durch eine geeignete Informationsdarstellung lösen. In einer EDV-Anlage sind zwei Gruppen von Informationen darzustellen. **Man unterscheidet zwischen Daten**, die die zu verarbeitenden Informationen darstellen **und zwischen Befehlen**, die eine entsprechende Verarbeitung der Daten bewirken. Die Daten können aus Zahlen, Text und Steuerinformationen bestehen.

In einer EDV-Anlage werden alle Informationen durch elektrische Signale dargestellt, und zwar durch Spannungen. Man verwendet nur zwei Signalzustände, sie werden mit „Null“ und mit „Eins“ bezeichnet. Ein solches Signal heißt „Binärsignal“, abgekürzt „Bit“. Aus diesen beiden Signalzuständen wird durch Kombinationen die ganze Vielfalt der Daten und Befehle gebildet.

Nachfolgend werden einige Begriffe erläutert, die den Aufbau von Daten betreffen.

Unter einem **Zeichen** versteht man die kleinsten nicht weiter zerlegbaren Elemente, aus denen sich die Daten zusammensetzen können. Beispiele hierfür sind die Ziffern 0,1 . . . 9, die Buchstaben, Interpunktionen usw. Die Gesamtheit aller Zeichen ergibt den **Zeichenvorrat**, auch **Alphabet** genannt. Ein **Wort** ist eine Folge von Zeichen. Besteht das Wort ausschließlich aus Ziffern, so wird es **numerisches Wort** genannt. Eine Folge von Buchstaben nennt man ein **Textwort**, auch **alphanumerisches Wort**. Enthält ein Wort sowohl Ziffern als auch Buchstaben, heißt es **alphanumerisches Wort**. Alle Zeichen eines Alphabets werden durch Kombination von mehreren Binärzeichen gebildet; ein Beispiel ist der Internationale Fernschreibcode mit 5 Bits/Zeichen, ein weiteres der EBCDIC-Code.

Die Darstellung von Zahlen durch Binärzeichen ist im Abschn. 1. beschrieben worden, ebenfalls die Darstellung von Zahlen im Dualzahlensystem.

Die in einer Anlage vorkommenden Zahlen haben aus Gründen der Einfachheit häufig eine feste Stellenzahl. Bei Zahlen mit weniger Ziffern wird der Rest mit Nullen aufgefüllt. Durch die feste Stellenzahl ist der Zahlenbereich nach oben und auch nach unten begrenzt. **Die feste Anzahl der Stellen wird Wortlänge genannt.**

## EBCDIC-Codetabelle

EBCDIC

		3210															
		7654															
Sede- zimal		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
		0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
0	0000	NUL				PF	HT	LC	DEL								
1	0001					RES	NL	BS	IL								
2	0010					BYP	LF	EOB	PRE			SM					
3	0011					PN	RS	UC	EOT								
4	0100	SPACE										¢	.	<	(	+	
5	0101	&										!	S	≠	/	;	⌋
6	0110	-										^	,	%	—	>	?
7	0111											:	#	@	'	=	"
8	1000		a	b	c	d	e	f	g	h	i						
9	1001		j	k	l	m	n	o	p	q	r						
A	1010			s	t	u	v	w	x	y	z						
B	1011																
C	1100		A	B	C	D	E	F	G	H	I						
D	1101		J	K	L	M	N	O	P	Q	R						
E	1110			S	T	U	V	W	X	Y	Z						
F	1111	0	1	2	3	4	5	6	7	8	9						

Bitpositionen: 7 6 5 4 3 2 1 0

Wertigkeit:  $2^7$   $2^6$   $2^5$   $2^4$   $2^3$   $2^2$   $2^1$   $2^0$ 

## Steuerzeichen

NUL Nil (Füllzeichen)  
 PF Stanzer aus  
 HT Horizontal-Tabulator  
 LC Kleinbuchstaben  
 DEL Löschen  
 RES Sonderfolgende  
 NL Zeilenvorschub mit  
 Wagenrücklauf  
 BS Rückwärtsschritt  
 IL Leerlauf  
 BYP Sonderfolgenanfang

LF Zeilenvorschub  
 EOB Blockende  
 PRE Bedeutungsänderung  
 der beiden Folgezeichen  
 PN Stanzer ein  
 RS Leser stop  
 UC Großbuchstaben  
 EOT Ende der Übertragung  
 SM Betriebsarten-  
 änderung  
 SPA Zwischenraum

Tabelle 70

Üblich sind Werte von 30 bis 60 Dualstellen, das entspricht etwa 12 Dezimalstellen im Dualcode oder 10 Dezimalstellen in einem tetradischen Code.

Verschiedene Hersteller verwenden anstelle des Begriffs „Wort“ für eine 8 Bits lange Einheit den Ausdruck „Byte“. 1024 Byte ergeben 1 kilo Byte (häufig auch mit 1 k angegeben; wobei auch 1 k für eine entsprechende Anzahl von Worten gebraucht wird).

Die Ziffernfolgen, die so dargestellt werden, ergeben erst dann eine Zahl, wenn die Stellung des Kommas innerhalb der Ziffernfolge bekannt ist. Bei der „Festkommadarstellung“ muß man sich das Komma immer an der gleichen Stelle innerhalb der Ziffernfolge denken. Häufig steht das Komma links vor der höchsten

Stelle, so daß alle Zahlen echte Brüche ergeben. Dies hat den Vorteil, daß die Rechenoperationen, vor allen Dingen die Multiplikation, sehr einfach werden. Durch Maßstabsfaktoren sind allerdings alle Zahlen vor der Verarbeitung in den entsprechenden Zahlenwert zu transformieren. Der Programmierer hat darauf zu achten, daß nur Zahlen mit gleichen Maßstabsfaktoren addiert bzw. subtrahiert werden.

Beispiel: Die Zahlen 13,2 und 2736,55 sollen durch ein numerisches Wort mit einer Länge von 7 Stellen dargestellt werden.

1320000	Maßstabsfaktor	$10^2$
,0013200	"	$10^4$
,2736550	"	$10^4$

Wird der Maßstabsfaktor mit zur Zahlendarstellung herangezogen, so erhält man die „Gleitkommadarstellung“, auch halblogarithmische

Schreibweise genannt. Das Zahlwort setzt sich jetzt aus der **Mantisse** und dem **Exponenten** zusammen. Um auch negative Exponenten (bei Brüchen) darstellen zu können, wird nicht der wahre Exponent, sondern der um die Zahl 50 erhöhte Exponent angegeben. Dieser Wert wird „**Charakteristik**“ genannt. Der darstellbare Zahlenbereich wächst, allerdings auf Kosten der Genauigkeit.

**Beispiele:** Die Wortlänge beträgt wieder 7 Dezimalstellen. Fünf Dezimalstellen werden für die Mantisse, zwei für die Charakteristik benötigt.

Die Zahl 13,2 wird als  $0,132 \cdot 10^2$  aufgefaßt und dann folgendermaßen dargestellt:

$$\begin{array}{r} \underbrace{13200}_{\text{Mantisse}} \underbrace{52}_{\text{Charakteristik}} \\ \text{Charakteristik} = 50 + 2 = 52 \end{array}$$

Die Zahl 2736,58 wird als  $0,273658 \cdot 10^4$  aufgefaßt und dann dargestellt:

$$\begin{array}{r} \underbrace{27365}_{\text{Mantisse}} \underbrace{54}_{\text{Charakteristik}} \\ \text{Charakteristik} = 50 + 4 = 54 \end{array}$$

Die letzte Ziffer geht verloren.

Die Zahl 0,0000273658 wird als  $0,273658 \cdot 10^{-4}$  aufgefaßt und dann wie folgt dargestellt:

$$\begin{array}{r} \underbrace{27365}_{\text{Mantisse}} \underbrace{46}_{\text{Charakteristik}} \\ \text{Charakteristik} = 50 - 4 = 46 \end{array}$$

Werden die Zahlen in Gleitkommadarstellung in der Maschine verarbeitet, so sind die Rechnungen in der Maschine selbst komplizierter, es müssen ja die Mantissen und die Exponenten verarbeitet werden, beide nach jeweils anderen Gesichtspunkten. Der darstellbare Zahlenbereich wächst jedoch enorm und die Datenaufbereitung wird einfach.

## 9.4. Serien- und Parallelbetrieb

Werden die **Binärsignale** eines Wortes innerhalb der EDV-Anlage in ihrer Gesamtheit auf einmal übertragen oder verarbeitet, so spricht man vom **Parallelbetrieb**. Für jedes Bit eines Wortes müssen hierfür die erforderlichen Leitungen und Verknüpfungsglieder vorgesehen sein. Diese Art der Verarbeitung und Übertragung ermöglicht eine große Arbeitsgeschwindigkeit, erfordert jedoch einen hohen Aufwand an Schaltmitteln. **Wird dagegen jedes Bit eines Wortes nacheinander übertragen und verarbeitet, so ist das Serienbetrieb.** Der Aufwand ist verhältnismäßig gering, die Arbeitsgeschwindigkeit niedrig. **Bei dezimaler Zahlendarstellung, bei der das Wort aus einzelnen Zeichengruppen besteht, z.B. aus Tetraden, ist eine Kombination beider Arbeitsweisen möglich.** Hier werden die Bits einer Zeichengruppe pa-

rallel, die einzelnen Zeichengruppen jedoch seriell verarbeitet und übertragen. Dieses Verfahren wird **Serienparallelbetrieb** genannt.

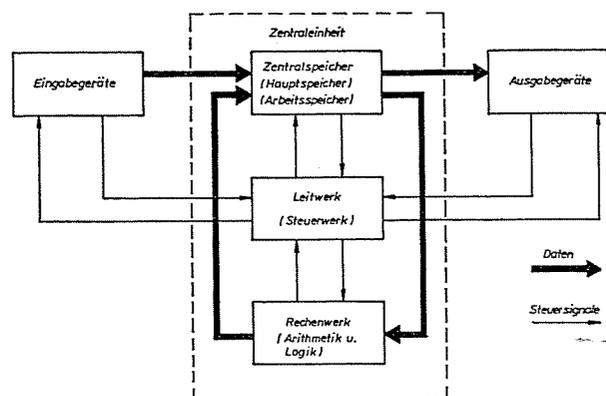
Die Darstellung der Zahlen als Dualzahlen oder als Dezimalzahlen und die Arbeitsweise, entweder Serien-, Parallel- oder Serienparallelbetrieb, beeinflusst die Eigenschaften und den Gesamtaufbau einer EDV-Anlage sehr stark. Man spricht deshalb auch häufig von Dual- oder Dezimalrechnern, von Serien- oder Parallelrechnern.

## 9.5. Prinzipielle Wirkungsweise einer EDV-Anlage

### 9.5.1. Bestandteile einer EDV-Anlage

Der Aufbau eines Rechenautomaten kann mit dem Arbeitsplatz eines menschlichen Rechners an einer Büromaschine verglichen werden. Der Arbeitsplatz besteht aus der **Büromaschine** selbst, die zwar rechnet, aber immer nur eine Operation auf einen Befehl hin ausführt, aus den **Schreibunterlagen des Rechners**, in denen der notwendige Gang der auszuführenden Rechnung aufgezeichnet ist und in denen die Ausgangsgrößen der Rechnung, die Zwischenergebnisse und Endergebnisse festgehalten, also gespeichert werden können, und dem **Menschen** selbst, der den gesamten Arbeitslauf leitet. Der Mensch liest die Daten vom Schreibblock ab und gibt sie in die Maschine ein, die Rechnergebnisse werden auf dem Schreibblock zwischengespeichert und beurteilt. Zum Beispiel wird die Rechnung abgebrochen, wenn die geforderte Genauigkeit erreicht ist, oder es wird aufgrund eines Zwischenergebnisses ein anderer Rechengang erforderlich. Denken wir uns nun noch einen Eingangskorb dazu, in dem die zu lösenden Aufgaben angeliefert, und einen Ausgangskorb, aus dem die Lösungen abgeholt werden können, so haben wir den grundsätzlichen Aufbau einer EDV-Anlage.

Blockschema mit den Elementen einer DVA



(Abb. 319)

Abb. 319 zeigt in einem groben Blockschaltbild die Bestandteile einer EDV-Anlage. Das **Rechenwerk** entspricht der Tischrechenmaschine. Alle mit Daten notwendig werdenden Operationen werden hier ausgeführt. Das Rechenwerk wird damit in gewisser Hinsicht zum wichtigsten Teil der EDV-Anlage, und die Vielfalt der möglichen Operationen eines Rechenwerks bestimmt die Leistungsfähigkeit einer Anlage.

Das Rechenwerk steht mit dem **Speicherwerk** in Verbindung. Von dort holt es sich die Operanden, verknüpft sie miteinander und bringt sie wieder nach dort zurück. Das Speicherwerk kann also mit den Schreibunterlagen verglichen werden; es dient zur Aufbewahrung der Daten, die es vor der Rechnung von der Eingabe erhält und nach Beendigung an die Ausgabegeräte abgibt. Im Speicherwerk stehen auch die Anweisungen, die den gesamten Ablauf der Rechnung angeben und auch Entscheidungen über den Rechenablauf aufgrund von Zwischenergebnissen ermöglichen. Die **Eingabe- und Ausgabegeräte** sind mit dem Eingangs- und Ausgangskorb vergleichbar. Sie liefern die Daten an, übersetzen sie in die elektrischen Signale des Automaten und umgekehrt. Sie haben nur wenig mit dem eigentlichen Ablauf der Rechnung zu tun und werden deshalb auch „**periphere Geräte**“ genannt.

Das **Leitwerk** schließlich kann mit dem Menschen verglichen werden; es steuert alle Arbeitsvorgänge und bewirkt das richtige Zusammenarbeiten aller Bestandteile der EDV-Anlage. Ein Programm, das jeden Schritt, den das Leitwerk einleiten, überwachen oder ausführen soll, in Form einer Befehlskette dem Leitwerk angibt, ermöglicht die Lösung der dem Leitwerk gestellten Aufgabe. **Leitwerk, Speicherwerk und Rechenwerk bezeichnet man zusammenfassend als Zentraleinheit.** Werden das Leitwerk und das Rechenwerk als eine Funktionseinheit aufgefaßt, so heißt diese Einheit Prozessor.

## 9.5.2. Aufbau eines Programms

### 9.5.2.1. Aufbau und Arten der Befehle

Entscheidendes Merkmal einer EDV-Anlage ist die Programmsteuerung. Dem Rechenautomaten werden nur die Anfangswerte und der Rechenplan eingegeben, und ohne Mitwirkung eines Menschen können Tausende von Operationen ausgeführt werden.

Der Rechenplan, **Programm** genannt, besteht aus einer Reihe von Befehlen. Befehle sind Anweisungen an das Leitwerk, Operationen auszuführen.

**ren.** Der Begriff Operationen umfaßt hier nicht nur Rechenoperationen, sondern auch alle anderen Tätigkeiten, wie z.B. Anweisungen für den Transport von Daten innerhalb der Anlage.

### Die Grundoperationen einer EDV-Anlage können wie folgt eingeteilt werden:

**Transportoperationen** sind Operationen, die einen Transport von Daten oder Befehlen innerhalb der EDV-Anlage bewirken. Transporte innerhalb der Zentraleinheit werden als interne Transporte, alle anderen als externe Transporte bezeichnet. Zu den externen Transporten gehört auch das Lesen und Schreiben durch die Ein- und Ausgabegeräte.

**Arithmetische und logische Operationen** werden im Rechenwerk durchgeführt. Hierzu gehören unter anderem die vier Grundrechnungsarten, der Vergleich zweier Zahlen oder anderer Daten und die UND- und ODER-Funktion.

**Sprungoperationen** bewirken eine Verzweigung in einem Programm. Man unterscheidet zwischen unbedingten und bedingten Sprungoperationen. Bei bedingten Sprungoperationen wird die Durchführung der Operation von der Erfüllung einer Bedingung abhängig gemacht. Ist die Bedingung erfüllt, so wird die Operation ausgeführt. Als Sprungbedingungen können beliebige interne Zustände der Anlage gestellt werden, wie z.B. der Inhalt eines Speicherplatzes.

**Regieoperationen** gewährleisten den automatischen Arbeitsablauf in einer EDV-Anlage; hierzu ist z.B. der Start- und der Stopbefehl zu rechnen.

Durch einen Befehl können nun einzelne Grundoperationen in einer festen Reihenfolge ausgelöst werden. Allgemein gesagt, ein Befehl gibt an, welche Operation in welcher Funktionseinheit mit welchen Informationen auszuführen ist. Der Befehl läßt sich dementsprechend in zwei Teile aufgliedern, den **Operationsteil** und den **Adreßteil**. Im **Operationsteil** wird die Art der verlangten Operation angegeben, im **Adreßteil** die Adresse, wo die entsprechenden Daten sich befinden, mit denen gearbeitet werden soll. Nach der Anzahl der Adreßangaben im Adreßteil des Befehls unterscheidet man **Einadreßbefehle**, **Zweiadreßbefehle** und **Dreiadreßbefehle**. Ein Einadreßbefehl kann z.B. folgendermaßen lauten:

Addiere	410
---------	-----

Operationsteil    Adreßteil

Dieser Befehl kann dann folgende Bedeutung haben: Addiere den Inhalt der Speicherzelle 410 zum Inhalt des Akkumulatorregisters im Rechenwerk und speichere das Ergebnis im Akkumulatorregister ab.

Ein Operand einer Rechenoperation befindet sich bei EDV-Anlagen mit Einadressbefehlen grundsätzlich in einem festen Speicherplatz, hier im Arbeitsregister des Rechenwerks. Nur die Adresse des zweiten Operanden wird im Befehl angegeben. Auch das Ergebnis bleibt im Arbeitsregister, hier im Akkumulator. Durch einen Transportbefehl könnte z.B. vor der Addition der erste Operand in den Akkumulator gebracht werden. Dieser Befehl könnte etwa lauten:

Lies	250
Operationsteil	Adreßteil

Er hat hier folgende Bedeutung:

Lies den Inhalt der Speicherzelle 250 aus dem Speicherwerk und bringe ihn in den Akkumulator. Rechenanlagen mit solchen Einadressbefehlen sind am häufigsten; sie heißen Einadressmaschinen. Bei Zweiadressmaschinen werden die Adressen von zwei Speicherzellen im Befehl angegeben. Dadurch können z.B. beide Operanden einer Rechenoperation durch einen Befehl angesprochen werden. Bei Dreiadressmaschinen geben zwei Adressen die beiden Operanden an, die dritte Adresse bezeichnet die Speicherzelle, wohin das Ergebnis gebracht werden soll.

Mehradressbefehle verkürzen das Programm und vereinfachen die Programmierung. Sie benötigen allerdings auch mehr Speicherplatz und erfordern einen komplizierten Aufbau der Technik. Die nachfolgende Zusammenstellung zeigt die Programmverkürzung, die durch Mehradressbefehle möglich wird. Der Inhalt der Speicherzellen 180 und 12 soll addiert und die Summe in die Speicherzelle 50 gebracht werden.

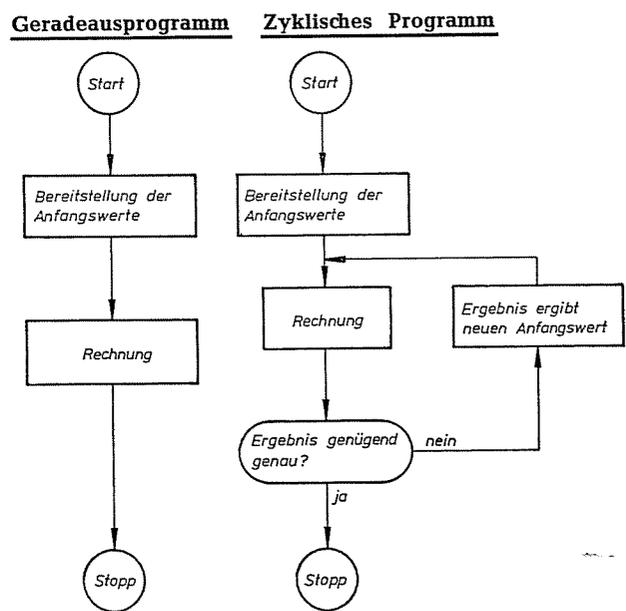
3 Einadressbefehle		2 Zweiadressbefehle		1 Dreiadressbefehl	
Hole	180	Addiere	180 12	Addiere	180 12 50
Addiere	12	Speichere	50		
Speichere	50				

In der Rechenmaschine steht die Angabe des Operationsteils selbstverständlich nicht als Text, sondern als binäre Ziffernfolge verschlüsselt. Ein Befehl sieht also genauso aus wie eine Zahl. Die Befehle haben üblicherweise Wort-

länge. Ein Wort, das einen Befehl darstellt, wird Befehlswort genannt. Die Aufstellung aller Befehle, die eine EDV-Anlage auszuführen in der Lage ist, wird Befehlsliste genannt, und ist je nach Rechnertyp unterschiedlich groß. Obwohl 20 bis 30 Befehle ausreichen, umfaßt die Befehlsliste großer Automaten oft über 100 Befehle. Befehlsreichtum bedeutet Vielseitigkeit, Schnelligkeit und Ersparnis bei der Programmierung.

### 9.5.2.2. Programmstrukturen

Die einer EDV-Anlage gestellte Aufgabe bestimmt die Struktur des Programms; hierbei ist unter anderem zu unterscheiden zwischen Geradeausprogrammen und zyklischen Programmen. Beim Geradeausprogramm werden die Befehle nacheinander und nur einmal ausgeführt. Solche Programme sind allerdings sehr selten. Erst die zyklischen Programme geben der EDV-Anlage ihre große Bedeutung. Bei den zyklischen Programmen wiederholen sich gleiche Rechenschritte immer, nur mit anderen Zahlenwerten. Das Programm braucht nur für einen Zyklus aufgestellt zu werden. Bei sogenannten „iterativen Zyklen“ ergibt z.B. der Endwert eines Zyklus den neuen Anfangswert des nächsten Zyklus. Dieser Kreislauf wird z.B. nur dann unterbrochen, wenn das Rechenergebnis genügend genau ist. Bei sogenannten „induktiven Zyklen“ wird dagegen eine vorgegebene Anzahl von Zyklen durchlaufen, jeder Zyklus mit einem neuen Anfangswert. Abb. 320 zeigt die Struktur von Geradeausprogrammen und zyklischen Programmen durch ein Flußdiagramm. Ein Flußdiagramm stellt hierbei einen zeitlichen



(Abb. 320)

oder logischen Ablauf dar. Ein rechteckiges Kästchen symbolisiert eine Operation, allgemein einen Vorgang. Ein ovales Kästchen entspricht einer Entscheidungsoperation. In einem solchen Kästchen steht immer eine Frage; es hat dementsprechend zwei Ausgänge, einen für „Ja“, einen für „Nein“.

Programme können auch in Haupt- und Unterprogramme eingeteilt werden. Treten innerhalb eines Hauptprogramms einzelne Teile immer wieder auf, so schreibt man diesen Teil des Programms nur einmal und speichert ihn als Unterprogramm ab. Im Verlauf des Hauptprogramms ist das Unterprogramm dann immer wieder zu benutzen. Häufig benötigte Unterprogramme werden als Bibliotheksprogramme in der sogenannten Programmbibliothek aufbewahrt. Sie erleichtern das Programmieren einer EDV-Anlage und werden zum Teil von den Herstellerfirmen mitgeliefert.

Die Befehlskette, die das Programm darstellt, wird im Arbeitsspeicher des Rechners aufbewahrt. Häufig ist hierfür noch nicht einmal ein gesonderter Speicherbereich vorgesehen. Da Befehle wie Zahlen dargestellt werden, sind Umrechnungen der Adreßteile der Befehle möglich; man nennt diese Umrechnungen Adreßmodifikationen. Sie ermöglichen den wirtschaftlichen und sinnvollen Einsatz von EDV-Anlagen bei allen möglichen Aufgaben.

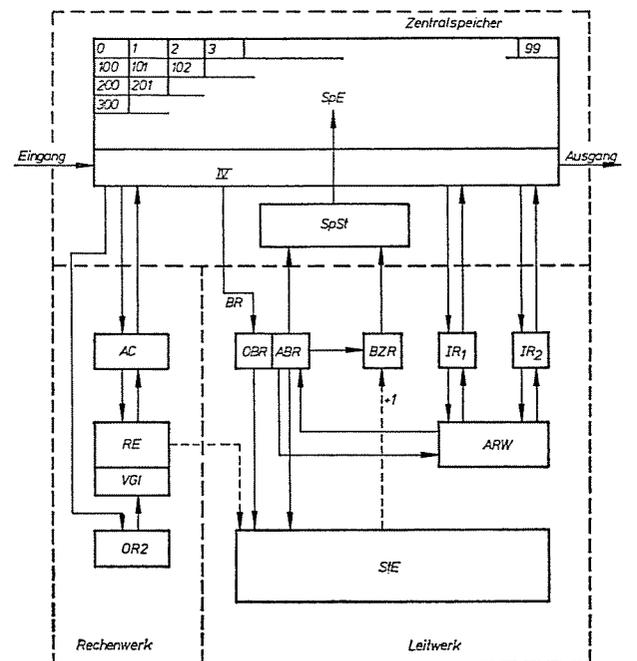
### 9.5.3. Grundsätzliche Aufgaben und Aufbau des Leitwerks

Nach DIN 44300 hat das Leitwerk etwa folgende Bedeutung: **Das Leitwerk steuert die Reihenfolge, in der die Befehle eines Programms ausgeführt werden, es entschlüsselt die Befehle, wobei diese gegebenenfalls modifiziert werden, und es gibt die zur Ausführung notwendigen Signale ab.**

Der Arbeitsablauf einer Maschine bei der Verarbeitung von Daten nach einem Programm soll am Modellbild einer Zentraleinheit (Abb. 321) erläutert werden. Im Zentralspeicher stehen die Daten und das Programm. Das Programm ist eine Aneinanderreihung von Befehlen, die von der Maschine nacheinander auszuführen sind. Diese Befehlskette kann nur durch unbedingte oder bedingte Sprungbefehle unterbrochen werden. Die Befehle der Befehlskette stehen normalerweise in der notwendigen Reihenfolge ihrer Verarbeitung in Speicherzellen mit aufeinanderfolgenden Adressen. Bei Sprungbefehlen wird diese Reihenfolge unterbrochen. Sprungbefehle geben deshalb in ihrem Adreß-

teil nicht die Adresse von zu verarbeitenden Daten an, sondern die Adresse des nächsten Befehls, der ausgeführt werden soll.

Modellbild einer Zentraleinheit



SpE	Speicherwerk	RE	Recheneinheit
IV	Informationsverteilung	VG1	Vergleicher
SpSt	Speichersteuerung	ARW	Adressenrechenwerk
AC	Akkumulator	OR <sub>2</sub>	Operandenregister 2
OBR	Operationsteil des Befehlsregisters	StE	Steuereinheit
ABR	Adreßteil des Befehlsregisters	BZR	Befehlszählregister
IR <sub>1</sub>	Indexregister 1	BR	Befehlsregister
IR <sub>2</sub>	Indexregister 2		

(Abb. 321)

Das Leitwerk holt nun die Befehle in der richtigen Reihenfolge aus dem Speicher, bewahrt sie für die Dauer der Operation auf, entschlüsselt ihre Bedeutung und sorgt für ihre Ausführung. Dazu besitzt es eine Reihe von Speichern, hier Register genannt, die genau ein Wort oder den Adreßteil eines Befehls speichern können.

Die beiden wichtigsten Register sind das **Befehlsregister** und das **Befehlszählregister**. Im Befehlsregister wird der Befehl während seiner Ausführung aufbewahrt. Dem Aufbau eines Befehls entsprechend ist es in zwei Teile aufgeteilt, den Operationsteil und den Adreßteil. Im Operationsteil steht, was getan werden soll, im Adreßteil die Adresse der zu verarbeitenden Daten. Es soll nun eine Einadreßmaschine vorausgesetzt werden. Der eine Operand einer auszuführenden Rechenoperation steht immer im Akkumulator. Um die Befehle in der durch das Programm vorgeschriebenen Reihenfolge aus dem Speicher holen zu können, muß die Adresse des nächsten Befehls dem Leitwerk bekannt

sein. Diese Adresse entnimmt das Leitwerk dem Befehlszählregister. Da die Befehle im Speicher hintereinanderstehen, muß nach Ausführung eines Befehls der Inhalt des Befehlszählregisters um 1 erhöht werden; es enthält dann die Adresse des nächsten auszuführenden Befehls. Praktisch werden die durchgeführten Befehle gezählt, daher auch der Name Befehlszählregister.

Liegt ein Sprungbefehl vor, so wird die Sprungadresse aus dem Adreßteil des Befehlsregisters zum Befehlszählregister transportiert. Nach Ausführung eines Befehls enthält also das Befehlszählregister immer die Adresse des nächsten Befehls. Das Leitwerk hat noch eine Reihe zusätzlicher Register, **Indexregister** genannt; sie können zur automatischen Umrechnung von Adressen benutzt werden. Der Inhalt des Indexregisters wird dann auf die im Befehl angegebene Adresse addiert und erst jetzt ergibt sich die endgültige Adresse der zu verarbeitenden Daten. Durch diese Adressenumrechnungen wird die Programmierung erst wirtschaftlich und sinnvoll.

Beim Ausführen eines Befehls durchläuft die Maschine eine Reihe von Befehlsphasen; sie werden nachfolgend kurz beschrieben. Es wird davon ausgegangen, daß z.B. durch Eintasten von Hand die Adresse des ersten Befehls im Befehlszählregister gespeichert ist.

**1. Phase:** Die Adresse des zu verarbeitenden Befehls wird aus dem Befehlszählregister der Speichersteuerung übermittelt.

**2. Phase:** Der Inhalt der adressierten Speicherstelle wird gelesen und in das Befehlsregister transportiert. Die Phasen 1 und 2 bezeichnet man zusammenfassend als Befehlsaufruf.

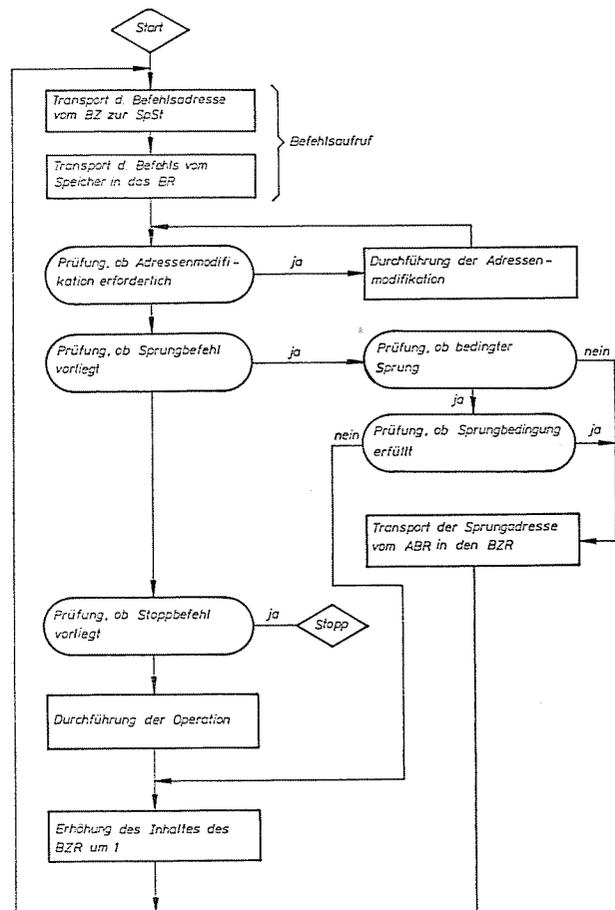
**3. Phase:** In dieser Phase werden eventuell notwendige Adressenveränderungen durchgeführt. Angegebene Adresse plus Inhalt eines Indexregisters ergibt z.B. die endgültige Adresse. Es kann aber auch sein, daß die angegebene Adresse die Speicherstelle angibt, in der sich als Inhalt die endgültige Adresse befindet.

**4. Phase:** Das Leitwerk prüft hier, ob der gelesene Befehl ein Sprungbefehl ist. Bei einem bedingten Sprungbefehl muß zusätzlich geprüft werden, ob die Sprungbedingung erfüllt ist. Ist die Sprungbedingung erfüllt oder liegt ein unbedingter Sprung vor, so wird die Anfangsadresse der neuen Befehlskette, die im Sprungbefehl angegeben wird, in das Befehlszählregister transportiert. Damit ist die Sprungoperation erfüllt; hiernach folgt wieder die Phase 1.

Ist bei einem bedingten Sprungbefehl die Sprungbedingung nicht erfüllt, wird die Befehlsphase 7 aufgesucht und der Aufruf des nächsten Befehls vorbereitet.

**5. Phase:** Das Leitwerk prüft hier, ob ein Stoppbefehl vorliegt. Ist dies der Fall, so wird der Arbeitsablauf unterbrochen. Bei modernen Maschinen wird jetzt vielleicht eine andere Arbeit, ein anderes Programm bearbeitet, das schon im Speicher steht. Liegt kein Stoppbefehl vor, so wird zur Phase 6 übergegangen.

### Befehlsphasen einer Einadreßmaschine



(Abb. 322)

**6. Phase:** Während dieser Phase wird die eigentliche Operation durchgeführt, die der Befehl verlangt; es wird addiert, subtrahiert, transportiert oder verknüpft.

**7. Phase:** In dieser letzten Phase wird der Inhalt des Befehlszählregisters um 1 erhöht; es enthält dann die Adresse des nächsten Befehls, da ja die Befehle normalerweise hintereinander mit aufeinanderfolgenden Adressen im Speicher stehen. Auf die Befehlsphase 7 folgen dann wieder die Phasen 1 und 2 mit dem Befehlsaufruf.

In Abb. 322 sind die einzelnen Befehlsphasen einer Einadreßmaschine in Form eines Flußdiagramms zusammenhängend.

### 9.5.4. Grundsätzlicher Aufbau eines Rechenwerks

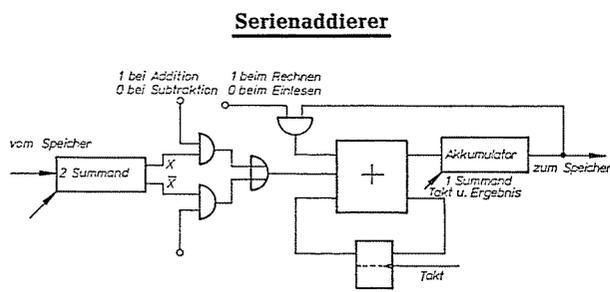
#### 9.5.4.1. Allgemeine Einteilung

Das Rechenwerk dient zur Durchführung der arithmetischen und logischen Operationen einer EDV-Anlage. Das Leitwerk teilt dem Rechenwerk durch entsprechende Steuersignale die gewünschte Operation mit und sorgt für den Transport der hierfür notwendigen Daten. Die arithmetischen und logischen Operationen werden vom Rechenwerk selbsttätig durchgeführt.

Rechenwerke lassen sich in zwei verschiedene Gruppen einteilen, in **Dual- und Dezimalrechenwerke**. Ein Dualrechenwerk verarbeitet binär codierte Dualzahlen, ein Dezimalrechenwerk ist zur Verarbeitung von binär codierten Dezimalzahlen geeignet. Außerdem unterscheidet man Rechenwerke hinsichtlich ihrer Ausführung in **Serien-, Serienparallel- und Parallelrechenwerke**. Weiterhin existieren auch verschiedene Ausbaustufen für ein Rechenwerk. Einfache Rechenwerke können durch festverdrahtete **Rechentabellen** die geforderte arithmetische Operation durchführen, andere dagegen die **Elementaroperationen Addition, Subtraktion und Stellenverschiebung** ausführen. Höhere Operationen wie Multiplikationen und Divisionen werden durch Unterprogramme abgewickelt. Die höchste Ausbaustufe haben Rechenwerke, bei denen auch diese Operationen festverdrahtet sind und sie auf einen einzigen Steuerbefehl des Leitwerks hin ausführen.

#### 9.5.4.2. Aufbau eines Serienaddierers für Dualzahlen

Das Rechenwerk kann eigentlich nur addieren, alle anderen Rechenoperationen werden auf die Addition zurückgeführt. Ein elektrisches Netzwerk, **Volladdierer** genannt, ist hierbei in der Lage, zwei Dualziffern zu ihrer Summenziffer zusammenzuführen und einen vielleicht entstehenden Übertrag abzugeben. **Bei einem Serienaddierer werden nun die Dualziffern der beiden Summanden einem einzigen Volladdierer zeitgerecht so zugeführt, daß die beiden Ziffern gleichen Stellenwertes gleichzeitig und mit der niedrigsten Stelle voran in den Addierer einlaufen. Ein entstehender Übertrag wird so lange gespeichert, bis er bei der Addition der nächsten Stelle mit berücksichtigt wird.** Abb. 323 zeigt das Prinzip eines solchen Serienaddierers.



Im linken Schieberegister befindet sich der eine Summand; es kann direkt vom Speicherwerk mit Zahlen gefüllt werden. Im rechten Schieberegister befindet sich der zweite Summand. Dieses Schieberegister wird auch **Akkumulator** ge-

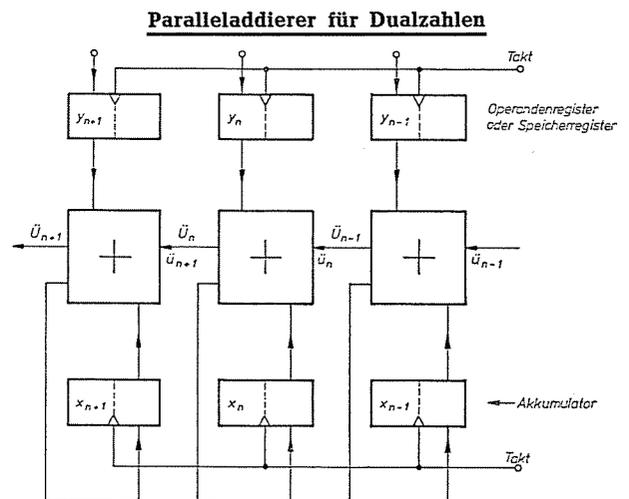
nannt. Beide Register gehen mit ihrem Ausgang auf den Eingang des Volladdierers, das linke Register jedoch über ein vorgeschaltetes Schaltnetz. Dieses Schaltnetz ermöglicht die stellenweise Negation der Dualzahlen. Diese wird notwendig, wenn durch Addition des Komplements der Dualzahlen die Subtraktion durchgeführt werden soll.

Durch einzelne Schiebepulse werden nun die Inhalte der beiden Schieberegister durch das Addiernetzwerk geschoben. Der eventuell auftretende Übertrag wird in einem Flipflop für genau einen Takt zwischengespeichert und damit immer bei der nächsten Stelle mit verarbeitet. Das Ergebnis wird dabei Takt für Takt in den Akkumulator eingelesen; es sammelt quasi das Ergebnis auf.

Soll subtrahiert werden, so wird durch ein entsprechendes Signal erreicht, daß der Inhalt des linken Schieberegisters negiert, also komplementiert in den Addierer einläuft. Außerdem wird beim Einlauf eine „Eins“ auf das Übertragsflipflop gegeben. Bei der Darstellung von negativen Zahlen durch das B-Komplement befindet sich anschließend das Ergebnis der Subtraktion im Akkumulator.

#### 9.5.4.3. Aufbau eines Paralleladdierers für Dualzahlen

Abb. 324 zeigt drei Stellen aus einem dualen Paralleladdierer; er besteht aus einem Volladdierer für jede Stelle der Dualzahl und zwei Registern.



Die Register beinhalten die beiden zu addierenden Zahlen. Die Addierer sind so verbunden, daß der in einer Stelle auftretende Übertrag  $\bar{U}$  gleichzeitig der einlaufende Übertrag  $\bar{u}$  der

nächsthöheren Stelle ist. Die Summenziffer  $z$ , die jeder Addierer abgibt, steht am Informationseingang des unteren Speicherregisters, des Akkumulators. Durch einen Übernahmetakt an den Takteingang wird dann die Summe in das Akkumulatorregister eingelesen. Auch hier wird die Subtraktion durch die Addition des Komplements erreicht. Wird zur Darstellung der negativen Zahlen das (B-1)-Komplement verwendet, so muß der Übertrag der höchsten Stufe auf den Übertragungseingang der niedrigsten Stufe zurückgeführt werden.

Unter der Voraussetzung, daß der eine Summand schon im Akkumulator steht, läuft eine Addition folgendermaßen ab: Durch einen Taktimpuls an das obere Register wird der zweite Summand in das Register eingelesen. Beide Summanden liegen jetzt an den Eingängen der Addierer, und es stellt sich fast augenblicklich das Ergebnis ein. Die Addition ist also mit einem einzigen Takt vollzogen worden. Größere Zeiten ergeben sich jedoch dann, wenn sich ein entstehender Übertrag von der niedrigsten Stelle bis zur höchsten Stelle durch alle Addierer fortpflanzen muß. Bei Addierwerken mit großer Stellenzahl können erhebliche Laufzeiten entstehen. Durch höheren Schaltungsaufwand und komplizierte Schaltungen läßt sich die Zeit für diese Übertragsfortpflanzung jedoch verringern.

## 10. Aufbau elektronischer Schaltkreise

### 10.1. Allgemeines

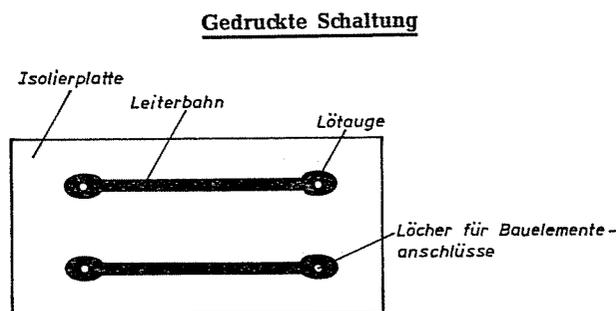
Das ungeheure Tempo, mit dem sich die Elektronik in den letzten Jahrzehnten entwickelte, läßt sich — sehr vereinfacht — an dem Begriff der Packungsdichte zeigen. Darunter ist die Anzahl der Bauelemente einer Schaltung zu verstehen, die pro  $\text{cm}^3$  Rauminhalt unterzubringen sind. Waren es in den 20iger Jahren noch 0,001 Bauelemente pro  $\text{cm}^3$ , so wuchs dieser Wert bis zur Erfindung des Transistors im Jahre 1948 auf 0,5—0,8 und hat in einem kaum vorstellbaren Sprung in den letzten beiden Jahrzehnten die derzeitige Marke von 3000—5000 erreicht. Der Tag, an dem die gesamte Elektronik des ersten, ein ganzes Stockwerk ausfüllenden Computers in einer Streichholzschachtel Platz findet, dürfte nicht mehr fern sein.

Diese atemberaubende Entwicklung ist im wesentlichen ein Produkt der amerikanischen Raumfahrtindustrie. Nicht zuletzt deswegen haben sich international und auch in Deutschland durchweg englische Bezeichnungen durchgesetzt. Wir können uns nicht über diese Gepflogenheit hinwegsetzen und müssen — um zu verstehen und verstanden zu werden — daher diese englischsprachigen Begriffe verwenden.

## 10.2. Gedruckte Schaltungen

### 10.2.1. Prinzipielles Herstellungsverfahren

Etwa 1954 wurde auch in Europa eine Entwicklung übernommen, die das arbeitsaufwendige „Verdrahten“ einer Schaltung durch ein rationelleres Verfahren ablöste. In dieser Technik werden sämtliche Bauelemente auf einer Isolierplatte befestigt und durch flache Leiterbahnen elektrisch miteinander verbunden. Da ein wesentliches Herstellungsmoment das **Aufdrucken der Leiterbahnmuster** darstellt, hat sich der Begriff „Gedruckte Schaltung“ (aus dem Englischen „printed circuits“, auch als Printplatten verdeutscht) eingebürgert. Abb. 325 zeigt eine einfache gedruckte Schaltung: die Bauelemente, also z.B. Widerstände, liegen grundsätzlich auf der nicht mit Leiterbahnen bedeckten Seite. Sie werden durch die Löcher der sogenannten Löt-augen (Ausbuchtungen der Leiterbahn zur Vergrößerung der Lötfläche) gesteckt und dort verlötet. Die Leiterbahnen selbst sind mechanisch fest mit der Isolierplatte verbunden (Norm für gedruckte Schaltungen: DIN 40801).



(Abb. 325)

Die Leiterbahnen werden meist im **subtraktiven Verfahren** hergestellt, bei dem zunächst die gesamte Oberfläche der Isolierplatte mit Kupferfolie bedeckt ist und in einem Ätzvorgang dann alles überflüssige Kupfer bis auf die Leiterbahnen entfernt wird. Im **additiven Verfahren** werden die Leiterbahnen direkt im endgültigen Verlauf auf die Isolierplatte aufgebracht.

Der **Herstellungsprozess** einer gedruckten Schaltung läuft folgendermaßen ab: **Konstruktion; Ausschneiden der Platte aus der angelieferten Tafel; Aufdrucken der Leiterbahnmuster; Herstellen der Leiterbahnen (subtraktiv oder additiv); Bohren oder Stanzen der Löcher für Bauelementeanschlüsse; Bestücken der Platte mit den Bauelementen; Löten; Funktionsprüfung.**

An diesem relativ aufwendigen Herstellungsprozess zeigt sich, daß gedruckte Schaltungen erst in hoher Stückzahl wirtschaftlich zu fertigen sind. Selbstverständlich sind auch Einzelanfertigungen (bei denen auf den Druckvorgang verzichtet wird) möglich und üblich; aber dann aus konstruktiven Gründen, wie geringerer Raumbedarf, bessere mechanische und elektrische Eigenschaften als verdrahtete Schaltungen.

## 10.2.2. Gedruckte Bauelemente

Es liegt auf der Hand, daß z.B. ein Widerstand, der im gleichen Verfahren wie die Leiterbahnen und zusammen mit diesen hergestellt wird, zumindest billiger ist. Er weist aber noch einen zweiten und wichtigen Vorteil auf, er ist — da alle Lötstellen entfallen — **bedeutend zuverlässiger** als ein separat eingelöteter Widerstand. Diese Argumente gelten für alle Bauelemente, die in gleicher Technologie wie die Leiterbahnen herzustellen sind (sie führten nicht zuletzt zur Entwicklung der integrierten Schaltungen).

Ein Widerstand wird durch  $R = \rho \frac{l}{A}$  bestimmt.

Wenn  $A$  der Querschnitt und  $l$  die Länge einer Leiterbahn ist, so muß ein 0,5-Ohm-Widerstand bei einer 500  $\mu\text{m}$  breiten und 35  $\mu\text{m}$  dicken Leiterbahn

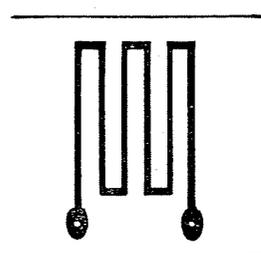
$$l = \frac{0,5 \cdot 0,5 \cdot 0,035}{0,0173} = 0,5 \text{ m}$$

( $\rho_{\text{Cu}} = 0,0173$ ) lang sein. Eine für einen kleinen Widerstand beachtliche Länge. Daher wird die Widerstandsbahn meist mäanderförmig (Abb. 326) angeordnet.

Auch kleine Kapazitäten können als kammartiges Gebilde gedruckt werden (Abb. 327). Dabei sind Werte von 0,5 pF/cm<sup>2</sup> erreichbar. Wird eine beiderseitig mit Kupfer beschichtete Platte benutzt, können 3 pF/cm<sup>2</sup> erzielt werden. Besonders in der HF-Technik haben gedruckte Induktivitäten eine relativ breite Anwendung gefunden (Abb. 328). Ihre Berechnung stützt sich — ähnlich wie bei Kapazitäten — auf empirisch ermittelte Daten.

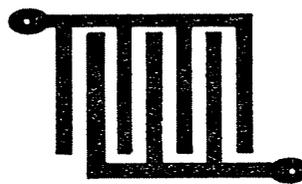
Bisher ist noch kein Verfahren bekannt, auch aktive Elemente, also Transistoren oder Dioden, zu drucken. Zu erwähnen ist aber, daß Transformatoren oder z.B. Rotoren von kleinen Motoren als gedruckte Schaltungen herstellbar sind. Ebenso lösen gedruckte Schaltungen auf flexiblem Isoliermaterial mehr und mehr altbekannte Kabelstämme ab.

### Gedruckter Widerstand



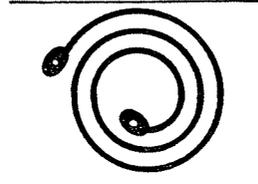
(Abb. 326)

### Gedruckter Kondensator



(Abb. 327)

### Gedruckte Induktivität



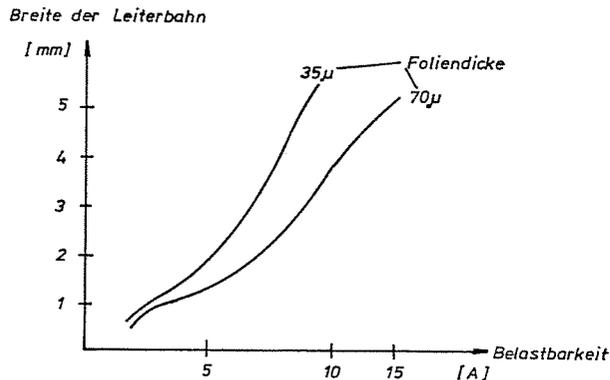
(Abb. 328)

## 10.2.3. Konstruktion

Die Wirtschaftlichkeit einer gedruckten Schaltung hängt weitgehend von einer **gut durchdachten Konstruktion** ab, d.h. von der optimalen Führung der Leiterbahnen und Unterbringung der Bauelemente. Große Firmen besitzen heute hierfür Computer, die anhand der Schaltung die günstigste Möglichkeit ermitteln. Auch bei der Auswahl des sogenannten Basismaterials, der mit Kupferfolie fest beklebten (auch „kaschiert“ genannt) Isolierplatte, sind verschiedene Punkte zu beachten. Die späteren mechanischen Belastungen sind vor allem für die Dicke der Platte, die zwischen 1; 1,5; 2; 2,5 und 3 mm genormt ist, bestimmend. Für die elektrische Funktion sind zunächst die genormten Stärken der Kupferauflage, 35 und 70  $\mu\text{m}$ , wichtig. Bei der Bestimmung der Leiterbahnbreite muß darauf geachtet werden, daß **die Bahnen nicht wärmer als 60° C** werden. Diese Zusammenhänge gehen aus Abb. 329 hervor, in der die Leiterbahnbreite für einen bestimmten Strom abgelesen werden kann. Weiterhin sind die Isolationsfähigkeit und die Dielektrizitätskonstante (als Kriterium der kapazitiven Verkopplung zwischen den einzelnen Leiterbahnen) von Bedeutung.

Die Radio- und Fernsehindustrie verwendet hauptsächlich Phenolpapier (Hartpapier IV) und Epoxid-Hartpapier, während in der Computertechnik und für höhere Ansprüche Epoxidglasgewebe oder Teflonglasgewebe eingesetzt werden. Als Basismaterial flexibler gedruckter Schaltungen dient Teflonfolie.

### Belastbarkeit der Leiterbahnen



(Abb. 329)

#### 10.2.4. Druckverfahren

Da bei einer kupferkaschierten Platte alles überflüssige Kupfer chemisch entfernt wird, muß die zu erhaltende Oberfläche vor dem Ätzmittel geschützt werden. Das läßt sich durch Bedecken dieser Oberfläche mit ätzfester Farbe einfach erreichen. Und nichts liegt näher, als diese Farbe aufzudecken. Besonders bewährt haben sich 3 Verfahren: an erster Stelle der **Siebdruck** (etwa 80 %), dann der **Offsetdruck** und als sehr genaues Verfahren der **Fotodruck**. Da der Siebdruck auch in der Dickfilmtchnik verwendet wird, soll er hier näher beschrieben werden.

Als Druckschablone dient ein engmaschiges Sieb, dessen Maschen an den Stellen undurchlässig sind, an denen keine Druckfarbe das zu bedruckende Material bedecken soll. Die Druckfarbe selbst wird mit einer Rakel über das Sieb gestrichen; an den durchlässigen Stellen kann sie auf die Druckunterlage gelangen. Die hier verwendeten Siebe besitzen 200—350 Maschen pro  $\text{cm}^2$ , damit können Streifen von weniger als 0,1 mm Breite gedruckt werden. Das Schließen der Maschen entsprechend der Druckvorlage erfolgt auf einfachem Weg. Das Sieb wird mit Fotolack bestrichen, dieser dem künftigen Druckmuster gemäß belichtet und im folgenden Entwicklungsprozeß an den Stellen fixiert, an denen das Sieb zu schließen ist.

#### 10.2.5. Herstellen der Leiterbahnen

Bei dem (meist üblichen) **subtraktiven Herstellungsverfahren** der Leiterbahnen wird aus der völlig mit Kupfer bedeckten Platte überall dort die Folie chemisch entfernt, wo keine Leiterbahnen stehen sollen. Dabei ergibt sich das Problem, daß das Kupfer auch unter der schützenden Druckfarbe abgelöst werden kann, sogenanntes **Unterätzen**. Hierdurch wird einer-

seits die minimale Leiterbahnbreite begrenzt, zum andern können unterätzte Bahnen leicht zu Haarrissen und damit zu schwer lokalisierbaren Störungen führen. Diese Unterätzungen sind auch vom Ätzverfahren selbst abhängig. Während bei Tankätzanlagen, bei denen die Platte etwa 5 min in die Ätzlösung gehängt wird, Unterätzungen häufiger vorkommen, treten sie bei Sprühätzanlagen, bei denen die Ätzflüssigkeit ca. 1 min senkrecht auf die Platte gesprüht wird, selten auf.

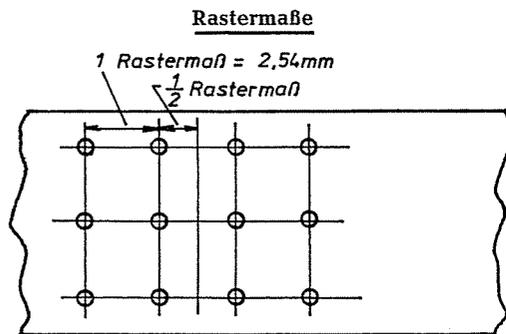
**Additive Verfahren** zur Herstellung der Leiterbahnen haben die ersten Entwicklungsphasen überschritten und setzen sich mehr und mehr durch. Ihr Prinzip beruht auf dem galvanischen Verkupfern. Hierbei wird in einer Lösung von z.B. Kupfersulfat das zu verkupfernde Metall als Katode von Kupferionen, die sich aus einer als Anode dienenden Kupferplatte lösen, beschlagen. Isolierplatten für gedruckte Schaltungen sind allerdings nichtleitend, sie müssen daher erst mit einem Metallüberzug versehen werden. In einem fremdstromlosen Metallabscheidungsverfahren wird zunächst die Platte mit einer 0,1 bis 1  $\mu\text{m}$  dicken Nickelschicht überzogen und diese dann mit dem Negativdruck der künftigen Schaltung bedruckt. In einem Galvanobad kann nun die Platte an allen leitenden Stellen verkupfert werden. Vorteilhaft ist, daß im additiven Verfahren alle beliebigen Stellen verkupfert werden können, also auch die Innenflächen der Löcher für die Bauelemente (**Durchplattieren** genannt). Diese durchplattierten Löcher bieten eine wesentlich größere Lötfläche; kalte Lötstellen sind damit fast ganz zu vermeiden.

Immer häufiger finden doppelseitig kaschierte Platten Verwendung, um eine zusätzliche Leiterbahnebene zu gewinnen (reichen diese beiden Ebenen nicht aus, so können auch mehrere einseitig kaschierte Platten aufeinandergeklebt werden; multi-layer genannt). Die Verbindung von Leiterbahnen der Ober- mit denen der Unterseite ist sehr vorteilhaft mit Durchplattierungen herzustellen.

#### 10.2.6. Bestücken und Einlöten der Bauelemente

Das Bestücken der Leiterplatte mit den Bauelementen war anfangs sehr arbeitsaufwendig. Um hier rationellere Verfahren einsetzen zu können, wurde das sogenannte **Rastermaß** festgelegt: nach DIN 2,5 mm, international nach IEC 2,54 mm. Darunter kann man sich ein Liniennetz dieses Abstands auf der Platte vorstellen, in dessen Kreuzungspunkten die Löcher zur Bauelementeaufnahme liegen (Abb. 330). Auf

dieses Rastermaß sind Bestückungsautomaten und auch Stanzwerkzeuge abgestimmt; außerdem haben sich die Bauelementehersteller darauf eingestellt. Z.B. sind die Anschlüsse für Trimpotentiometer in Rasterabständen ausgeführt.



(Abb. 330)

Nach dem Bestücken der Platte erfolgt das Löten. Die ursprüngliche Handlötung wurde bald von automatischen Tauchlötungen und Fließlötanlagen übernommen. Beim **Tauchlöten** wird die Plattenunterseite so in eine Wanne mit flüssigem Lötzinn getaucht, daß alle Lötstellen mit Zinn benetzt werden. Bei dem — besseren — **Fließlöten** werden die Platten so an einem Lötzinnschwall vorbeigeführt, daß sie ihn tangential mit der Unterseite streifen.

### 10.3. Miniaturelektronik

Nur noch historische Bedeutung hat die Miniaturelektronik, eine Technik, in der sämtliche Bauelemente einzeln miteinander verbunden sind, die aber durch sehr enges Zusammendrängen dieser Elemente zu Packungsdichten von 3—5 Bauelementen pro  $\text{cm}^3$  kommt. Ein typisches Beispiel der Miniaturelektronik stellt die Simiblocktechnik der Firma Siemens dar. Widerstände, Kondensatoren, Transistoren usw. werden dicht nebeneinandergestellt und mit Gießharz vergossen. Der entstandene Block wird senkrecht zu den Anschlußdrähten abgefräst und die neue Oberfläche mit einer Kupferschicht überzogen; jetzt sind alle Bauelemente kurzschlußartig miteinander verbunden. Im nun folgenden Prozeß werden — wie bei der Herstellung gedruckter Schaltungen — Leiterbahnen in die Kupferschicht geätzt.

Die komplette Schaltung eines Blocks weist also keine Lötstelle auf; die Bauelemente sind im Gießharz vor Umwelteinflüssen geschützt. Damit ist ein Optimum an Verkleinerung und Zuverlässigkeit mit herkömmlichen Bauelementen erreicht. Die Packungsdichte von etwa 5 Bauelementen pro  $\text{cm}^3$  wird von der sogenannten **Mikromodul-Technik** aus dem gleichen Haus um etwa das Doppelte übertroffen. Dieser Gewinn muß aber mit dem Preis eigens entwickelter Mikromodul-Bauelemente teuer bezahlt werden. So wie Simiblock und Mikromodule aus der Firmenwerbung verschwanden, so spricht heute auch niemand mehr von ähnlichen Fabrikaten anderer Hersteller (z.B. Microcomposant, Pellet).

## 10.4. Integrierte Filmschaltungen

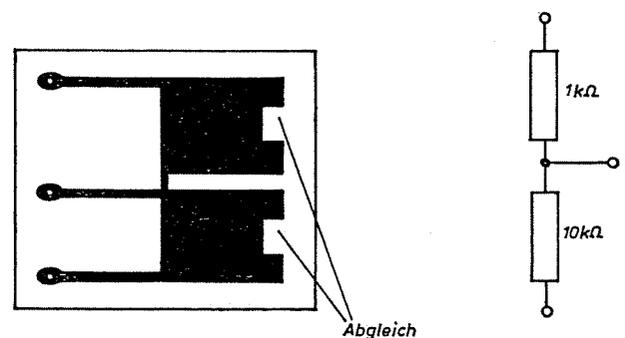
### 10.4.1. Grundlagen der Filmschaltungen

Eine bedeutend höhere Packungsdichte als die der Miniaturelektronik erreichen die im folgenden gezeigten Herstellungsverfahren der **Mikroelektronik**; hierunter sind heute **integrierte Film- und Halbleiterschaltungen** zu verstehen. Bei der Herstellung integrierter Filmschaltungen werden passive Bauelemente und deren Verbindungsleitungen in gemeinsamer Technologie als dünne Filme oder Schichten auf ein gemeinsames Trägermaterial, im allgemeinen kleine Keramikplättchen, aufgebracht; d.h. Bauelemente und Verbindungsleitungen unterscheiden sich nur durch ihre geometrische Form. Dieses gemeinsame Herstellen in einer Technologie kommt in dem Begriff „integriert“ zum Ausdruck.

Prinzipiell werden in der Filmtechnik Dick- und Dünnschichtschaltungen unterschieden. Dickfilmschaltungen benutzen Bahnen von  $100\ \mu\text{m}$  Dicke und mehr, während die der Dünnschichtschaltungen nicht über  $0,01\ \mu\text{m}$  kommen. (Verschiedene Veröffentlichungen unterscheiden nicht zwischen beiden Verfahren, sondern nennen sie nur Filmschaltungen oder nur Dünnschicht- oder auch Dünnschichtschaltungen.) Gemeinsam ist beiden Technologien das Prinzip der Bauelementerzeugung. Hier wurde der Gedanke, der schon bei gedruckten Schaltungen ermöglichte, zur Norm entwickelt.

Widerstände z.B. lassen sich als Rechtecke der Länge  $l$  und Breite  $b$  flach auf eine geeignete Trägerplatte legen. Nun hat man hier aber die Möglichkeit, den spezifischen Widerstand durch entsprechende Wahl des aufzubringenden Materials zu bestimmen. Auf diese Weise können Widerstände nahezu beliebiger Größe erzeugt werden.

#### Spannungsteiler in Dickfilmtechnik



(Abb. 331)

Abb. 331 zeigt zwei zu einem Spannungsteiler integrierte Widerstände. Der untere, hochohmige nimmt die gleiche Fläche ein wie der niederohmige; sein spezifischer Widerstand ist aber bedeutend höher.

In der Filmtechnik beträgt die Herstellungstoleranz von Widerständen etwa 5 %. Sollen genauere Werte erzielt werden, so gibt es einen einfachen Weg: der Widerstand wird mit niedrigerem Wert gefertigt und anschließend durch Sandstrahlen oder Laser so viel von seinem leitfähigen Material entfernt, bis der genaue Wert erreicht ist (Abb. 331).

**Kapazitäten** lassen sich auch recht einfach herstellen. Da ein Kondensator im Prinzip nur aus zwei Platten besteht, die durch ein Dielektrikum getrennt sind, braucht man in der Filmtechnik nichts anderes zu tun, als im ersten Schritt die untere Platte, im zweiten eine Isolierschicht als Dielektrikum und im dritten die obere Platte aufzubringen. Natürlich sollen die Platten aus hochleitfähigem Material bestehen. Da die Kapazität von der Plattenfläche bestimmt wird, sind große Kondensatoren entsprechend platzaufwendig; man wird sie also möglichst vermeiden. Im übrigen lassen sich auch Kapazitäten von Filmschaltungen ähnlich wie Widerstände durch Sandstrahlen oder Laser abgleichen.

**Induktivitäten** sind grundsätzlich auch in der Filmtechnik möglich. Da sie aber nur mit schlechten Eigenschaften aufwarten, verzichtet man ganz darauf.

**Kreuzungen** zwischen zwei Leiterbahnen werden, wenn sie sich nicht vermeiden lassen, ähnlich wie Kondensatoren ausgeführt. Der untere Leiter wird mit einer Isolierschicht abgedeckt, darüber dann der obere gelegt. Natürlich stellt eine derartige Kreuzung auch eine geringe Kapazität dar.

**Aktive Elemente** — Transistoren und Dioden — können in der Serienfertigung noch nicht als Film-Elemente erzeugt werden. Laborversuche haben vielversprechende Ergebnisse erzielt, in wenigen Jahren dürfte auch mit der Serienproduktion zu rechnen sein. Bis jetzt müssen sie als Halbleiterelemente auf die Filmschaltung aufgebracht werden; allerdings mit dem Vorteil, daß sie bei entsprechender Anschlußkonfiguration ohne Gehäuse direkt in die Schaltung eingesetzt werden können.

Die **Vorteile von Filmschaltungen** lassen sich schon jetzt aufzeigen:

- a) Da alle Bauelemente und Innenverbindungen einer Filmschaltung im grundsätzlich gleichen Herstellungsverfahren entstanden, weisen sie auch ähnliches Verhalten (Temperaturabhängigkeit, Alterungserscheinungen) auf.
- b) Da innerhalb einer Filmschaltung keine Lötstelle existiert, ist sie bedeutend zuverlässiger und natürlich frei von Verdrahtungsfehlern.
- c) Da Filmschaltungen auf kleinstem Platz zusammengedrängt sind, können sich die Temperaturen innerhalb der Schaltung gut ausgleichen, damit gemeinsamer Temperaturgang der Schaltung.
- d) Alle Elemente sind durch einen Kunstharzüberzug der Schaltung gegen äußere Einflüsse geschützt. Packungsdichten von etwa 30 Bauelementen pro  $\text{cm}^2$  sind üblich.

Den Nachteil, daß **keine Induktivitäten** erzeugt werden können, muß im wesentlichen der Schaltungsentwickler büßen. Er wird also stets versuchen, Induktivitäten durch andere Lösungen zu umgehen. Filmschaltungen haftet naturgemäß noch mehr als gedruckten Schaltungen der Nachteil an, daß sie nur in Serienfertigung zu vertretbaren Preisen zu erzeugen sind.

#### 10.4.2. Dickfilmtechnik

Ein ausgereiftes und in keiner Weise problematisches Herstellungsverfahren ist das der Dickfilmtechnik; es geht sehr wesentlich auf die im Abschn. 10.2.4. beschriebene Siebdrucktechnik zurück. Nur werden hier nicht mehr Farbmuster von Bauteilen gedruckt, **sondern diese selbst**. Als Trägermaterial und zugleich Druckunterlage dient ein dünnes Keramikplättchen. Zum Drucken und damit Erzeugen der Bauelemente werden nicht Farben, sondern Pasten verwendet, durch deren Zusammensetzung der spezifische Widerstand weitgehend bestimmbar ist. Nach dem Drucken wird die Trägerplatte auf 600 bis 1000 °C erhitzt, dabei brennen die aufgedruckten Muster fest in das Plättchen ein. Zur besseren Leitfähigkeit werden häufig die Innenverbindungen zusätzlich verzinnt.

Als Druckpasten für die Leiterbahnen der Innenverbindungen sind Gemische aus feinsten Metall- und Glasteilchen, meistens Silber, Gold oder Platin, für Widerstände Gemische aus Metalloxid und Glaspasten üblich. In der Dickfilmtechnik können Widerstände beliebiger Größe und Kapazitäten bis zu einigen zehn Nanofarad hergestellt werden.

#### 10.4.3. Dünnfilmtechnik

Die Dünnfilmtechnik verwendet nicht nur wesentlich dünnere Filme als die Dickfilmtechnik, auch das Herstellungsverfahren weicht ganz entschieden ab. Außerdem benutzt sie reine Metalle zur Bauelementeerzeugung und kann daher bessere Leitwerte (z.B. der Innenverbindungen) erzielen. Drei Herstellungsverfahren sind bekannt.

**Hochvakuum-Aufdampftechnik:** Das auf ein Keramikträgerplättchen aufzubringende Filmmaterial (z.B. Tantal für einen Widerstand) wird im Hochvakuum erhitzt. Dabei verdampft das Material aufgrund des jeder Materie innewohnenden Dampfdruckes und kondensiert, dem Muster einer darüberliegenden Maske entsprechend, auf dem Keramikplättchen.

**Katodenzerstäubungstechnik:** Die positiven Ionen eines Edelgases trennen beim Aufschlagen auf das zu zerstäubende Material (Katode) aus dessen Oberfläche Moleküle. Diese Moleküle wiederum schlagen sich auf dem Keramikplättchen, der gewohnten Maske entsprechend, nieder.

**Pyrolytisches Verfahren:** Die abzuscheidenden Stoffe werden als chemische Verbindungen mit niedrigem Schmelzpunkt verdampft. Während der Gasphase können durch Zufügen bestimmter Gase gezielte chemische Reaktionen ausgelöst werden. Als deren Ergebnis schlagen sich die gewünschten Metalle auf dem Trägerplättchen nieder.

In der Dünnfilmtechnik sind Widerstände beliebiger Größe und Kondensatoren etwas größer als bei Dickfilmen herstellbar. Der Vorteil der Dünnfilme liegt in den möglichen sehr engen Toleranzen und den sehr stabilen Werten über lange Zeit.

## 10.5. Integrierte Halbleiterschaltungen

### 10.5.1. Überblick

Die integrierten Halbleiterschaltungen sind ein Kind jüngster Zeit. Im Jahr 1960 (!) legte die amerikanische Firma Fairchild Transistoren vor, auf deren Halbleitermaterial gleich die zugehörigen Widerstände eingebaut, also integriert waren. Diese „integrierten Schaltungen“ haben in kurzer Zeit einen ungeheuren Aufschwung erlebt, sowohl was die Anzahl der in einer Schaltung integrierten Einzelelemente als auch was den Anwendungsbereich betrifft. Trotz oder infolge der rasanten Entwicklung sind sie immer noch unter verschiedenen Begriffen zu finden: neben dem amerikanischen Ausdruck „**integrated circuit**“ (dessen Abkürzung **IC** [auch **JC**, um Verwechslungen mit röm. I zu vermeiden] überwiegend und daher auch hier gebraucht wird) auch als „**Integrierte Schaltung**“ (**IS**), seltener als Festkörperschaltung oder monolithische Schaltung.

Bei den IC unterscheidet man **bipolare und unipolare Schaltkreise**. Mit bipolaren Elementen werden herkömmliche PNP- oder NPN-Transistoren bezeichnet, weil zwei Ladungsträgerarten (Minoritäts- und Majoritätsträger) wirksam werden. Bei unipolaren („ein“polar) Transistoren sorgt nur eine Trägerart für den Ladungstransport.

Die IC bringen dem Anwender fast **nur Vorteile**, eine in der Technik sehr seltene Erscheinung. Sie sind wesentlich kleiner, wesentlich

zuverlässiger, benötigen wesentlich weniger Energie — und sind billiger als Schaltungen mit diskreten Bauelementen. Auf den letzten Punkt mußten die Anwender einige Jahre warten; aber als beide, Verbraucher und Hersteller, erkannt hatten, daß nicht einfach eine herkömmliche Schaltung in IC ausgeführt werden sollte, kam der Preisdurchbruch. Inzwischen sind völlig neue Schaltungslösungen für IC erdacht worden: da z.B. ein integrierter Widerstand teurer als ein integrierter Transistor ist, wird man versuchen, den Widerstand durch einen Transistor zu ersetzen.

Noch eine Anmerkung zu den Schaltsymbolen: in IC werden grundsätzlich die herkömmlichen Schaltsymbole verwendet, jedoch läßt man die Kreise um Transistorsymbole fort und rahmt im allgemeinen den Gesamtkomplex eines IC durch eine gestrichelte Linie ein.

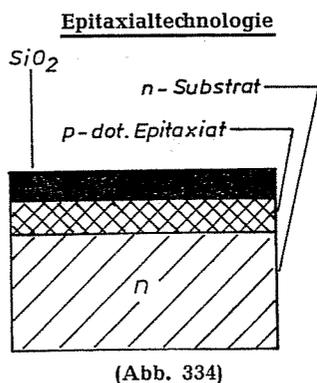
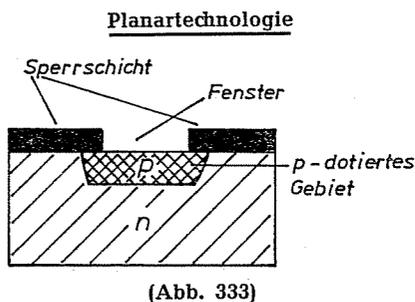
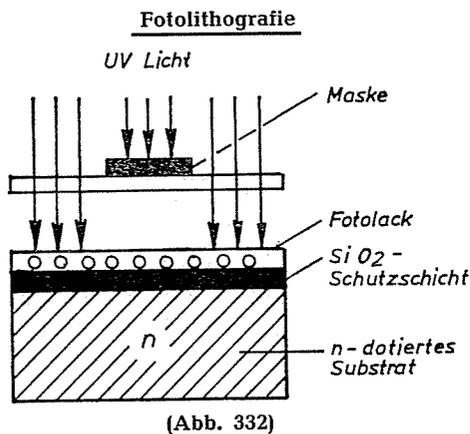
### 10.5.2. Planar- und Epitaxial-Technologie

Aus der Transistorherstellung ist sowohl die Planar- als auch die Epitaxial-Technologie bekannt. Da diese Verfahren Grundlage der IC-Herstellung sind, sollen sie kurz beschrieben werden. Eines der größten Probleme der Transistorherstellung stellen ungewollte Verunreinigungen dar. Durch ein von Fairchild entwickeltes, genial einfaches Verfahren können Verunreinigungen während der Herstellung vermieden werden. Dabei wird vor allen Arbeitsgängen die Oberfläche des Silizium-Plättchens, das als Ausgangsmaterial für den Transistor dient, mit einer 0,5—0,8  $\mu\text{m}$  dicken **Siliziumoxid-Schicht ( $\text{SiO}_2$ )** überzogen. Diese Schutzschicht läßt sich leicht durch Erhitzen des Silizium-Ausgangsmaterials auf 1200 °C in einer Atmosphäre aus Sauerstoff und Wasserdampf erzeugen; sie ist nichts anderes als **Quarzglas**.

So wie das Substrat, das Ausgangsmaterial, jetzt vor ungewollten Verunreinigungen geschützt ist, so können natürlich auch keine gewollten Dotierungen durch die Glasschicht dringen. Daher muß an den Stellen, an denen Fremdatome in das Silizium gelangen sollen, die Schutzschicht entfernt werden. Zunächst wird die gesamte Oberfläche mit Fotolack bestrichen und dieser durch eine Maske an den Stellen mit UV-Licht belichtet, an denen das  $\text{SiO}_2$  stehenbleiben soll; der unbelichtete Lack kann dann beim Entwickeln ausgewaschen werden (fotolithografisches Verfahren). Im folgenden Ätzvorgang wird die  $\text{SiO}_2$ -Schicht nur dort abgelöst, wo sie nicht mit ätzfestem Fotolack bedeckt ist; damit sind sogenannte Fenster in der Schutzdecke entstanden.

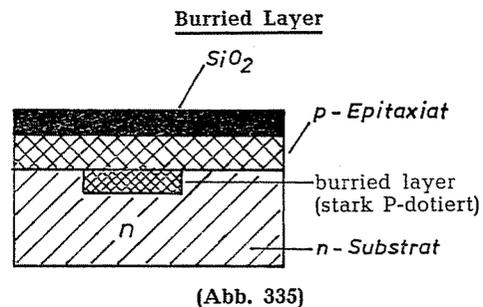
Nun wird das Substratplättchen auf  $1200\text{ }^{\circ}\text{C}$  erhitzt und einem Phosphorgas ausgesetzt; durch die Fenster können Phosphoratome als N-Dotierung in das Silizium dringen und z.B. Kollektorgebiete künftiger Transistoren erzeugen. Nicht nur sind jetzt alle anderen mit  $\text{SiO}_2$  bedeckten Stellen sicher gegen zufälliges Dotieren geschützt, auch beim Eindringen in das offenliegende Silizium bringt dieser Prozeß einen bedeutenden Vorteil. Die Dotierungsatome dringen nicht geradlinig — senkrecht ein, sie breiten sich auch noch unter den Rändern der Fenster waagrecht aus. Damit entsteht die elektrisch allein entscheidende Sperrschicht von Anfang an in völliger Abgeschlossenheit.

Wenn die vorgesehene Tiefe der N-Diffusion erreicht ist, wird das Fenster durch eine Oxydation wieder geschlossen; **den gesamten Prozeß nennt man Planarverfahren**. Abb. 332 zeigt das fotolithografische Verfahren und Abb. 333 ein P-dotiertes Gebiet vor dem Schließen des Fen-



sters (deutlich ist die unter das  $\text{SiO}_2$  gewanderte Sperrschicht zu erkennen).

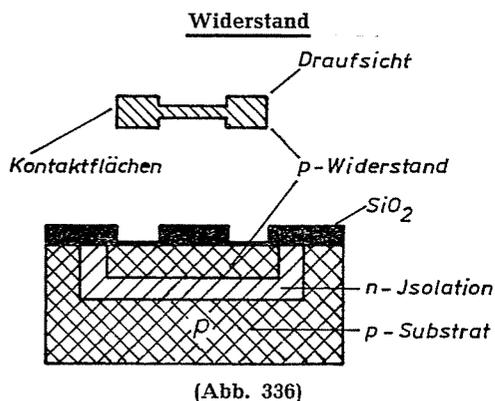
Eine weitere, für die IC-Herstellung wichtige Technologie ist die **Epitaxie** (Abb. 334). Das leicht (P- oder N-) dotierte Silizium-Substrat wird auf  $1200\text{ }^{\circ}\text{C}$  erhitzt und einem Gemisch aus Wasserstoff und Siliziumtetrachlorid ausgesetzt. Die beiden Gase reagieren so miteinander, daß Si-Atome übrigbleiben, die wiederum auf dem Si-Substrat rekristallisieren. Auf diese Weise wächst in wenigen Minuten auf der Substratoberfläche eine mehrere  $\mu\text{m}$  dicke, **monokristalline Siliziumschicht** auf. Diese epitaktisch erzeugte Schicht hat das Substrat als Kristallisationskeim benutzt. Es ist auch möglich, während der Epitaxie gleichzeitig das neue Silizium zu dotieren. Der Vorteil der Epitaxie liegt darin, daß sich auf ein bereits vorhandenes und auch schon dotiertes Siliziumsubstrat eine zusätzliche, monokristalline Siliziumschicht aufbringen läßt. So können vor dem Prozeß der Epitaxie einzelne Stellen des Siliziumsubstrats durch eine hohe Dotierung besonders gut leitfähig gemacht werden, vorzugsweise die „Unterseite“ künftiger Kollektoren (damit erhält man geringere Restspannung). Nach der Epitaxie liegen dann diese Stellen unter der neuen Schicht vergraben; sie werden „burried layer“ (vergrabene Schichten) genannt (Abb. 335).



### 10.5.3. Bipolare IC

#### 10.5.3.1. Widerstände

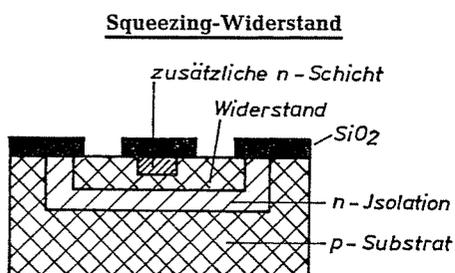
Widerstände lassen sich ebenso aus Halbleitermaterial herstellen wie aus anderen Ausgangsprodukten. Bei Halbleitermaterial als Grundlage kann der spezifische Widerstand durch die Anzahl der Fremdatome, **also durch die Dotierung**, bestimmt werden. Nun werden Widerstände nicht durch eigene Diffusionsprozesse, sondern gleichzeitig mit anderen Herstellungsschritten, z.B. (und meist) während der Basisdiffusion erzeugt. Die sehr schwache Basisdotierung ergibt hohen spezifischen Widerstand und damit auch vertretbaren Flächenbedarf für relativ hochohmige Widerstände.



(Abb. 336)

Abb. 336 zeigt einen Halbleiterwiderstand, der von seiner Umgebung durch eine Sperrschicht isoliert ist. Die Berechnung beruht auch hier auf  $R = \rho \frac{l}{db}$  ( $l$  = Länge,  $b$  = Breite,  $d$  = Eindringtiefe der Basisdiffusion,  $\rho$  = spezifischer Widerstand der Schicht). Wenn man den Schichtwiderstand  $R_s = \frac{\rho}{d}$  einführt, ergibt dies den Widerstand eines Quadrats dieser Schicht von beliebigen Abmessungen. D.h., der Gesamtwiderstand ist durch die Anzahl der Quadrate bestimmt, die sich auf der Länge  $l$  — unabhängig von deren Breite — unterbringen lassen. Typische Werte von  $R_s(\text{basis})$  liegen bei 100—200 Ohm/□.

Halbleiterwiderstände haben generell den Nachteil, daß sie wie ihr Ausgangsmaterial temperaturabhängig sind. Durchschnittlich kann man mit 0,2—0,3 % Widerstandsänderung pro °C Temperaturänderung rechnen. Da sich wiederum jeder Widerstand selbst anheizt, verändern sich seine Werte zusätzlich; **10—30 % Toleranz** der Absolutwerte muß also eingeplant werden. Auch die Herstellungstoleranz liegt hoch, bei 15 % (Ableich wie in der Filmtechnik ist nicht möglich). Allerdings schwankt der Betrag mehrerer Widerstände zueinander **nur um 3—5 % (relative Toleranz)**. Diese relative Toleranz ist eine wichtige Eigenschaft aller Bauelemente eines IC: bei Temperaturerhöhung verhalten sich alle Bauelemente einer Schaltung ähnlich. Dadurch bleibt z.B. das Verhältnis zweier Widerstände eines Spannungsteilers und damit die eingestellte Spannung stehen.



(Abb. 337)

Mit dem geschilderten Verfahren lassen sich Widerstände zwischen 50 Ohm und 50 kOhm ökonomisch herstellen. Größere Werte (0,5 — 1 MOhm) werden durch Verengen der Wider-

standsbahn — während eines anderen Diffusionsschrittes — durch eine zusätzliche N-Schicht erzeugt (sogenannter squeezing-Widerstand; Abb. 337). Es liegt auf der Hand, daß die Toleranzen von squeezing-Widerständen höher — bei 50 % — liegen müssen.

### 10.5.3.2. Kapazitäten

Um einen Kondensator durch Halbleiter herzustellen, braucht man sich eigentlich nichts Neues einfallen lassen: jede Sperrschicht stellt stets auch eine Kapazität dar. Allerdings haben alle diese Kapazitäten den Nachteil, daß ihre Größe **stark spannungsabhängig** ist. Trotzdem werden in IC selten besondere Kapazitäten hergestellt, man nutzt statt dessen die Sperrschichten der Transistoren, Ihre Eigenschaften gehen aus folgender Tabelle hervor:

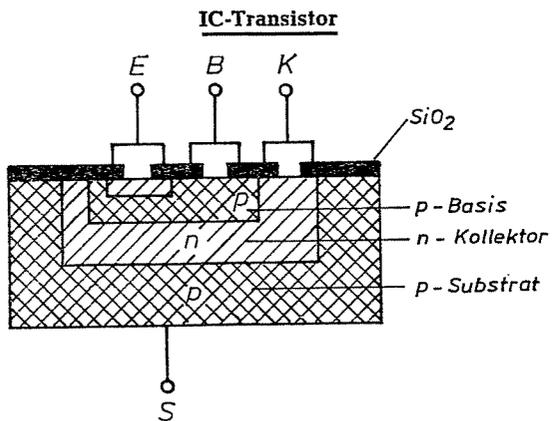
	Emitter/ Basis	Kollektor/ Basis	Kollektor/ Substrat
Flächenbedarf bei 5 V ( $\mu\text{m}^2/\text{pF}$ )	2000	7000	12000
Nutzbare Kapazität bei 5 V (pF)	100	30	20
Spannungsfestigkeit (V)	bis 7	bis 40	bis 40
Toleranz	20 %	20 %	20 %

Eine andere Methode zur Erzeugung eines Kondensators ist die MOS-Technik: untere Elektrode als stark dotierte Siliziumschicht, Dielektrikum als  $\text{SiO}_2$  und obere Elektrode als aufgedampftes Aluminium. Allerdings haben MOS-Kondensatoren — neben den Vorteilen der Spannungsunabhängigkeit, Temperaturunabhängigkeit, Unpolarität — den Nachteil des hohen Flächenbedarfs; z.B. benötigt eine Kapazität mit  $0,5 \mu\text{m}$   $\text{SiO}_2$ -Dielektrikum ca. 140 000  $\mu\text{m}^2/\text{pF}$  Fläche. MOS-Kondensatoren sind also sehr aufwendig, Sperrschichtkondensatoren haben viele Nachteile — es lohnt daher, Kondensatoren durch andere Schaltungsvarianten zu ersetzen.

Da auch Induktivitäten mit viel zu vielen Nachteilen behaftet sind, verzichtet man darauf und kompensiert sie durch andere Schaltungskonzeptionen. So werden z.B. herkömmliche Filter auf aktive Filterschaltungen zurückgeführt oder kapazitiv gekoppelte Verstärkerstufen durch direkt gekoppelte ersetzt.

### 10.5.3.3. Aktive Elemente

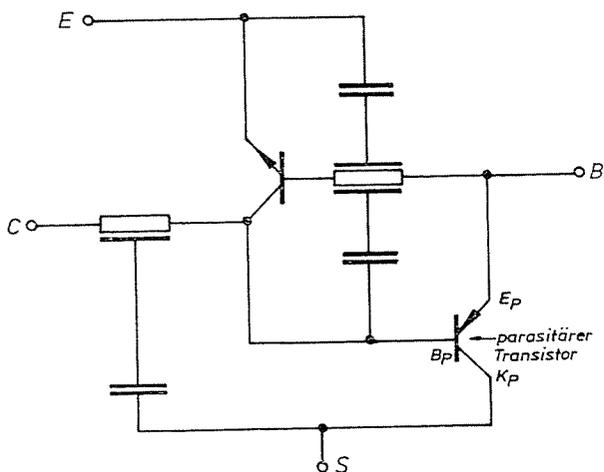
Die Herstellung von Transistoren in IC ist grundsätzlich nicht anders als in der Einzelherstellung. Jedoch gibt es eine entscheidende Schwierigkeit bei IC: die Isolation der einzelnen Schaltungselemente voneinander (vgl. Abschn. 10.5.3.4.). Bei der meist verwendeten Sperrschichtisolation baut sich ein Transistor wie in Abb. 338 gezeigt auf. Das Substrat ist P-dotiert, in die epitaktisch aufgetragene Schicht ist der Kollektor N-dotiert eindiffundiert (und evtl. mit



(Abb. 338)

einer buried-layer-Schicht unterlegt), darin wiederum die P-Basis und der N-Emitter. Genauso entsteht aber auch ein Transistor — von unten nach oben — aus der Schichtenfolge P-Substratgebiet als Kollektor, N-Gebiet jetzt als Basis und P-Gebiet als Emitter. Dieser sogenannte **parasitäre Transistor** läßt sich nicht vermeiden. Er ist (Abb. 339) eng mit dem gewoll-

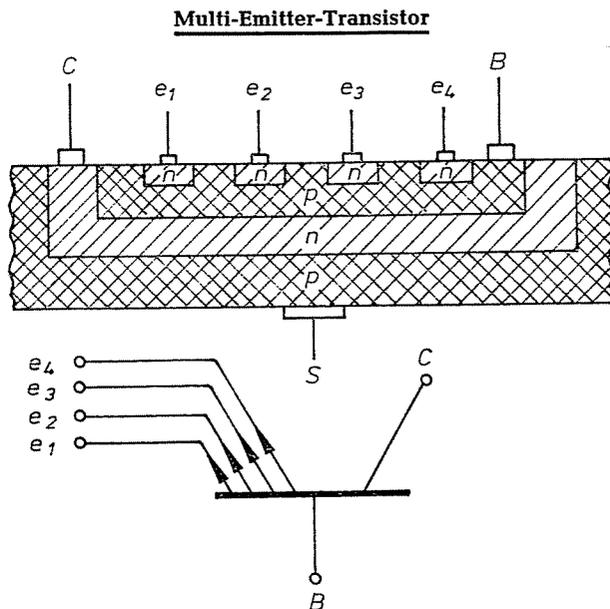
IC-Transistor mit parasitärem PNP-Transistor



(Abb. 339)

ten Transistor verbunden, Basis mit  $E_p$  und Kollektor mit  $B_p$  direkt,  $C_p$  kapazitiv über das Substrat mit dem Kollektor. Diese enge Verwandtschaft der beiden Transistoren kann den gewünschten NPN-Transistor **empfindlich verschlechtern!**

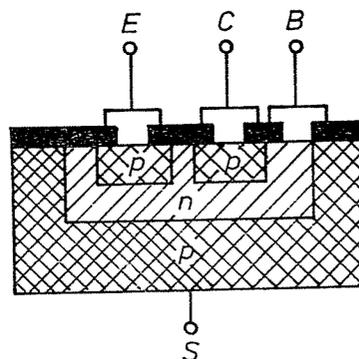
In Digital-IC werden häufig Multi-Emitter-Transistoren verwendet. Dort wird nichts anderes gemacht, als in das Basisgebiet entsprechend viele Emitterinseln zu diffundieren (Abb. 340). Gewöhnlich arbeiten IC auf der Struktur von NPN-Transistoren. Werden jedoch PNP-Transistoren benötigt, so nutzt man die sogenannte **laterale Konfiguration**. Bei dieser liegen Emitter, Basis und Kollektor horizontal nebeneinander (Abb. 341). Eine derartige Struktur kann



(Abb. 340)

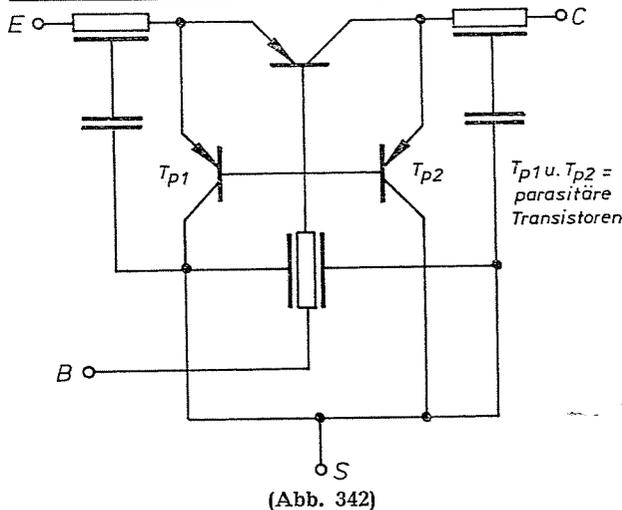
ohne zusätzliche Schritte zusammen mit anderen Diffusionen hergestellt werden. Abb. 342 zeigt im Ersatzbild, daß sich hier gleich zwei parasitäre Transistoren angeschaltet haben. Der laterale PNP-Transistor ist also **bedeutend schlechter** als der NPN.

Lateraler PNP-Transistor



(Abb. 341)

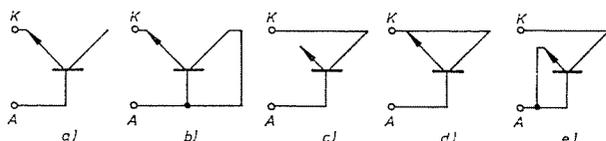
Parasitäre Transistoren eines lateralen PNP-Transistors



(Abb. 342)

Jeder Transistor enthalt zwei Dioden. In IC verwendet man gern die **Diodenstrecken von Transistoren als Dioden** und verzichtet auf die Herstellung eigener Dioden (die genauso moglich ware). Die funf Schaltungsvarianten zeigt Abb. 343. Die Variante b) besitzt die kleinste Speicherzeit, c) und e), die den Kollektor-Basisubergang nutzen, die hochste Sperrspannung. Je nach Forderung der Schaltung mu die optimale Losung gewahlt werden.

#### Dioden in IC

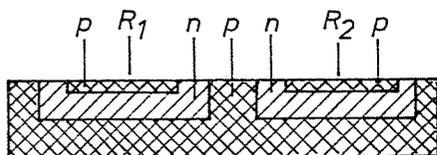


(Abb. 343)

#### 10.5.3.4. Isolation

Halbleitermaterial als Grundbasis aller IC hat den Nachteil, da es — ohne Gegenmanahmen — die einzelnen Elemente einer Schaltung nicht voneinander isoliert. Mit einem einfachen Trick kann man diesen Nachteil einigermaen ausschalten: es mu dafur gesorgt werden, da alle Bauelemente durch **Sperrschichten voneinander isoliert sind (sog. Sperrschichtisolation)**.

#### Sperrschichtisolation



(Abb. 344)

Abb. 344 zeigt als einfachen Fall zwei Widerstandestrukturen.  $R_1$  und  $R_2$  sind gegen das Substrat S durch die Sperrschichtenfolge PN und NP getrennt, gegeneinander durch PN-NP-PN-NP, also durch vier Diodenstrecken. Ein Transistor ist gegen das Substrat (vgl. Abb. 338) aber nur durch einen NP-Übergang gesperrt. Es mu also stets schaltungsmaig darauf geachtet werden, da die **Diodenstrecke nicht in die Durchlarichtung gerat**; d.h., das Substrat mu stets negativer als der Kollektor sein.

Neben dem Nachteil, da fur die meisten Bauelemente eigene Isolationsinseln geschaffen werden mussen, bilden alle diese Sperrschichtstrecken naturlich Kapazitaten, die in der Summe zu Buch schlagen und die Grenzfrequenz bipolarer IC sehr herunterdrucken. Daher wurden (und

werden) mehrere Verfahren entwickelt, das Isolationsproblem zu losen. Die am weitesten entwickelte Technik, mit der z.Z. die schnellsten Schaltungen herzustellen sind, ist das **„beam-lead-Verfahren“**. Dabei werden alle einzelnen Elemente eines IC, nachdem die Aluminiumverbindungsbahnen aufgebracht sind (Verbindung der Bauelemente vgl. Abschn. 10.5.3.5.), aus dem Substrat herausgeatzt. Übrig bleibt eine fast herkommliche Schaltung mit winzigen Einzelementen, die durch die Alu-Leiterbahnen zusammengehalten wird. Diese Technik hat jedoch den Nachteil, da sie nicht sonderlich erschutterungs- und schockfest (Raumfahrt!) und wegen der nicht moglichen Verbindungskreuzungen nur beschrankt ausbaufahig ist.

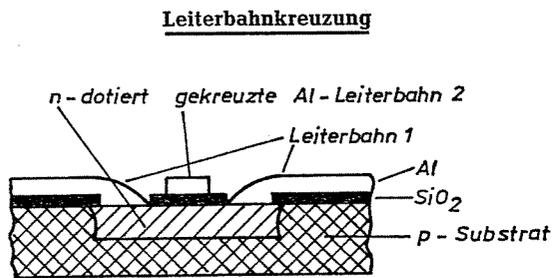
#### 10.5.3.5. Herstellungsproze von bipolaren IC

Die Planartechnologie hat die Grundlage der IC-Herstellung geschaffen und auch die wirtschaftliche Fertigung der IC durch einen zusatzlichen Vorteil ermoglicht: **auf einem Siliziumscheibchen lassen sich gleichzeitig einige hundert bis tausend IC erzeugen**. Dazu wird die fur einen einzelnen IC gultige Maske auf fotografischem Weg vervielfacht, so da viele Reihen gleicher Einzelmasken auf der Gesamtmasken liegen und bei der Belichtung das Siliziumscheibchen abdecken. Dieses Scheibchen, **„Wafer“ genannt**, hat etwa 50 mm (2" gegenuber fruher 1"  $\approx$  25 mm) Durchmesser und ist einige 100  $\mu$ m dick. Das kleine Stuckchen daraus, das spater einen IC ergibt, benotigt 1 bis maximal 5 mm<sup>2</sup> Platz und wird als **„Chip“** bezeichnet.

Der P-dotierte Wafer wird zunachst an den buried-layer-Stellen stark N-dotiert. Dann lat man epitaktisch eine etwa 10  $\mu$ m hohe N-Schicht aufwachsen. Diese Schicht wird nun durch stark P-dotierte **„Graben“**, die das Epitaxiat bis zum Boden durchdringen, in echte Isolationsinseln fur die Aufnahme der Bauelemente unterteilt. Im darauffolgenden P-Diffusionsproze entstehen gleichzeitig Widerstandestrukturen und die Basen kunftiger Transistoren. Mit der letzten, stark N-dotierten Diffusion werden die Emitter und die Zonen der Kollektoren, auf denen spater die Kontaktierung erfolgt, erzeugt.

Jetzt ist, wie in einer Schaltung mit diskreten Elementen, auf einem Chip eine groe Anzahl von Bauelementen entstanden. Diese mussen miteinander **„verdrahtet“** werden. Dazu atzt man an den Stellen, an denen die einzelnen Bauelemente mit Kontaktpunkten versehen werden sollen, Locher in die SiO<sub>2</sub>-Schutzschicht. Anschließend wird der gesamte Wafer mit Aluminium bedampft, das sich in allen offenen Fenstern

innig mit dem zu kontaktierenden Element verbindet. Nun braucht nur noch das Aluminium — nach altbekanntem Verfahren — so entfernt zu werden, daß Verbindungsbahnen entsprechend der Schaltung übrigbleiben. Wenn die Schaltung so kompliziert wird, daß sich **Kreuzungen zwischen zwei Leiterbahnen** nicht vermeiden lassen, dann wird die eine als kurzes, niederohmig dotiertes Stück unter der anderen vorbeigeführt (Abb. 345).



(Abb. 345)

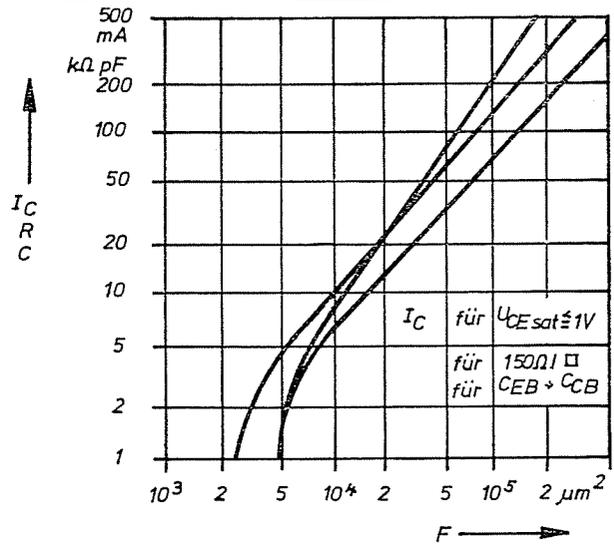
Zusammenfassend sind in der folgenden Tabelle die typischen Werte integrierter Bauelemente aufgeführt. Abb. 346 zeigt den Flächenbedarf der drei Einzelelemente (aus der z.B. ersichtlich ist, daß Leistungstransistoren in IC sehr teuer wären).

Die typischen Werte integrierter Schaltungen

Transistoren		NPN	PNP
Kollektorstrom	$I_{Cmax}$	10—1000	1—10 mA
Stromverstärkung	$B_{max}$	80—240	1—10 —
Spannungsfestigkeit	$U_{CEO}$	20—30	20—30 V
	$U_{EBO}$	6—9	20—30 V
Transitfrequenz	$f_T$	300—500	1—10 MHz
<b>Widerstände</b>		normal	„squeezing“
Widerstand	R	0,05—50	1—1000 kΩ
Spannungsfestigkeit gegen Insel	$U_z$	40—60	6—9 V
Fertigungstoleranz	$\Delta R$	$< \pm 20$	$< \pm 50$ %
	$\Delta \frac{R_1}{R_2}$	$< \pm 5$	$< \pm 5$ %
<b>Kondensatoren</b>		CEB	CCB
Kapazität	C	1—100	1—30 pF
Spannungsfestigkeit	$U_z$	6—9	40—60 V
Fertigungstoleranz	$\Delta C$	$< \pm 20$	$< \pm 20$ %

Tabelle 71

Flächenbedarf von Bauelementen bipolarer IC



(Abb. 346)

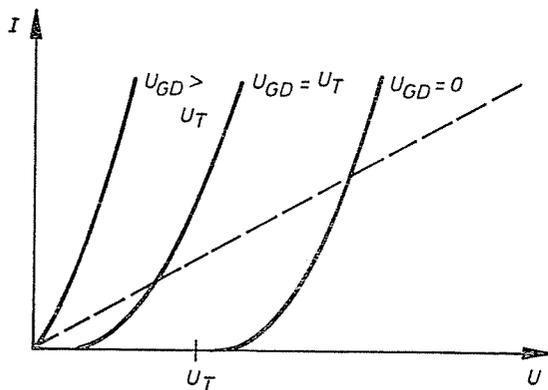
### 10.5.4. Unipolare IC

Die Entwicklung der Feldeffekttransistoren hat eigentlich schlagartig auch die Entwicklung von IC auf gleicher Basis nach sich gezogen. Für derartige IC spricht der geringe Platzbedarf eines MOS-FET. Werden nur Typen einer Kanalart (i. allg. sind P-Kanal-Anreicherungstypen üblich, von diesen soll im folgenden die Rede sein) benutzt, dann brauchen die einzelnen MOS-FET **nicht voneinander isoliert zu werden**; somit entfällt der zusätzliche Platzbedarf der Isolationsinseln und alle mit dieser Technik zusammenhängenden Probleme. Außerdem: zwei bipolare Transistoren benötigen etwa eine Fläche von 0,02 mm<sup>2</sup>, zwei MOS-FET kommen mit nur 0,0034 mm<sup>2</sup> aus.

Weiterhin ist vorteilhaft, daß Drain und Source gleichermaßen P-dotiert sind und daß bei Schaltungen mit aufeinanderfolgendem Drain-Gebiet des einen und Source des anderen (z.B. Abb. 348) nur ein gemeinsamer P-Bereich erzeugt werden muß. Der unschlagbare Vorteil ist jedoch: in einem unipolaren IC bestehen **alle Bauelemente nur aus einem einzigen Typ, dem MOS-FET**.

Wie kann nun ein Widerstand durch einen MOS-FET erzeugt werden? Wenn man die gestrichelte Linie im Kennlinienfeld der Abb. 347 anschaut, so stellt diese einen ganz normalen Widerstand dar, dessen Wert durch das Verhältnis Spannung zu Strom bestimmt ist. Aber auch die anderen, nichtlinearen Kennlinien der Abb. 347 können als zueinandergehörige Werte von Spannungs/Stromverhältnissen aufgefaßt werden.

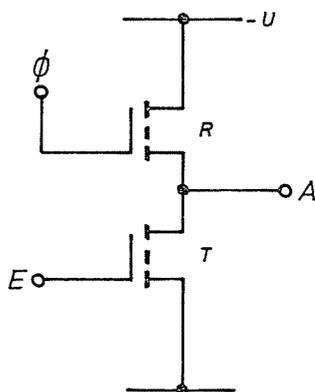
### MOS-FET als Widerstand



(Abb. 347)

Links in Abb. 347 ist die Schaltung eines Widerstands-MOS-FET gezeigt. Je nach Wert von  $U_{GD}$  ergibt sich die Kennlinie rechts. Bei Kurzschluß zwischen G und D beginnt die Widerstandskennlinie mit  $U_T$  ( $U_T$  ist die Schwellspannung bei unipolaren Transistoren), bei  $U_{GD} = U_T$  verläuft sie durch den Nullpunkt, während sie bei  $U_{GD}$  größer  $U_T$  mehr linearisiert ist. Wenn das Gate offen ist, wirkt der Anreicherungs-MOS-FET wie ein offener Schalter, die S-D-Strecke bildet dann einen nahezu unendlich hohen Widerstand ( $10^{10}$ — $10^{21}$  Ohm).

### Getakteter MOS-FET-Inverter



(Abb. 348)

Diese Tatsache ergibt nun wiederum eine sehr elegante Möglichkeit, Strom zu sparen: der Widerstand wird nur dann eingeschaltet, wenn er gebraucht wird. Abb. 348 zeigt einen einfachen digitalen MOS-Verstärker (Inverter), der diese Möglichkeit ausnutzt. Der als Arbeitswiderstand R geschaltete obere MOS-FET wird durch den Takt  $\phi$  ein- und ausgeschaltet. Wenn der Takt anliegt, d.h., an Punkt  $\phi$  eine bestimm-

te negative Spannung steht, ist der Inverter in Betrieb und wird benötigt, in den Taktphasen ist er ausgeschaltet und verbraucht keine Leistung.

Jeder MOS-FET besitzt mehr Kapazitäten als normalerweise erwünscht ist. Für den Fall, daß in IC Kapazitäten gebraucht werden, greift man auf diese zurück. Die größere und leider stark spannungsabhängige ist die Gate-Bulk-Kapazität. Kaum anders verhält sich der aus den kurzen Überlappungsflächen Gate-Drain bzw. Gate-Source gebildete Kondensator. Natürlich können auch eigene MOS-Kapazitäten, wie in Abschnitt 10.5.3.3. geschildert, gefertigt werden.

Die **aktiven Elemente** unipolarer IC bestehen **nur aus MOS-FET**; auch hier zeigt sich deren Universalität. Da Drain und Source lediglich durch die Polarität der angelegten Spannung bestimmt sind, kann man **diese beiden Elektroden beliebig vertauschen** und ihre Bedeutung sogar von den Signalzuständen abhängig machen. Z.B. werden in bestimmten Flip-Flop-Schaltungen Source und Drain von MOS-FET je nach Lage des FF vertauscht (was nicht unbedingt das Verständnis einer solchen Schaltung erleichtert).

Der Herstellungsprozeß einer MOS-FET-IC läuft im Prinzip nicht anders ab als der einzelner MOS-FET auch. Ein N-leitender, mit  $\text{SiO}_2$ -Schutzschicht abgedeckter Silizium-Wafer ist das Ausgangsmaterial. An den Stellen, an denen Source- und Drain-Gebiete entstehen sollen, werden — nach entsprechenden fotolithografischen Vorbereitungen — Fenster in das Oxid geätzt. Es folgt die P-Diffusion, darauf das Schließen der Fenster. In den Gatezonen muß nun das alte, etwa  $2,5 \mu\text{m}$  dicke  $\text{SiO}_2$  entfernt und bei erneuter Oxidation durch eine  $0,1 \mu\text{m}$  dünne Schicht sorgfältig ersetzt werden. Im nächsten Schritt müssen an all den Stellen Fenster in die Schutzschicht geätzt werden, an denen Kontakte entstehen sollen. Anschließend wird der ganze Wafer mit Aluminium bedampft. Im letzten Schritt kann das Aluminium so weggeätzt werden, daß die gewünschten Verbindungsbahnen übrigbleiben. Anzumerken wäre noch, daß eine unipolare Schaltung mit insgesamt 38 Haupt- und Nebenschritten herzustellen ist, während ein bipolarer IC 130 Schritte benötigt.

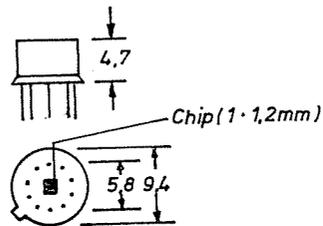
### 10.5.5. Prüfen, Kontaktieren und Verkapseln

Fast genauso teuer wie die bisher geschilderten Herstellungsschritte eines IC sind das Befestigen des Chips auf dem Boden des künftigen Gehäuses, das Verbinden der Anschlußstifte und das luftdichte Verschließen des Gehäuses.

Aus diesem Grund wird ein kompletter Wafer, nachdem er die letzten Fertigungsschritte hinter sich hat, in einen Prüfautomaten gebracht, der mit Nadelsonden IC für IC abtastet und eine so genaue wie mögliche Prüfung automatisch vornimmt.

Der Prüfautomat markiert schlechte IC mit einem Farbfleck, sie werden nicht weiterverarbeitet. Die Summe der als „gut“ herausgeprüften IC nennt man **Ausbeute**. Je höher dieser, in Prozent angegebene Wert liegt, um so wirtschaftlicher ist die Herstellung. Bei nicht allzu komplizierten IC sind 70—80 % Ausbeute typisch.

#### Echte Größenverhältnisse beim TO-5-Gehäuse



(Abb. 349)

Nach dem Prüfen wird der Wafer zerschnitten, die dadurch entstandenen einzelnen Chips müssen auf dem Gehäuseboden befestigt werden (Löten oder Ultraschallschweißen). Anschließend folgt eine äußerst diffizile Arbeit, das Verbinden der Kontaktflächen des Chips mit den Gehäuseanschlüssen. Abb. 349 veranschaulicht die echten Verhältnisse: die in natürlicher Größe gezeichneten 10 Anschlußstifte des TO-5-Gehäuses sind mit den winzigen Kontaktflächen des 1,2 x 1,0 mm großen Chips zu verbinden. Dazu werden heute Aluminiumverbindungsdrähte (früher Gold) mit Durchmessern zwischen 10 und 50  $\mu\text{m}$  benutzt, die mit der Kontaktfläche des Chips und dem Anschlußstift des Gehäuses verschweißt werden. Dieses „**Bonden**“ genannte Verfahren (in der deutschen Literatur auch „**Termokompression**“) konnte früher nur von Hand ausgeführt werden, ist inzwischen aber auch automatisiert.

Ein weiteres Problem stellt das Gehäuse selbst dar. Bei bipolaren IC sind theoretische Packungsdichten von 20 000 Bauelementen pro  $\text{cm}^3$  möglich, aber das immer notwendige und viel größere Gehäuse reduziert diesen Wert auf ungefähr 500—1000. Für Anwendungen, bei denen die hohe Packungsdichte ausgenutzt werden muß (Militär, Raumfahrt), wurde ein teures, sehr kleines Gehäuse entwickelt: das flat-pack mit 6 mm Seitenlänge, 1,1 mm Höhe und 10 bis 14 Anschlüssen.

Weite Verbreitung haben zwei Gehäuseformen gefunden. Einmal ein modifiziertes TO-Gehäuse mit maximal 10—12 Anschlüssen (vgl. Abb. 349), zum andern das sehr häufig verwendete **dual-inline-Gehäuse** (seltener auch DIP ge-

nannt), mit 8 mm Breite, 18 mm Länge und 5 mm Höhe und mit 14—18 Anschlüssen, die im Rastermaß gedruckter Schaltungen voneinander entfernt liegen. Für Anwendungen mit nicht allzu hohen Forderungen breiten sich immer mehr Kunststoffgehäuse aus, die nichts anderes sind als eine Ummantelung der Chips mit Epoxidharz o.ä. und entsprechender Herausführung der Anschlüsse. Mit diesem einfachen Schutz kann der Preis gegenüber anderen Gehäusen um ca. 50 % gesenkt werden.

#### 10.5.6. Großschaltkreisintegration

Wie Abschn. 10.5.5. zeigte, entfällt ein hoher Anteil der Kosten eines IC auf die Verkapselung des Systems. Je mehr Funktionen also in einem Gehäuse untergebracht werden, um so günstiger dürfte der Preis sein. Diese Tendenz, immer mehr in einen IC zu integrieren, setzte sehr bald ein; sie hat aber zwei Grenzen: je größer ein einzelner Schaltkreis, um so leichter können Herstellungsfehler die Ausbeute eines Wafers herunterdrücken; weiter aber: je mehr Funktionen auf einem IC untergebracht sind, um so spezialisierter ist dieser, um so weniger Käufer wird er finden. Der Einzelpreis wird aber erst dann interessant, wenn sich die hohen Entwicklungskosten auf eine hohe Serienfertigung des IC umlegen lassen.

Durch die immer besseren Herstellungsverfahren liegt die wirtschaftliche Grenze z.Z. bei 300 bis 500 Bauelementen pro bipolaren IC, für unipolare IC um etwa das Zehnfache höher. Um aber für derart hohe Funktionsdichten einen Markt zu finden, haben die Hersteller ein gutes Verfahren erdacht: eine Grundschaltungskonfiguration, z.B. ein NAND-Gatter, wird vielleicht mehrere hundertmal nebeneinander auf einem Chip untergebracht, mit Ausnahme der Aluminium-Verbindungsbahnen gefertigt und auf Lager gelegt. Hat der Anwender seine Geräteschaltung entwickelt, teilt er diese dem Hersteller mit. Der legt nun anhand der Schaltung die Verbindung zwischen den einzelnen Gattern fest und dampft die Verbindungsbahnen auf. Jetzt ist eine Schaltung für einen ganz speziellen Zweck entstanden, die aber auf allgemein anwendbare Grundschaltungen zurückgeht.

Die Komplexität derartiger Schaltungen wuchs so rapid an, daß Menschen beim Entwerfen der Verbindungsbahnmuster überfordert waren. Die großen IC-Hersteller setzen heute Computer ein, denen der Wunsch des Anwenders mitgeteilt wird. Nach wenigen Minuten werfen die Computer komplette und fehlerfreie Masken für die letzten Fertigungsschritte aus (sogenannte **Computer-aided-design; CAD**).

Für die Großschaltkreisintegration haben sich international zwei Begriffe durchgesetzt: Schaltungen mit 15—100 integrierten Funktionsgruppen (also z.B. Gattern) werden **MSI (Medium-Scale-Integration; medium = mittlere)** und solche mit mehr als 100 Funktionseinheiten **LSI (Large-Scale-Integration; large = groß)** genannt. Unter IC versteht man, strenggenommen, nur integrierte Schaltungen mit bis zu 15 Funktionsgruppen. Als typisch und schon lange eingeführte Vertreter von LSI gelten Schieberegister mit 100 und mehr bits und Festwertspeicher, wie z.B. Mikroprogramm Speicher, mit 1024 bits (Fairchild 3501).

### 10.5.7. Hybride Schaltungen

Beim heutigen Entwicklungsstand der Elektronik ist die Lötverbindung die unzuverlässigste Stelle einer Schaltung. Einen Weg, sie zu vermeiden, zeigen LSI. Aber auch LSI müssen wiederum durch Lötstellen untereinander verbunden werden. Ein weiteres Problem z.B. modernerer Rechner sind die Laufzeiten der Signale über die Leitungen und auch die kapazitive Belastung, die eine Leitung darstellt.

Die Lösung beider Probleme liegt auf der Hand: wenn schon in Filmschaltungen ungekapselte Transistoren eingesetzt werden, dann lassen sich genauso gut ungekapselte IC dort unterbringen. Auf z.B. einem Dünnfilmkeramikträger wird also zunächst das Schaltleitungsmuster mit eventuell noch unterzubringenden Dünnfilmwiderständen und -kondensatoren aufgedampft und dann der IC in die Schaltung eingefügt. Dieses Verfahren bietet gleichzeitig mehrere Vorteile: Fortfall vieler Lötstellen, keine nennenswerten Verbindungsleitungslängen und -kapazitäten; größere Widerstände oder Kapazitäten, die auf einem IC zu teuer sind, lassen sich viel billiger in der Filmtechnik herstellen.

Diese **Kombination aus Filmtechnik und IC nennt man hybride Schaltung**. Ihre Entwicklung steht erst am Anfang, aber ihre Zukunftsaussichten sind etwa so: Auf einem Keramikplättchen von Streichholzschachtelfläche werden einige LSI mit mehreren tausend Funktionsgruppen aufgebracht und „verdrahtet“, auf weiteren Trägerplatten gleicher Abmessung werden weitere LSI untergebracht, alle diese Keramikplättchen aufeinander gestapelt und durch Querverbindungen miteinander „verdrahtet“. Ein Paket mit vielleicht zehn solcher Keramikplättchen paßt immer noch in eine Streichholzschachtel.

Diese Schachtel beherbergt dann einen kompletten Computer — natürlich ohne Ein- und Ausgabegeräte —, der schneller, zuverlässiger und mit längerer Lebensdauer arbeitet als die heute in großen Schränken untergebrachten Geräte. Was spricht dagegen, diesem Computer in der Streichholzschachtel z.B. das Lenken unserer Autos zu überlassen?

## 10.6. Digitale Anwendungen der Mikroelektronik

### 10.6.1. Bipolare statische Schaltungen

Das größte Anwendungsgebiet integrierter Schaltungen liegt zweifelsohne in der Digitaltechnik. Elektronische Datenverarbeitungsanlagen benötigen eine Vielzahl gleichartiger Schaltungen; nicht zuletzt führte dieser Grund mit zur Entwicklung von IC.

In den Anfängen der Digitalelektronik — noch vor dem Aufkommen integrierter Schaltungen — entwickelte jeder Anwender seine eigenen Schaltkreise für den Aufbau von Gattern, Flipflops usw. Schon bald setzten sich aber auch hier gewisse Prinzipien der Schaltungsauslegung durch, die mehr oder weniger von den meisten Herstellern übernommen wurden. Für diese im Aufbau grundsätzlich gleichen Schaltungen hat sich der Begriff **Schaltungsfamilie** (auch Logikfamilie) eingebürgert.

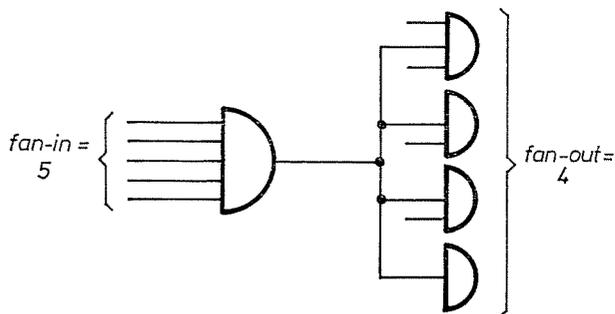
Eine Schaltungsfamilie umfaßt sämtliche, für den Aufbau digital arbeitender Geräte notwendigen Bausteine. Dazu gehören die Gatterschaltungen, die Signale logisch miteinander verknüpfen und das Potential am Ausgang so lange aufrechterhalten, wie der Zustand der Eingänge unverändert bleibt. Aus diesem Grund spricht man von **statischen Schaltungen** (auch asynchrone oder kombinatorische Logik). In Ergänzung dazu gibt es Bausteine, die den Zustand am Ausgang auch von einem vorherigen Eingangszustand abhängig machen, d.h. Speicherverhalten zeigen. Diese nennt man **sequentielle Schaltungen**; sie unterscheiden sich durch ihre Speicher — das sind fast immer Flipflops — von den statischen Schaltungen.

Die Zugehörigkeit zu einer Schaltungsfamilie setzt voraus, daß alle Familienmitglieder gemeinsamen Normen entsprechen. Die wichtigsten dieser Kriterien sind in der folgenden Tabelle zusammengestellt.

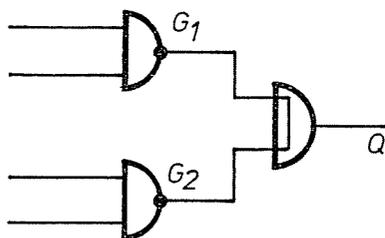
## Begriffe bei Schaltungsfamilien

Kriterium	Erklärung
<b>Minimaler Signalhub</b>	Mindestspannung zwischen den logischen Zuständen „1“ und „0“
<b>Laufzeit</b> (auch Schaltzeit, Verzögerungszeit, Schaltgeschwindigkeit)	Zeit, die vom Anlegen des Signals am Eingang bis zum Erscheinen am Ausgang vergeht
<b>Störsicherheit</b> (auch Störabstand)	Maximale Spannung am Eingang, die noch keine Änderung des Ausgangssignals ergibt
<b>Leistungsverbrauch</b> (auch Leistungsaufnahme, Verlustleistung)	Leistungsaufnahme eines Gliedes, z.B. eines Gatters
<b>fan-out</b> (auch Ausgangsfächer, Ausgangsverzweigung)	Maximale Anzahl der Familienmitglieder, die an einen Ausgang eines Bausteins geschaltet werden können (Abb. 350 a)
<b>fan-in</b> (auch Eingangsfächer)	Maximal mögliche Zahl der Eingänge eines Bausteins (Abb. 350 a)
<b>wired AND, wired OR</b> (auch verdrahtetes AND bzw. OR)	Bei verschiedenen Schaltungen läßt sich durch einfaches Verbinden der einzelnen Gatterausgänge eine zusätzliche AND- bzw. OR-Funktion realisieren (Abb. 350 b, das Schaltsymbol ist nicht genormt; Abb. 350 c zeigt die Ausgangsschaltung).

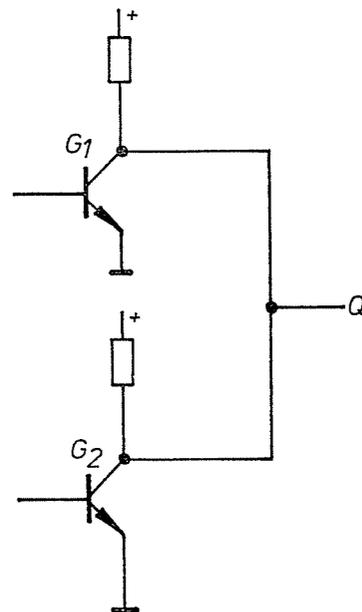
Tabelle 72



(Abb. 350 a)



(Abb. 350 b)



(Abb. 350 c)

Wichtig ist noch der Begriff der **gesättigten bzw. ungesättigten Schaltungsfamilie**. Bei gesättigten Familien werden die Transistoren in die Sättigung getrieben, beim Umschalten muß die gespeicherte Basisladung abgeführt werden. Diese Umladung kostet Schaltzeit. Bei ungesättigten Schaltungen ist dies nicht nötig, sie sind daher grundsätzlich schneller.

In der deutschen Industrie hat sich in letzter Zeit eine gemeinsame Bezeichnungsweise integrierter Schaltungen durchgesetzt. Grundsätzlich wird zwischen Einzelschaltungen und Schaltungsreihen (im engeren Sinn: Schaltungsfamilien) unterschieden. Bei den Typenbezeichnungen gibt der erste Buchstabe an, ob es sich um Schaltungen einer Reihe oder um Einzelschaltungen handelt.

Schaltungsreihen:

FA, FB, FC, FD usw.  
GA, GB, GC, GD usw.

Einzelschaltungen:

S Digital-, T gemischte Linearschaltung,  
U gemischte Digital-Linear-Schaltung

Der zweite Buchstabe dient zur laufenden Kennzeichnung. Der dritte Buchstabe gibt den Zweck an, für den die Schaltung hauptsächlich vorgesehen ist; es bedeuten (hier nur Auszug):

- A Linearverstärker
- B Frequenzumsetzer, Demodulator
- H Logische Verknüpfungsschaltung (Gatter)
- J Speicherschaltung (Flipflop)
- Y Sonstige Bezeichnung

Im allgemeinen folgen drei Ziffern, von denen die ersten beiden der laufenden Kennzeichnung dienen, die letzte den Temperaturbereich verschlüsselt; z.B. bedeutet

1	Temperaturbereich	0 — 70 °C
2	"	—55 — +120 °C
3	"	—10 — +125 °C

Beispiel: TAA 151

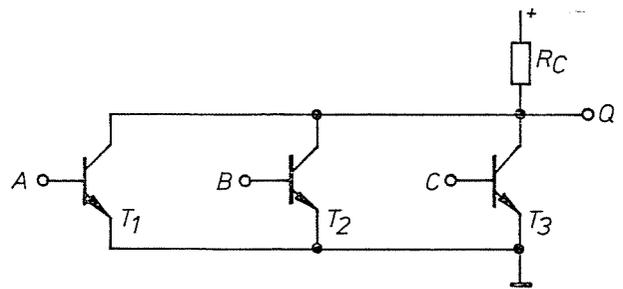
T = lineare Schaltung, A = lfd. Kennzeichnung, A = Verstärker, 15 = lfd. Kennzeichnung, 1 = 0 — 70 °C  
FCH 112  
FC = Schaltungsreihe, H = Gatter, 11 = lfd. Kennzeichnung  
2 = —55 — +125 °C

Der deutsche IC-Markt wird jedoch überwiegend von amerikanischen Herstellern beherrscht; diese führen meist firmeninterne Bezeichnungen. Im folgenden wird für die Schaltungen nach Abschn. 10.6.1.1. bis 10.6.1.3. positive und für Abschn. 10.6.1.4. negative Logik angenommen.

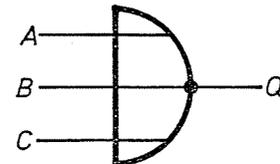
### 10.6.1.1. DCTL-, RTL- und RCTL-Familien

Die ersten integrierten Schaltungen waren **direkt gekoppelte Transistor-Logiken (DCTL; Direct coupled transistor logic)**. Sie gehen auf den Aufbau mit Einzelementen zurück und wurden als IC fast identisch nachgebaut. Abb. 351 a zeigt die Schaltung, die ein NOR-Gatter (Abb. 351 b) darstellt. Direkt an den Eingängen A, B, C liegt das jeweilige Eingangssignal. Der Ausgang Q führt nur dann ein "1"-Signal (positive Spannung), wenn sämtliche Transistoren gesperrt sind. Sobald z.B. der Eingang A soviel positive Basis-Emitterspannung  $U_{BE}$  erhält, daß Transistor  $T_1$

**DCTL-Schaltung**

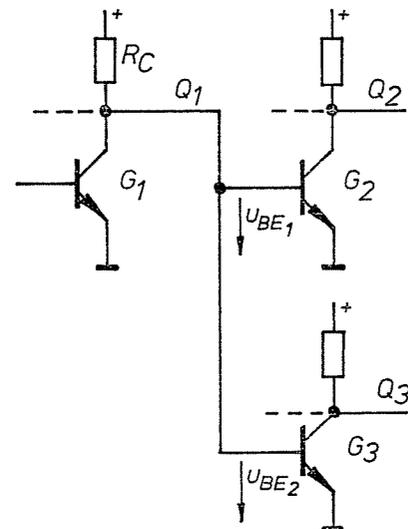


(Abb. 351 a)



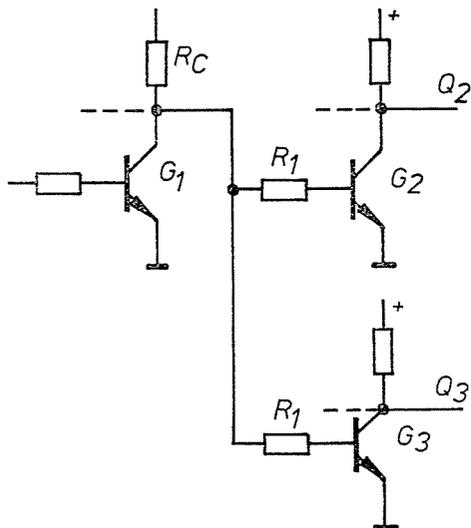
(Abb. 351 b)

leitend werden kann, wird das Ausgangspotential an Q auf „0“ heruntergezogen. Die eigentliche logische Verknüpfung erfolgt also ausgangsseitig, dort wo jeder einzelne Kollektor das Ausgangssignal über den Widerstand  $R_C$  beeinflussen kann.



(Abb. 352)

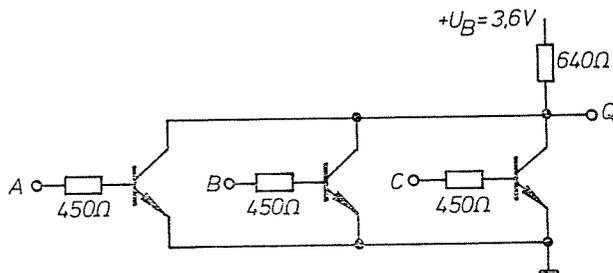
Das Problem der DCTL-Familie liegt darin, daß alle Transistoren möglichst genau gleiche Eingangskennlinien aufweisen müssen. Abb. 352 zeigt die Zusammenschaltung von 3 Gattern:  $G_1$  steuert  $G_2$  und  $G_3$ . Wenn an  $Q_1$  „1“-Signal anliegt, bestimmt der Transistor mit dem niedrigsten  $U_{BE}$  die Höhe des Spannungsabfalls an  $R_C$ . Nehmen wir an,  $U_{BE2}$  liegt bei 400 mV, der Transistor von  $G_2$  benötigt aber mindestens 500 mV zum Durchschalten, dann wird  $G_2$  über diesen Eingang niemals in den „0“-Zustand gebracht werden können.



(Abb. 353)

Diese äußerst geringe Toleranz des  $U_{BE}$ -Parameters führte zur Entwicklung der **Widerstands-Transistor-Logik (RTL; Resistor-Transistor-Logik)**; hier liegt vor der Basis ein Widerstand. Wie Abb. 353 zeigt, werden den einzelnen Gattereingängen über die Basisvorwiderstände gleiche Basisströme eingeprägt. Die Höhe eines einzelnen  $U_{BE}$ -Parameters ist uninteressant geworden. Der zusätzliche Widerstand hat natürlich auch Nachteile; er benötigt Chip-Fläche und verteuert damit den IC; auch kann die zusätzliche Streukapazität der vergrößerten Fläche die Schaltzeit verlängern. Aber die jetzt erreichte höhere Fertigungsausbeute rechtfertigt diese Nachteile.

#### RTL-Schaltung



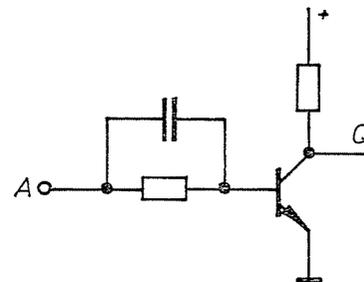
(Abb. 354)

In Abb. 354 ist ein komplettes RTL-Gatter der Firma SGS, Typenbezeichnung 9903, dargestellt; es wird als sogenannte Medium-Power-Version (mittlerer Leistungsverbrauch) mit einer Leistungsaufnahme von 20 mW, einer Schaltzeit von 10 ns und einer Störsicherheit von 300 mV zum Einzelpreis von 14,40 DM angeboten. Diese Daten sind etwas besser als die in Tabelle 75 (Abschn. 10.6.1.5.) angegebenen typischen RTL-Werte. Die RTL-Familie war anfangs weit verbreitet. Heute wird sie nur noch in relativ an-

spruchslosen Anwendungen und dort, wo es auf niedrigen Leistungsverbrauch ankommt, eingesetzt.

Eine RTL-Richtung mit bedeutend weniger Leistungsverbrauch ist die sogenannte „**Low-Power**“-Ausführung (LPRTL; auch mWRTL), die durch wesentlich höhere Kollektor- und Basiswiderstände nur noch Leistungen in der Größenordnung von etwa 4 mW aufnimmt, diesen Vorteil aber durch **hohe Schaltzeiten** von 30 bis 40 ns bezahlen muß. Z.B. ist die Low-Power-Version von SGS anstelle der in Abb. 354 angegebenen Werte aus Basiswiderständen von je 15 kOhm und einem Kollektorwiderstand von 3,6 kOhm aufgebaut. Damit liegt die Leistungsaufnahme bei 6 mW und die Schaltzeit bei 25 ns.

#### RCTL-Schaltung



(Abb. 355)

Noch geringere Leistungen benötigt die **Widerstands-Kondensator-Transistor-Logik (RCTL)**. Da hier die Widerstandswerte noch höher liegen, mußte der Basiswiderstand durch einen Beschleunigungskondensator überbrückt werden (Abb. 355). Die typischen Werte der RCTL liegen bei 2 mW Leistungsaufnahme, aber einer Schaltzeit von 60—200 ns. Sie wird gern in tragbaren Geräten, in denen die geringe Schaltgeschwindigkeit keine Rolle spielt, verwendet.

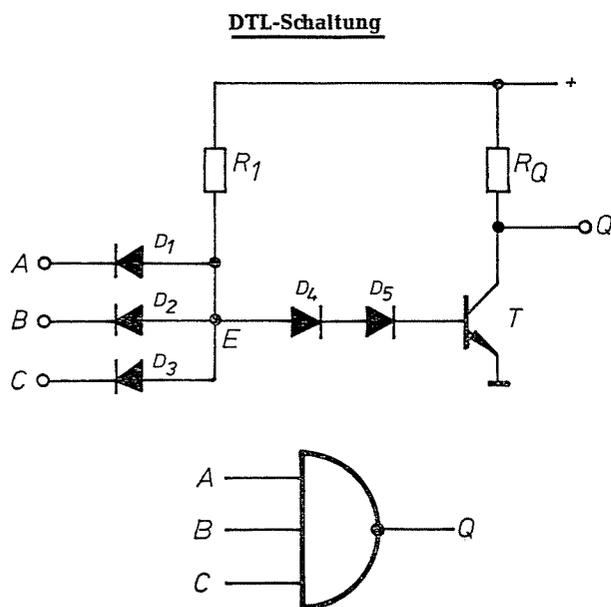
Genereller Nachteil aller in diesem Abschnitt genannten Schaltungsvarianten ist der **sehr geringe Störabstand** von minimal 100 mV. Weiter sind diese Schaltkreise stark temperaturabhängig. Deswegen müssen möglichst alle Bauelemente eines Geräts auf gleicher Temperatur liegen, sonst würde die Störsicherheit noch weiter fallen. Das fan-out ist vor allem bei Ausführungen mit hohem Kollektorwiderstand relativ gering und nur durch Nachschalten von Leistungsgattern zu erweitern.

#### 10.6.1.2. DTL-Familie

Die im vorigen Abschnitt genannten Nachteile führten bald zur Entwicklung anderer Familien.

Die **Dioden-Transistor-Logik (DTL)** unterscheidet sich von den vorhergehenden Schaltungen durch die logische Verknüpfung über Dioden am Eingang und durch eine bessere Störsicherheit.

Bei der Schaltung nach Abb. 356 soll zunächst angenommen werden, daß sämtliche Eingänge auf positivem Potential liegen. Alle drei Dioden  $D_1$ — $D_3$  sind damit gesperrt, über Widerstand  $R_1$  und die in Durchlaßrichtung betriebenen Dioden  $D_4$  und  $D_5$  kann genügend Basisstrom für das Durchschalten des Transistors fließen, am Ausgang  $Q$  liegt „0“-Potential.



(Abb. 356)

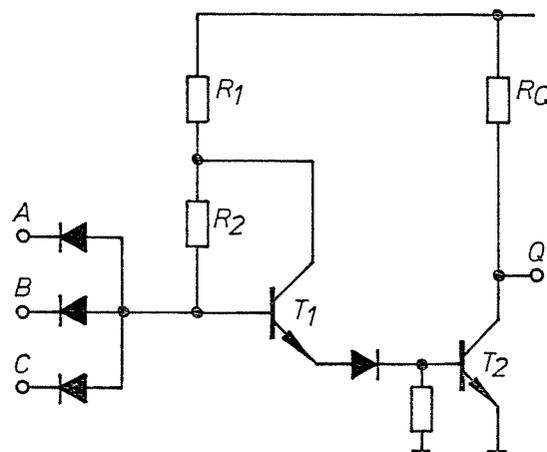
Für den Fall, daß einer der Eingänge, z.B. Eingang  $A$ , auf „0“-Potential geschaltet wird, erscheint dieses Potential auch an Punkt  $E$ . Der Transistor erhält keinen Basisstrom mehr, er sperrt und legt an  $Q$  positives „1“-Potential. Die logische Funktion ergibt also ein NAND-Gatter.

Interessant ist jetzt, bei welcher Mindestspannung am Eingang der Transistor wieder umschaltet, also wie hoch die Störsicherheit ist. Diese Spannung setzt sich zusammen aus:  $U_{BE}$  und der Durchlaßspannung an den sogenannten Offset-Dioden  $D_4$ ,  $D_5$ , abzüglich der Durchlaßspannung an  $D_1$ . Diese und  $U_{BE}$  sind dem Betrag nach etwa gleich groß, so daß als echte Schwelle die Durchlaßspannung der Offset-Dioden bleibt.

Sie besitzen aufgrund technologischer Maßnahmen (z.B. höhere Dotierung) eine um etwa 100 mV höhere Durchlaßspannung als die Ein-

gangsdioden. Damit kann im schlechtesten Fall eine **Störsicherheit von mindestens 400 mV** eingehalten werden.

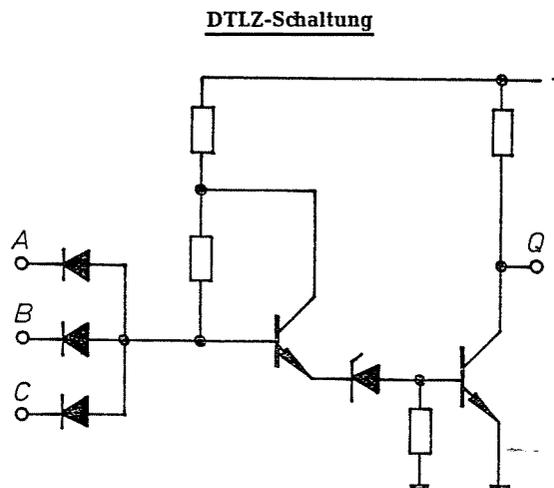
#### DTL-Schaltung mit Transistor anstelle einer Offset-Diode



(Abb. 357)

Eine häufig vorkommende DTL-Variante zeigt Abb. 357. Hier wurde eine der Offset-Dioden gegen einen Transistor ausgetauscht. Damit wird ein höherer Eingangswiderstand erreicht, außerdem werden die Toleranzen des Ausgangstransistors erweitert, also eine höhere Ausbeute erzielt.

Ein anderer Ableger der DTL-Familie ist die **DTLZ mit Zenerdiode** (Abb. 358). Hier wurde die verbliebene Offset-Diode gegen eine Z-Diode eingetauscht. Mit dieser Maßnahme läßt sich eine ungewöhnlich hohe Störsicherheit von 4 bis 6 V erreichen. Allerdings verhindert die Z-Diode ein schnelles Umladen der Basisladung des Ausgangstransistors; die DTLZ ist daher **die langsamste Familie** mit 100—1000 ns Schaltzeit.

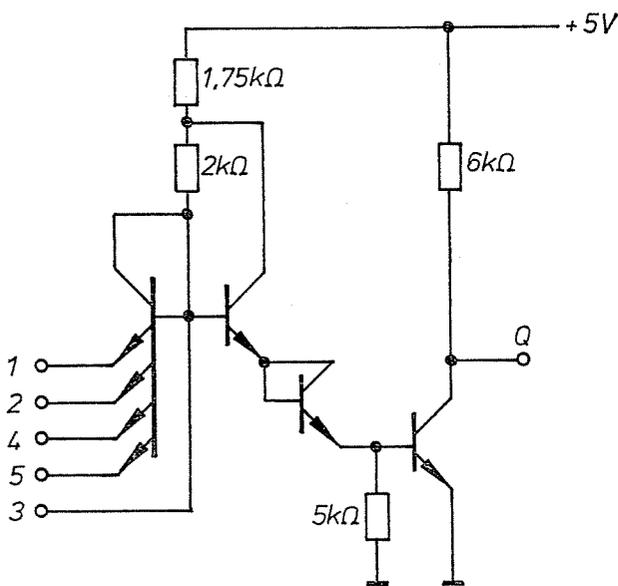


(Abb. 358)

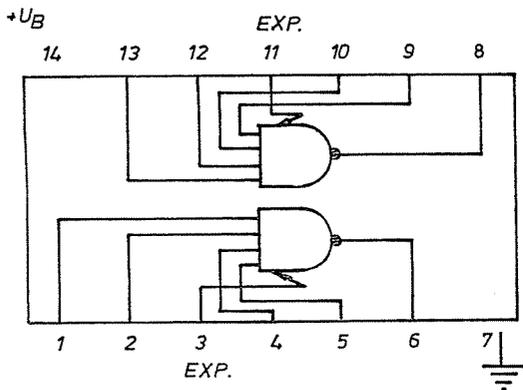
Auch von der DTL-Serie gibt es eine Low-Power-Version mit einer Leistungsaufnahme um 1 mW und etwa 60 ns Schaltzeit. In den Jahren 1967/68 war die DTL am weitesten verbreitet. Nicht zuletzt, weil die Hersteller eine Vielfalt von Bausteinen anbieten, weil durch die Möglichkeit des „wired AND“ eine Ersparnis bis zu 20 % möglich ist und natürlich wegen der guten Störsicherheit, des nicht großen Leistungsverbrauchs von ca. 15 mW und der Schaltzeiten um 15 ns.

Als Beispiel aus der Praxis ist in Abb. 359 a die Schaltung eines DTL-Schaltkreises CD 2300 (in Abb. 359 b die Sockelschaltung des Dual-in-Line-Gehäuses) von RCA wiedergegeben. Die Grundschaltung zeigt in Ergänzung des bisher Besprochenen eine Eingangsschaltung aus einem Multi-Emitter-Transistor, dessen Schaltung aber die üblichen Eingangsdiolen ergibt. Über den Eingang 3 (sogenannter Expander) kann ein Diodengatter zur Erweiterung des fan-in um 4 angeschlossen werden.

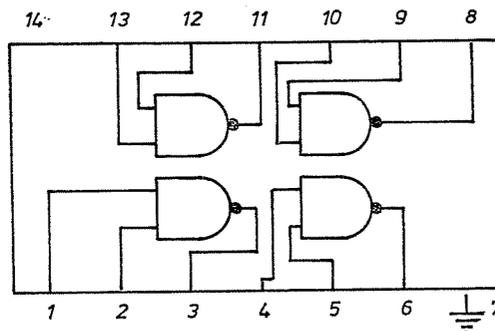
Grundschriftung der CD-2300-Serie von RCA



(Abb. 359 a)



(Abb. 359 b)



(Abb. 359 c)

Es ist üblich, stets mehrere Gatter gleichzeitig auf einem Chip zu erzeugen und natürlich in einem Gehäuse zu verkapseln. Die folgende Tabelle zeigt die Auswahlmöglichkeiten der in einem Gehäuse untergebrachten Schaltungen dieser Typenreihe.

Zahl der Eingänge pro Gatter	Gesamtzahl der Gatter	Expander	Typenbezeichnung	Bemerkung
4	2	ja	CD 2300	(Abb. 359 c)
3	3	—	CD 2308	(Abb. 359 b)
2	4	—	CD 2302	
1 (Inverter)	8	—	CD 2310	

Tabelle 73

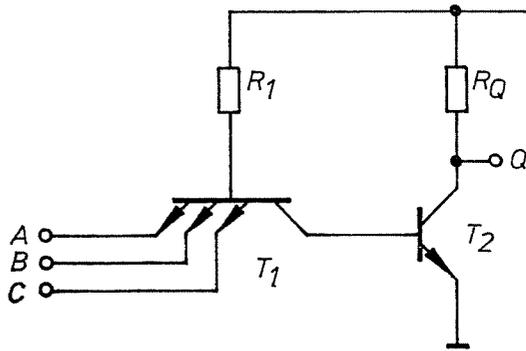
Die Schaltzeiten dieser Typenreihe werden angegeben zwischen minimal und maximal 30 ns, die Störsicherheit mit 1 V, der Leistungsverbrauch mit 8 mW pro Gatter und das fan-out mit 8. Eine Variante mit einer Ausgangsschaltung ähnlich der von Abschn. 10.6.1.3. erreicht ein fan-out von 27. Wie sehr die Gehäuseart den Preis bestimmt, sei am Beispiel des Typs CD 2300 gezeigt: mit Dual-in-line-Gehäuse aus Keramik kostet 1 Stück 18,70 DM, mit Dual-in-line-Kunststoffgehäuse aber nur 7,80 DM.

### 10.6.1.3. TTL-Familie

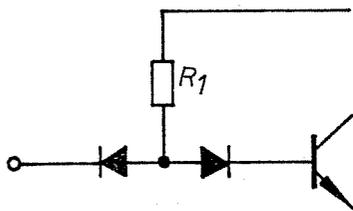
Eine Weiterentwicklung der DTL stellt die **Transistor-Transistor-Logik (TTL)** dar. Hier wurde die Eingangsschaltung der DTL durch einen Multi-Emittertransistor ersetzt (Abb. 360).

Die Funktion des Multi-Emitter-Transistors soll Abb. 360 b veranschaulichen: die Basis-Emitter-Diode lässt sich mit der Eingangsdiode  $D_1$  und die Basis-Kollektor-Diode mit der Offset-Diode des DTL-Schaltkreises vergleichen. Wenn also an den Eingängen A, B, C positives Potential liegt, kann der Transistor  $T_2$  über die Basis-Kollektor-

Einfache TTL-Schaltung



(Abb. 360 a)



(Abb. 360 b)

Strecke von  $T_1$  aufgesteuert werden. Er wird aber gesperrt, sobald einer der Emittter von  $T_1$  auf Erdpotential übergeht.

Der Multi-Emitter-Transistor benötigt bedeutend weniger Platz als eine gleiche Schaltung mit Dioden. Diese Art der Eingangsschaltung erzielt daher einen **erheblichen Geschwindigkeitsgewinn**. Dieser Gewinn würde jedoch am Ausgang wieder verloren gehen, wenn Kapazitäten umzuschalten sind — und das ist fast immer der Fall. Daher zeigt die heute übliche TTL-Schaltung eine Ausgangsschaltung mit niedriger Impedanz in beiden logischen Zuständen. (Diese Ausgangsschaltung wird zum Teil auch bei DTL verwendet.) In Abb. 361 ist die vollständige TTL-Schaltung dargestellt. Bei positiver Spannung an den Eingängen A, B, C ist  $T_2$  leitend. Damit erhält auch  $T_4$  über  $R_2/T_2$  Basisstrom und kann durchschalten. Der Ausgangswiderstand

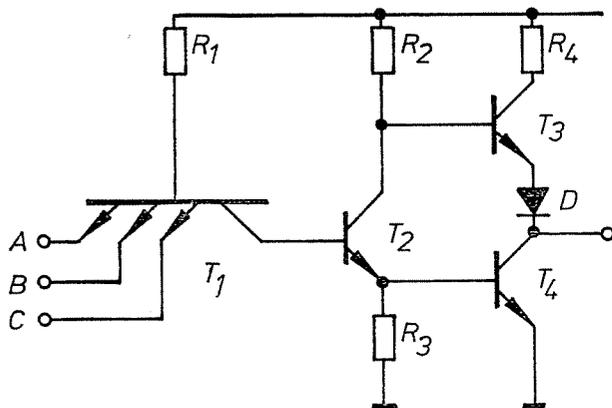
wird bei dem leitenden Transistor  $T_4$  durch den Widerstand der Emitter-Kollektor-Strecke (ca. 15 Ohm) bestimmt.

Im anderen Fall,  $T_2$  und  $T_4$  gesperrt, kann  $T_3$  über  $R_2$  Basisstrom erhalten und durchschalten. Als Ausgangswiderstand gilt jetzt die Summe der Durchlaßwiderstände von D und  $T_3$  und  $R_4$ .  $R_4$  liegt in der Größenordnung 100 Ohm und dient nur als Schutz, da beim Umschalten  $T_3$  und  $T_4$  kurzzeitig gemeinsam leitend sind. Der Ausgang ist also in beiden logischen Zuständen sehr niederohmig. Der Umschaltstrom des Ausgangsverstärkers kann relativ hoch sein, die **Leistungsaufnahme steigt daher mit der Schalt-häufigkeit**. Ebenso beanspruchen die sehr steilen Schaltflanken das Stromversorgungs- und Leitungssystem.

TTL-Schaltungen sind etwa doppelt so schnell (7 ns) wie DTL, ihre Leistungsaufnahme liegt etwas niedriger, steigt aber mit der Schaltfrequenz; die Störsicherheit ist etwa gleich groß. Heute ist die TTL-Familie **am weitesten verbreitet**. Ihr Ausbaugrad ist sehr hoch, auch komplexe Gebilde wie z.B. Volladdierer oder Schieberegister sind erhältlich. Von gewissem Nachteil kann sein, daß „wired AND“ nicht möglich ist, es sei denn, die einfache Schaltung nach Abb. 360 a wird verwendet.

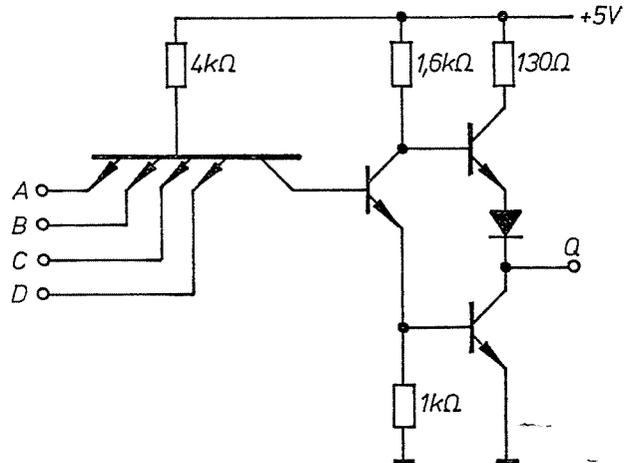
Das künftige elektronische Vermittlungssystem EWS 1 verwendet TTL-Schaltkreise der Firmen Texas Instruments und Siemens im Zentralsteuerwerk. Abb. 362 a zeigt als typischen Vertreter dieser Schaltungen das Texas Instruments Gatter SN 7420, Abb. 362 b das Siemens-Gatter FLH 101. Texas Instruments bietet neben dieser Standardschaltung eine Low-Power-Ausführung (niedrige Leistungsaufnahme) und eine Hochgeschwindigkeitsversion in jeweils 3 verschiedenen Gehäusen an.

Übliche TTL-Schaltung

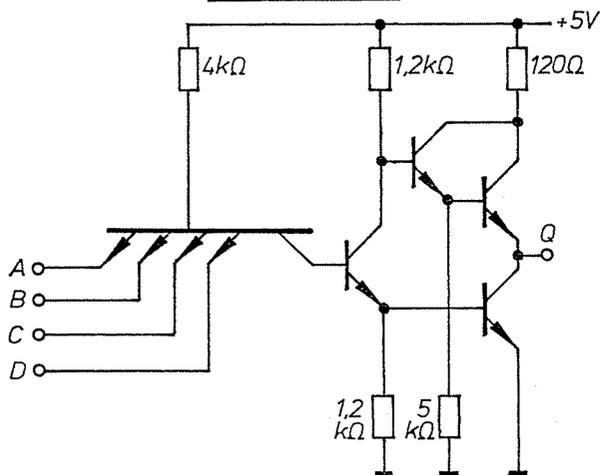


(Abb. 361)

SN-7420-Schaltung



(Abb. 362 a)

**FLH-101-Schaltung**

(Abb. 362 b)

Die Daten der verschiedenen Typen lauten:

	FLH 101	SN 7400	SN 74H00	SN 74L00	Dimension
Schaltzeit	15	10	6	31	ns
Leistungsaufnahme	15	10	22	1	mW
Störsicherheit	1	1	1	1	V
fan-out	10	10	10	10	
Preis *)	2,20	1,65	3,85	3,50	DM

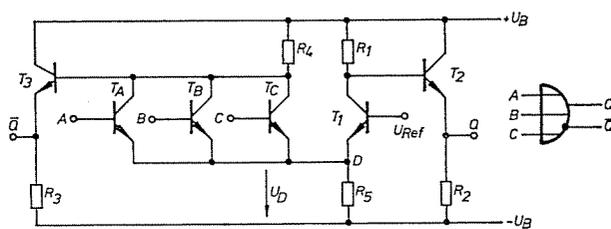
Tabelle 74

Ähnliche Werte garantiert fast jeder namhafte Hersteller. Aufschluß über den Ausbaugrad der TTL-Familie mögen die Angaben von Texas Instruments über die SN 74-Standardserie geben: 15 verschiedene Gatter-Typen, 4 verschiedene Flipflops, 1 Monoflop und 30 MSI-Schaltungen wie Zähler, Decodierschaltungen, Schieberegister, Volladdierer usw.

#### 10.6.1.4. Ungesättigte Schaltungen

Für extrem hohe Schaltgeschwindigkeiten, wie sie z.B. in Großrechnern verlangt werden, reichen die DTL- und TTL-Schaltkreise nicht aus. Die Laufzeiten innerhalb der Gatter lassen sich verringern, wenn die Transistoren **nicht mehr in der Sättigung, d.h. bei  $U_{EC} \approx 0$ , sondern mit eingprägtem Emitterstrom** betrieben werden. Jetzt wird **der Strom** von einem Transistor zum nächsten über den Emitterkreis geschaltet; man spricht daher von **emittergekoppelter Logik (ECL; Emittercoupled logic)** oder auch **stromgesteuerter Logic (CML; current mode logic)**.

Abb. 363 zeigt eine ECL-Schaltung (hier ist immer die Kollektorseite geerdet), deren Herzstück der Differenzverstärker aus den Transistoren  $T_1$  und den Eingangstransistoren  $T_A, T_B,$

**ECL-Schaltung**

(Abb. 363)

$T_C$  ist. An der Basis von  $T_1$  liegt die fest eingestellte Referenzspannung  $U_{Ref}$  (meist durch einen integrierten Spannungsteiler erzeugt), die die Schaltschwelle bestimmt. Wenn an allen Eingängen A, B, C negatives Potential liegt, stellt sich an Punkt D die Spannung  $U_D = U_{Ref} - U_{BE1}$  ein. D.h.,  $T_1$  ist durchgeschaltet und  $T_2$  gesperrt. Am Ausgang Q liegt über  $R_2$  negatives Potential. Der Transistor  $T_3$  erhält über  $R_4$  Basisstrom, am Ausgang  $\bar{Q}$  liegt positives Potential, er ist also die Inversion von Q.

Sobald an einem der Eingänge, z.B. am Eingang A, die Spannung  $U_A = U_D + U_{BEA}$  überschritten wird, steuert der zugehörige Transistor, hier z.B.  $T_A$ , durch, der Spannungsabfall an  $R_5$  wird höher und damit  $T_1$  über den Emitterkreis gesperrt.  $T_2$  kann jetzt über  $R_1$  genug Basisstrom erhalten: der Ausgang Q hat positives Potential,  $\bar{Q}$  ist negativ.

Beide Ausgänge sind als Emitterfolger niederohmig ausgelegt, so daß eine kapazitive Ausgangslast schnell geschaltet werden kann. Theoretisch sind damit **Schaltzeiten unter 1 ns** möglich, aber schon die auf dem Chip aufgedampften Alu-Verbindungsbahnen weisen so hohe Speichereffekte auf, daß sich in der Praxis durchschnittliche Schaltzeiten von 2 ns ergeben. Die Störsicherheit liegt etwas niedriger als bei TTL. Da aber der Signalhub geringer ist, ergibt sich das gleiche Verhältnis. Vorteilhaft ist, daß die Umschaltspannung zwischen den beiden logischen Zuständen von der Referenzspannung bestimmt wird. Wenn diese temperaturunabhängig ausgelegt wird, dann bleibt auch die **Umschaltspannung unabhängig von der Temperatur**. Die Grundkonfiguration der ECL ist das OR- bzw. über den invertierenden Ausgang das NOR-Gatter. Von Nachteil ist der hohe Leistungsverbrauch der ECL, der allein für den Differenzverstärker bei ca. 35 mW liegt. Mit den zusätzlichen Verlusten kann man insgesamt mit 40 bis 60 mW rechnen. Als entferntes Familienmitglied ist noch die CTL zu nennen, die mit komplementären ungesättigten Transistoren arbeitet und ebenfalls Schaltzeiten um 2 ns erreicht.

\*) Der Preis (Stand 1970) gilt für ein Dual-in-line-Plastikgehäuse mit 4 NAND-Gattern.

# Bestellschein

Ich bestelle hiermit bei dem Institut zur Entwicklung moderner  
Unterrichtsmedien e.V., 28 Bremen 1, Bahnhofstraße 10,  
Tel. 0421 / 31 22 48,

den

## Repetitor der Digitaltechnik

Preis: 13,— DM

---

Datum: ..... Unterschrift: .....

Schicken Sie den Band bitte an folgende Anschrift:

Name und Vorname: .....

Ggf. Amtsbezeichnung: .....

Ort: .....  
(Postleitzahl)

Straße: .....

— Bitte in Druckschrift schreiben! —

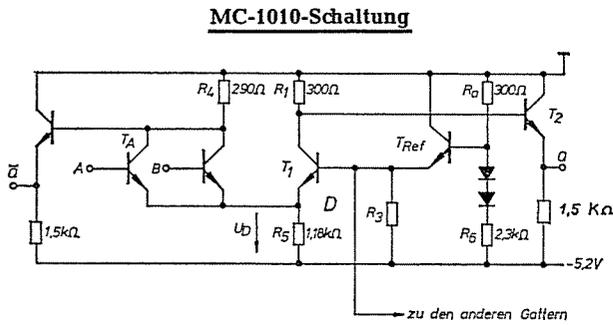
# Repetitor der Digitaltechnik

— Elektronik programmiert und dadurch leichtgemacht —

Das erworbene Wissen kann immer nur durch laufende Wiederholungen, erneutes Durcharbeiten und durch Erfolgskontrollen vertieft und gefestigt werden. Bei dieser wichtigen Aufgabe leistet der „Repetitor der Digitaltechnik“ wertvolle Dienste. In diesem Band wird der gesamte Lehrstoff des Bandes „Digitaltechnik“ — systematisch programmiert — wiederholt. Die wesentlichsten Lerninhalte werden hierbei erfaßt und nach der Auswahlmethode in zahlreiche Fragen gekleidet. Die richtige Antwort (oder aber mehrere richtige Antworten) wird dabei mit ähnlichen oder aber möglich erscheinenden, tatsächlich aber falschen Antworten vermischt. Es gilt also, die richtigen Antworten herauszufinden und sie dann am Rand im Kästchen anzukreuzen. Zur Überprüfung der gefundenen Lösung kann das richtige Ergebnis dann auf der nächsten Seite nachgeprüft werden. Die Antworten sind je nach dem Schwierigkeitsgrad der Aufgabe mehr oder weniger ausführlich. Der neuartige Aufbau des Repetitors, der in methodischer und didaktischer Hinsicht neue Maßstäbe setzt, erleichtert die Lernarbeit ganz wesentlich.

Der Band „Digitaltechnik“ und der Repetitor sind in ihrem Aufbau miteinander verzahnt und stellen ein Ganzes dar. Beide Lehrwerke ermöglichen es dem Leser, sich mit der Digitaltechnik vertraut zu machen und das Erlernete durch Wiederholungen zu festigen. Sie sollten es daher nicht versäumen, sich diesen Repetitor zu beschaffen.

Als praktisches Beispiel soll hier die ECL-Familie von Motorola, dort MECL genannt, vorgestellt werden. Die Firma hat die dritte Generation von MECL auf den Markt gebracht, wobei sich die Schaltzeiten mit jeder Generation verringerten: bei MECL I 8 ns, MECL II 4 ns und MECL III nunmehr 1 ns. Als Vertreter der MECL II zeigt Abb. 364 das Gatter MC 1010. Auch hier werden — ähnlich wie bei den DTL- und TTL-Beispielen — 4 Gatter zu je 2 Eingängen in einem Gehäuse geliefert. Im Gegensatz zu Abb. 363 ist hier die Referenzspannungsquelle eingebaut (gemeinsam für alle 4 Gatter des Chips). Sie besteht aus dem Emitterfolger, aus  $T_{Ref}/R_3$  und dem Spannungsteiler  $R_a/R_6$  mit den beiden Dioden. Er ist so ausgelegt, daß die Referenzspannung am Emitter von  $T_{Ref} = -1,175$  V beträgt.



(Abb. 364)

Bei negativer Eingangsspannung stellt sich an Punkt D eine Spannung  $U_D = U_{Ref} - U_{BE1} = -1,175 - 0,75 = -1,925$  V gegen Erde ein, durch  $R_5$  kann also ein Strom von  $2,77$  mA fließen. An  $R_1$  muß demzufolge eine Spannung von  $300 \times 0,00277 = 0,83$  V abfallen, die an Q die Ausgangsspannung von  $-1,58$  V ( $0,83 + U_{EB}$ ) und einen Emitterstrom durch  $T_2$  von  $2,4$  mA ergibt. Bei positiver Eingangsspannung an A wird  $T_A$  leitend,  $T_1$  gesperrt. Jetzt bestimmt  $U_{BE}$  von  $T_2$  die Ausgangsspannung an Q zu  $-0,75$  V. Diese Spannung bedingt einen Strom von  $2,96$  mA. Den logischen Zuständen „1“ und „0“ entsprechen also Spannungen von  $-0,75$  und  $-1,58$  V,

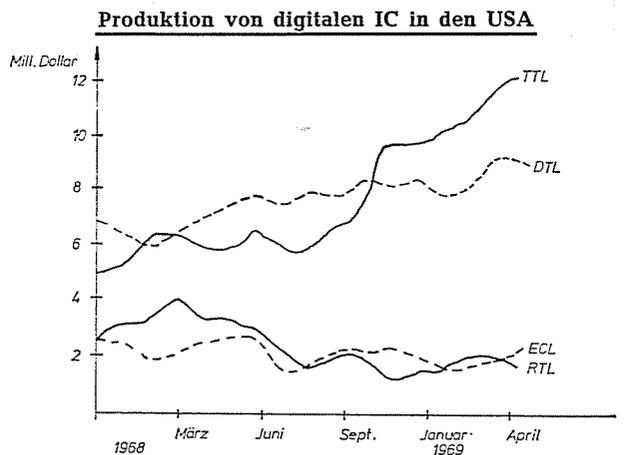
dabei fließen Ströme von  $2,96$  und  $2,4$  mA. Die Ausgangstransistoren werden mithin im linearen Kennlinienbereich, zwischen zwei eingepprägten Strompunkten, betrieben.

Der MC 1010 nimmt eine Leistung von  $115$  mW auf, seine Schaltzeit liegt bei  $4$  ns, die Störsicherheit bei  $350$  mV und das fan-out bei 25. Er kostet im Dual-in-line-Plastikgehäuse  $6,95$  DM.

10.6.1.5. Zusammenfassende Übersicht

Die bisher genannten Schaltungsfamilien stellen in gewissem Sinn Grundbausteine dar. Bekannt sind noch verschiedene andere Familien, die sich jedoch auf die genannten zurückführen lassen. Auch verwenden die Hersteller unterschiedliche Bezeichnungen.

In Tabelle 75 sind die wichtigsten Daten, die weit über die hier angegebenen Grenzen streuen können, zusammengefaßt. Tabelle 76 gibt eine Übersicht über die verschiedenen Bezeichnungen.



(Abb. 365)

Abb. 365 stellt die Verbreitung der Schaltkreisfamilien in den Jahren 1968/69 (nach Texas Instruments) auf dem amerikanischen Markt dar. Deutlich ist der Trend zu der preiswerten TTL-Familie zu erkennen.

Familie	Minim. Signalhub [V]	Signallaufzeit [ns]	Störsicherheit [V]	Leistungsaufnahme [mW]	Bemerkung
RTL	1,0	15 ... 150	0,1 ... 0,5	2 .. 50	} log. Verkn. am Ausgang } Gesättigte Familien
RCTL	1,0	60 ... 200	0,1 ... 0,5	1 ... 10	
DTL	1,5	10 ... 60	0,4 ... 1,0	5 ... 60	
DTLZ	ca. 7	100 ... 1000	4 ... 6	40 ... 80	
TTL	1,0	7 ... 40	0,4 ... 1,0	10 ... 60	} log. Verkn. am Eingang } Ungesättigt
ECL	0,4	2 ... 20	0,1 ... 0,5	30 ... 100	

Tabelle 75

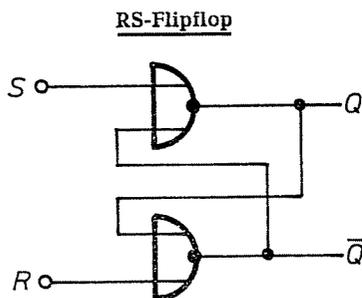
Abkürzung	Amerikanische Erklärung	Deutscher Kommentar (Bauelemente = Elemente der Mikrokreise)
CDL	Core Diode Logic	Kerne und Dioden als Elemente
CML	Current Mode Logic	Stromschalttechnik
CTL	Complementary Transistor Logic	Verwendung von Komplementär-Transistoren
DCTL	Direct coupled Transistor Logic	Transistoren mit direkter (Gleichspannungs-)Kopplung
DL	Diode Logic	Dioden als Bauelemente
DTL	Diode Transistor Logic	Dioden und Transistoren als Bauelemente
ECL	Emitter-Coupled Logic	Transistoren, über den Emitterkreis gekoppelt
ECCSL	Emitter-Coupled Current-Steered Logic	Über den Emitterkreis gekoppelt und durch Strom gesteuert
MECL	Motorola Emitter Coupled Logic	Logik von Motorola mit emittergekoppelten Transistoren
MRTL	Milliwatt Resistor Transistor Logic	Widerstände und Transistoren mit besonders kleinem Leistungsbedarf
RTL	Resistor Transistor Logic	Widerstände und Transistoren
RCTL	Resistor Capacitor Transistor Logic	Widerstände, Kondensatoren und Transistoren
TCL	Transistor Coupled Logic	Auch zur Kopplung werden Transistoren verwendet
TDL	Tunnel Diode Logic	Tunneldioden, meist für sehr schnelle Logiken
TRL	Transistor Resistor Logic	wie RTL
TTL	Transistor Transistor Logic	nur Transistoren
T <sup>2</sup> L	Transistor Tarnistor Logic	wie TTL
VTL	Variable Threshold Logic	Logik mit unterschiedlicher Ansprechschwelle (Niveau)
LLL	Low Level Logic	Kleine Potentialsprünge

Tabelle 76

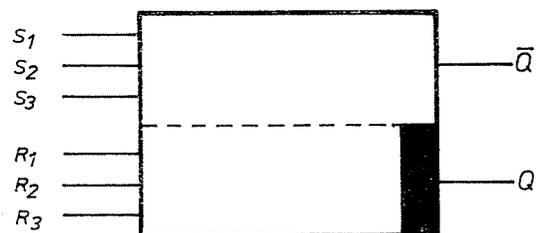
### 10.6.2. Bipolare sequentielle Schaltungen

Jede der in Abschn. 10.6.1. genannten Schaltungsfamilien besitzt eigene sequentielle Glieder. Diese sind prinzipiell alle einander ähnlich; es genügt daher, eins davon zu behandeln. Grundbaustein aller sequentiellen Schaltungen ist das Flipflop (FF). Genügte es in den Anfängen der Digitalelektronik noch, ein FF aus zwei Transistoren und ein paar Widerständen zusammenzubauen, so kann heute eine derartig einfache Konfiguration bei weitem nicht allen Anforderungen gerecht werden. Jedoch bleibt ein einfaches FF Grundbaustein aller erweiterten und verbesserten Schaltungen.

Die **einfachste Form des FF ist das RS-Flipflop** (R = reset — rücksetzen, S = set — setzen); es läßt sich sehr leicht aus z.B. zwei NOR-Gattern bilden (Abb. 366), wegen der rückgekoppelten



(Abb. 366 a)



(Abb. 366 b)

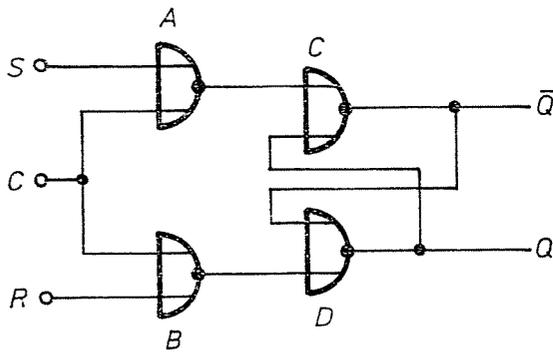
Ausgänge spricht man auch von kreuzgekoppelten NOR-Gattern.

Geht man von dem Zustand aus, daß an S und R „1“ liegt, so herrscht an beiden Ausgängen Q und  $\bar{Q}$  „0“. Wird an S das „1“-Signal weggenommen, erscheint an Q „1“,  $\bar{Q}$  bleibt weiterhin „0“, wenn jetzt auch an R die „1“ verschwindet. Eine jetzt folgende kurzzeitige „1“ an S aber ändert die Situation: an Q liegt „0“, an  $\bar{Q}$  „1“. Soll dieser Zustand wieder geändert werden, so jetzt nur über den Rücksetzeingang R.

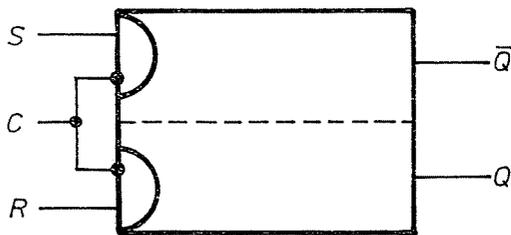
Aus den geschilderten Zuständen geht deutlich das Speicherverhalten dieser Anordnung hervor. Abb. 366 b zeigt das Schaltsymbol des RS-FF mit jeweils 3 gleichberechtigten R- und S-Eingängen. (Das RS-FF kann genauso aus kreuzgekoppelten NAND-Gattern aufgebaut werden, es verhält sich invers zu dem aus NOR-Gattern.) Das RS-FF aus NOR-Gattern soll

nicht an beiden Eingängen zugleich „1“ führen, da dann die Ausgangsinformation nicht vorhersehbar ist: verschwindet das „1“-Signal gleichzeitig an R und S, wird die schnellere Stufe der anderen ihre Information aufzwingen. Das RS—FF kann durch Vorschalten von zwei Gattern zum getriggerten oder getakteten (englisch: clock) FF mit dem Takteingang C erweitert werden (Abb. 367 a). Abb. 367 b zeigt das Symbol, dessen C-Eingänge in diesem Fall negiert sein müssen; siehe auch DIN 40700.

**Getaktetes RS-Flipflop**



(Abb. 367 a)

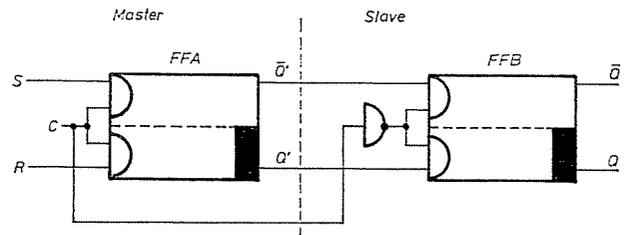


(Abb. 367 b)

Nur während der Nullphase des Taktes kann die Information des S- oder R-Eingangs (und zwar als „0“-Information) auf die Ausgänge einwirken. Während der „1“-Phase ist die Anordnung gesperrt. Ein derartiger Aufbau hat den Vorteil, daß **alle Störimpulse während der vom Takt gesperrten Zeit einflußlos** bleiben.

Für viele Anwendungsfälle genügt diese verhältnismäßig einfache Schaltung nicht. Besonders dort, wo Vorbereitungseingänge Informationen aufnehmen und gleichzeitig die Ausgänge andere Informationen abgeben müssen (z.B. Zähler-schaltungen, Schieberegister), muß ein Zwischenspeicher eingeschleift werden. In Schaltungen mit Einzelelementen dienen die Kondensatoren der Vorbereitungseingänge als kurzzeitige Zwischenspeicher. In IC wird die Funktion dieser Kondensatoren durch eigene FF ersetzt. Auf diese Weise erhält man ein FF aus zwei speicherfähigen Stufen, „Master-Slave-Flipflop“ (Meister-Sklave) genannt.

**Master-Slave-Flipflop**

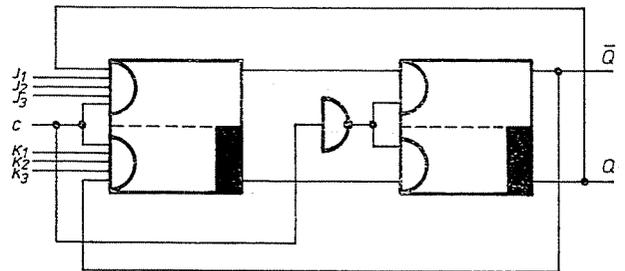


(Abb. 368)

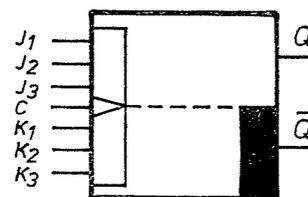
In Abb. 368 stellt FF A den Master und FF B den Slave dar. Über die Eingänge R und S kann der Master so lange Informationen aufnehmen, wie der Takt „1“-Potential führt. Springt aber der Takt von „1“ auf „0“, wird FF A gesperrt und stellt jetzt über die Leitungen  $\bar{Q}'$  und  $Q'$  entsprechend der eigenen Information FF B ein, wobei FF B nur während der „0“-Phase des Taktes über den Inverter  $G_3$  freigegeben wird. Andererseits ist FF A während der „0“-Phase des Taktes gegen Neueinstellung abgesichert. Mit dieser relativ unkomplizierten Anordnung können also echte, bistabile Zwischenspeicher aufgebaut werden, die sichere Informationsübertragung vom Eingang zum Ausgang gewährleisten. Die FF A und B sind meist aus kreuzgekoppelten Gattern zusammengesetzt.

Den Fall der unvorhersehbaren Ausgangssignale bei gleichzeitig anliegender „1“-Information an R und S kann man einfach dadurch ausschließen, daß die Ausgänge auf die Eingänge zurückgekoppelt werden. Aus dem RS—FF wird ein sogenannter **JK-Flipflop** (wobei J und K freigeählte Buchstaben sind).

**JK-Master-Slave-Flipflop**



(Abb. 369 a)



(Abb. 369 b)

Abb. 369 zeigt die komplette Schaltung eines JK-Master-Slave-Flipflops. Wenn jetzt an J und K das „1“-Signal anliegt, wechselt das FF bei jedem Taktsprung von „1“ auf „0“ das Ausgangssignal; unvorhersehbare Ausgangssituationen sind nicht mehr möglich. Das JK-Master-Slave-FF ist das am universellsten verwendbare FF. Meistens sind mehrere J- und K-Eingänge herausgeführt, so daß z.B. logische Verknüpfungen für Synchronzähler an den JK-Eingängen vorgenommen werden können. Das JK-FF beinhaltet das RS-FF, wenn lediglich die Eingangssituation  $J = K = „1“$  nicht benutzt wird. Wenn man J und K miteinander verbindet, entsteht ein T-Flipflop (Trigger-FF), wenn J über einen Inverter mit K verbunden ist, ein sogenanntes D-Flipflop (Delay-FF). Beide Begriffe, D- und T-FF, werden selten verwendet.

In vielen Katalogen sind mehr als diese hier gezeigten Typen von FF zu finden. Man muß sich aber darüber klar sein, daß ein Spezialtyp für einen seltenen Anwendungsfall auch teurer ist. Die heute übliche Form ist das JK-Master-Slave-Flipflop.

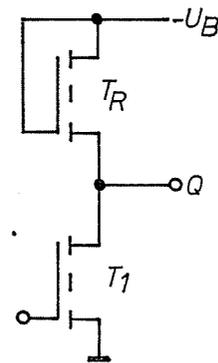
### 10.6.3. Unipolare Digitalschaltungen

Unipolare Digitalschaltungen stellen heute erst einen geringen Marktanteil von IC. Wenn aber die letzten Hindernisse — vor allem niedrige Grenzfrequenz — aus dem Weg geräumt sind, dürften sie mindestens gleichberechtigt neben bipolaren IC stehen. Bei unipolaren Schaltungen haben sich **keine Schaltungsfamilien** herausgebildet. Die Hersteller bemühen sich aber, an die bekannten bipolaren Familien Anschluß zu finden, um diese durch unipolare zu ergänzen. Inzwischen sind IC auf dem Markt, die ohne besondere Anpassungsglieder direkt mit z.B. TTL zusammenarbeiten können.

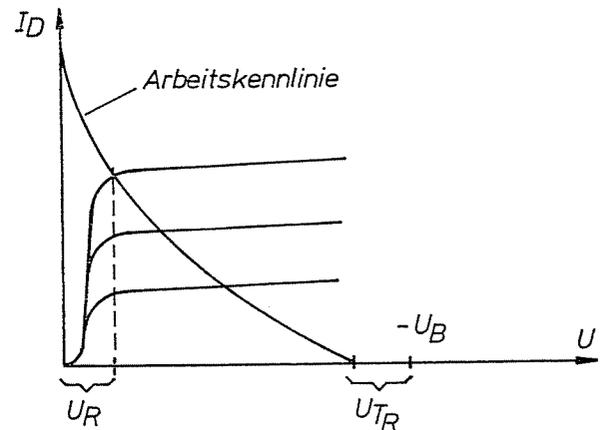
Der große Einbruch ist unipolaren IC auf dem Gebiet der Speicherschaltungen gelungen, besonders bei sogenannten Festwertspeichern (Read-only-memories; ROM). Das sind Speicher, deren Informationsgehalt durch technologische Schritte (z.B. Verdrahtungsschema) festgelegt ist und die nur gelesen, aber nicht erneut beschrieben werden können (vgl. Abb. 374). Texas Instruments bietet z.B. derzeit MOS-Festwertspeicher mit 4096 Bits Informationsinhalt an. Auf dem Gebiet der reinen Gatterschaltungen sind unipolare IC dagegen wesentlich bescheidener, ihr Marktanteil ist gering.

Die einfachste unipolare Schaltung ist der Inverter, aufgebaut aus 2 MOS-P-Kanal-Anreicherungstypen (von denen im folgenden stets die

**Inverter**



(Abb. 370 a)

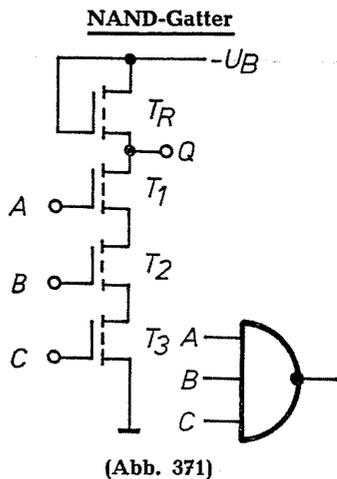


(Abb. 370 b)

Rede sein soll; ihr Schaltzeichen ist vereinfacht, der Kreis entfällt üblicherweise bei IC; auch wird negative Logik vorausgesetzt). Wie aus Abb. 370 hervorgeht, ist der Transistor  $T_R$  als Arbeitswiderstand für  $T_I$  fest geschaltet. Ein derartiger Widerstand zeigt nichtlineares Verhalten, die parabelförmige Lastkennlinie ist in Abb. 370 b dargestellt (siehe auch Abschn. 10.5.4.).

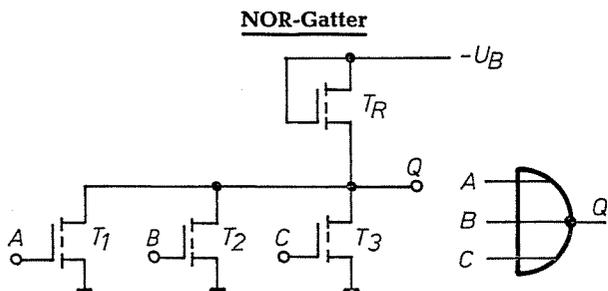
Die maximal am Ausgang Q des Inverters mögliche Spannung vermindert sich um die Schwellenspannung  $U_{TR}$  des Transistors  $T_R$  gegenüber der bei einem normalen Arbeitswiderstand möglichen Ausgangsspannung  $U_Q = U_B$ . Die minimale Ausgangsspannung ist  $U_R$ . Zwischen diesen beiden Arbeitspunkten wird der Ausgang Q hin und her geschaltet. Wenn man das Gate von  $T_R$  entfernt und an die Taktleitung  $\emptyset$  legt (z.B. in Abb. 376), so verbraucht dieser Inverter nur dann Leistung, wenn der hochliegende Takt — also eine negative Spannung am Gate von  $T_R$  — den „Arbeitswiderstand“  $T_R$  einschaltet.

Sehr leicht läßt sich der Inverter von Abb. 370 zu einem NAND-Gatter erweitern, indem man (Abb. 371) mehrere Transistoren  $T_1$ — $T_3$  in Reihe schaltet. Solange die Eingänge A, B, C Erdpoten-



(Abb. 371)

tial führen, zeigt der Ausgang die Spannung  $U_B - U_{TR}$ , also „1“. Erst wenn die Schwellspannung  $U_T$  aller drei Eingangstransistoren überschritten ist, kann der Drainstrom  $I_D$  fließen und die Ausgangsspannung gegen Erde ziehen. Der Nachteil dieser Schaltung ist, daß sich die Restspannungen aller 3 Transistoren addieren und die minimale Signalspannung am Eingang  $U_A = U_{T1} + U_{R2} + U_{R3}$  betragen muß.

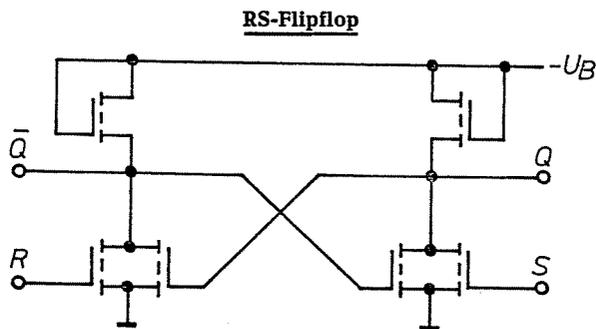


(Abb. 372)

Günstiger liegen die Verhältnisse bei dem in Abb. 372 dargestellten NOR-Gatter. Die Restspannungen addieren sich nicht, ebenfalls bezieht sich die minimale Eingangsspannung nur auf die Schwellspannung  $U_T$  des jeweiligen Eingangstransistors. Daß die NOR-Bedingung sehr einfach zu erfüllen ist, ergibt sich bereits bei einem Eingangssignal: mit negativer Spannung nur an A z.B. fällt die Ausgangsspannung auf Erdpotential.

Der Vollständigkeit halber soll in Abb. 373 ein RS-Flipflop aus gekoppelten NOR-Gattern vorgestellt werden. Gerade dieses Element zeigt bestehend die Vorteile der MOS-Technik gegenüber bipolaren Schaltungen, wenn man den Bauteileaufwand z.B. mit der simplen RTL-Familie vergleicht: bei MOS nicht mehr als 6 gleichartige Transistoren, bei RTL 6 aufwendige Bipolartransistoren, 8 Widerstände und mehrere Isolationsinseln!

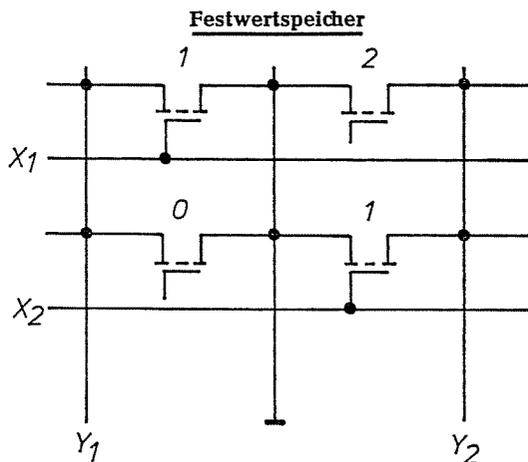
Das RS-Flipflop nach Abb. 373 wird — in etwas verbesserter Form — gern als **Speicherglied für**



(Abb. 373)

**Speicher mit freiem Zugriff (Random-Access-Memorie, RAM)** benutzt. Es zeichnet sich ab, daß diese Speicher künftig sehr große Verbreitung finden und Ferritkernspeicher verdrängen könnten. Sie haben den Vorteil sehr geringen Leistungsverbrauchs und minimaler Ansteuerungselektronik, lassen sich schneller beschreiben und auslesen (also geringere Zugriffszeiten) als Kernspeicher. Sie könnten einen bedeutenden Vorsprung gewinnen, wenn auch die übrige Verarbeitungselektronik des Rechners aus unipolaren Schaltkreisen besteht: der gesamte Rechner würde sich organisch aus einer einzigen Technologie aufbauen.

Nach vorsichtiger Schätzung dürften Mitte der 70iger Jahre derartige Geräte auf den Markt kommen. Der kritische Punkt bei Halbleiterspeichern liegt im Verlust der abgespeicherten Information bei Ausfall der Stromversorgung. Aber auch hier zeichnet sich ein Weg ab: die sonst lästige Gate-Kapazität der MOS-FET kann den Informationsgehalt weiterspeichern, wenn man ihre Entladung verhindert. Bekannt wurden Schaltungen, die bis zu 10 Tagen die Gateladung erhalten.



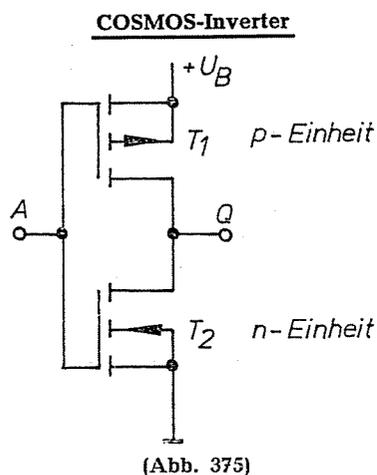
(Abb. 374)

Für **Festwertspeicher (ROM)** werden noch **wesentlich einfachere Schaltungen** als die des RAM-Speichers verwendet. In die Kreuzungspunkte einer Leitungsmatrix (Abb. 374) sind MOS-FET geschaltet, die — je nach Information — mit offenem oder angeschlossenem Gate

32,40 T

betrieben werden. Die Informationen, die in diesem Speicher abgelegt sind, werden also durch das Aufbringen der Leitungsbahnen festgelegt und können später nicht mehr verändert werden.

Eine interessante Variante der bisher besprochenen Schaltungen zeigt die sogenannte **COSMOS-Technik** (Complementary-Symmetry-MOS) von RCA, die **komplementär-symmetrische Anordnungen** aus P- und N-Kanal-MOS-FET benutzt. Bei dem COSMOS-Inverter nach Abb. 375 ist der Transistor  $T_1$  der übliche P-Kanaltyp, während  $T_2$  als N-Kanaltyp aufgebaut ist; die beiden Gates sind parallelgeschaltet. Wenn am Eingang A Erdpotential liegt (hier negativ), dann ist  $T_1$  leitend (sein Source liegt ja an  $+U_B$ ),  $T_2$  aber gesperrt. Im umgekehrten Fall, bei positivem Eingang, ist  $T_1$  gesperrt und  $T_2$  leitend.



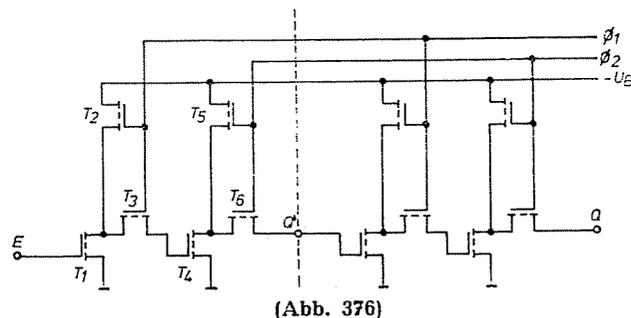
Der Vorteil dieser Technik liegt auf der Hand, in beiden logischen Zuständen bildet jeweils eine niederohmige S-D-Strecke den Ausgangswiderstand, außerdem entfällt der Schwellspannungsabfall (wie z.B. bei Abb. 370). RCA gibt für den Typ CD 4007 Ausgangsimpedanzen von je 100 Ohm für „1“- und „0“-Zustand an, ein für MOS-Schaltungen relativ niedriger Wert. Die Betriebsspannung ist 10 V, die Störsicherheit liegt bei 4,5 V, das fan-out bei 50 und der Ruheleistungsverbrauch bei 10 nW (also 1/1000 bipolarer Schaltungen!).

Ein sehr breites Anwendungsgebiet haben sich unipolare IC bei Schieberegistern erobert. Es gibt **statische Schieberegister**, bei denen die Information bei Taktunterbrechung erhalten bleibt. Sie bestehen im Prinzip aus Flipflops und stellen nichts Neues dar.

Eine im Aufbau einfachere Version ist das **dynamische Schieberegister**, das in dieser Form nur mit IG-FET aufgebaut werden kann, da die Gatekapazität als Zwischenspeicher ausgenutzt wird. Dynamische Schieberegister benötigen minde-

stens zwei Taktsysteme, die mit gleicher Frequenz, aber versetzten Flanken arbeiten.

#### Dynamisches Schieberegister



Das Schieberegister nach Abb. 376 besteht aus 2 Stufen, es kann natürlich beliebig erweitert werden. Wenn am Eingang E eine „1“ liegt, kann sich das Gate von  $T_4$  über  $T_1$  und  $T_3$  entladen. Liegt hingegen an E Erdpotential, ist  $T_1$  gesperrt, das Gate von  $T_4$  wird jetzt über  $T_2$  und  $T_3$  auf  $-U_B$  aufgeladen. Nach Ende des  $\phi_1$ -Taktes liegt also am Gate von  $T_4$  jeweils das invertierte Eingangspotential als Ladung der Gatekapazität. Während des  $\phi_2$ -Taktes wird — ganz dem Ablauf in der ersten Stufe während  $\phi_1$  entsprechend — das Gatepotential von  $T_4$  über  $T_6$  und den Ausgang  $Q'$  an den Eingangstransistor der zweiten Stufe invertiert weitergegeben. Dort liegt das doppelt invertierte ursprüngliche Eingangssignal; es ist also um eine Stufe weitergeschoben worden.

Man sieht, daß sich bei zu langen Taktintervallen die Gatekapazitäten entladen können und damit die Information verlorenght. Auch ist die Funktion des Transistors  $T_3$  interessant, bei dem sich Source und Drain je nach Information an E vertauschen: wenn  $T_1$  leitend ist, liegt die Source auf der linken Seite, ist  $T_1$  gesperrt, muß die rechte Elektrode als Source dienen. Hier wird also die **vollkommene Symmetrie der MOS-FET ausgenutzt**, wonach sich Source und Drain einzig nach der Polarität der anliegenden Spannung einstellen.

Dieses Zweiphasen-Schieberegister hat den Nachteil, daß die Inverterstufen während der gesamten Taktimpulse Leistung verbrauchen. Wird der Generatorkaufwand nicht gescheut, kann man auch ein dynamisches Vierphasen-Schieberegister bauen, das sowohl mit technologisch kleineren Transistoren als auch geringerer Leistung auskommt.

Mit den hier gezeigten Schaltungen sollte ein Einblick in die Digitaltechnik mit unipolaren IC gegeben werden. Natürlich wären noch viele interessante Lösungen auf diesem Gebiet zu besprechen. Wenn man jedoch diese Beispiele durchgearbeitet hat, dürften auch andere Schaltungen lesbar sein.